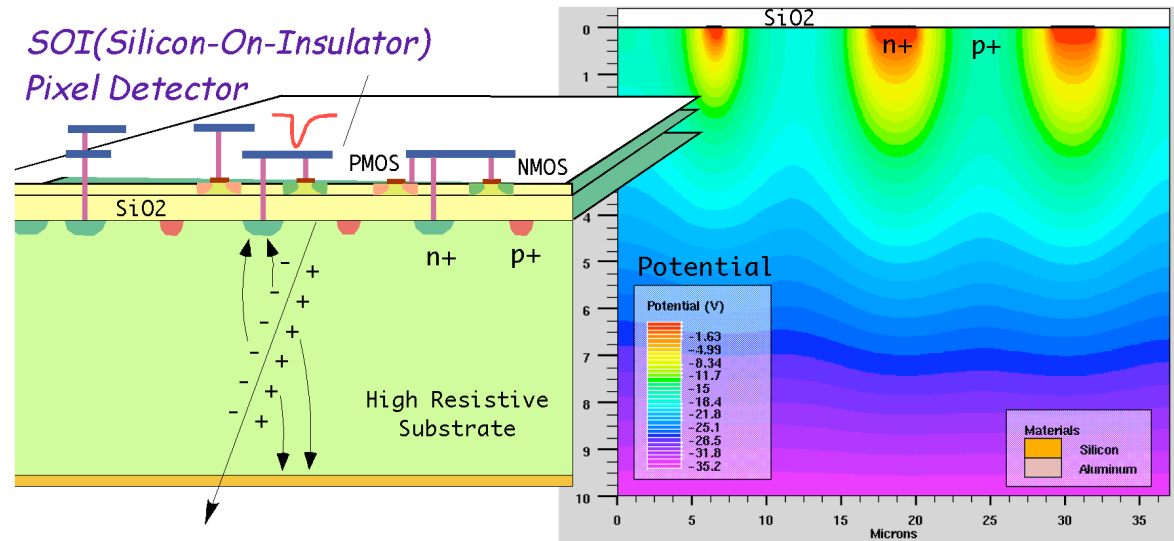


SOI Pixel検出器の開発（中間報告）

- Introduction
- 現在までの経過
- 問題点と対策
- TEG開発状況
- まとめ



[参加メンバー]

KEK: 海野義信、寺田進、池上陽一、坪山透、羽澄昌史、田島治、後田裕、**新井康夫**

新潟大学: 川崎健夫

筑波大学: 原和彦

東京工業大学: 石野宏和

広島大学: 大杉節

JAXA: 池田博一

U. of Hawaii: G. Varner, M. Barbero, J. Kennedy, L. Ruckman, K. Uchida, C. Yang

SLAC: Hiro Tajima

1. Introduction

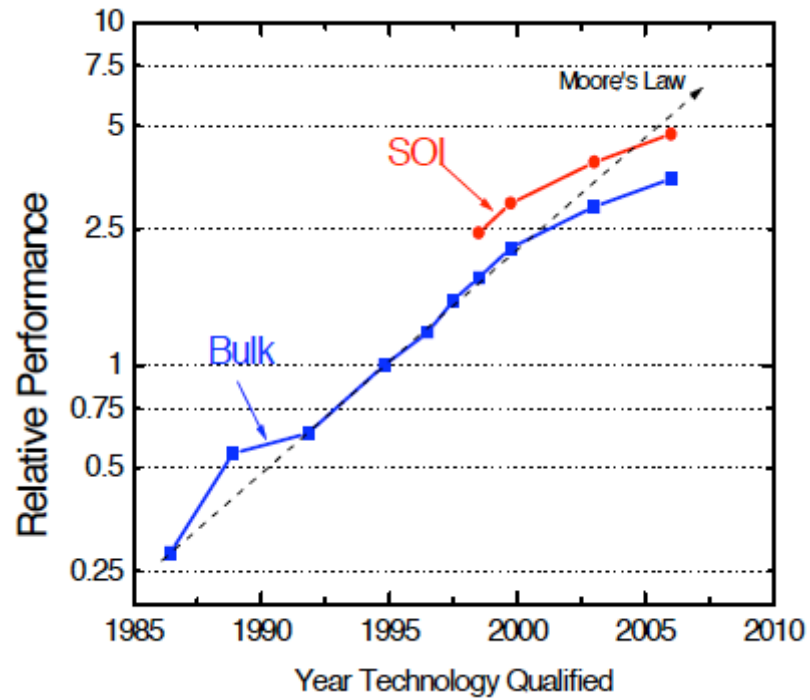
開発目標

SOI(Silicon-On-Insulator)技術を用いた 高性能Monolithic Pixel Detectorの開発。

特徴

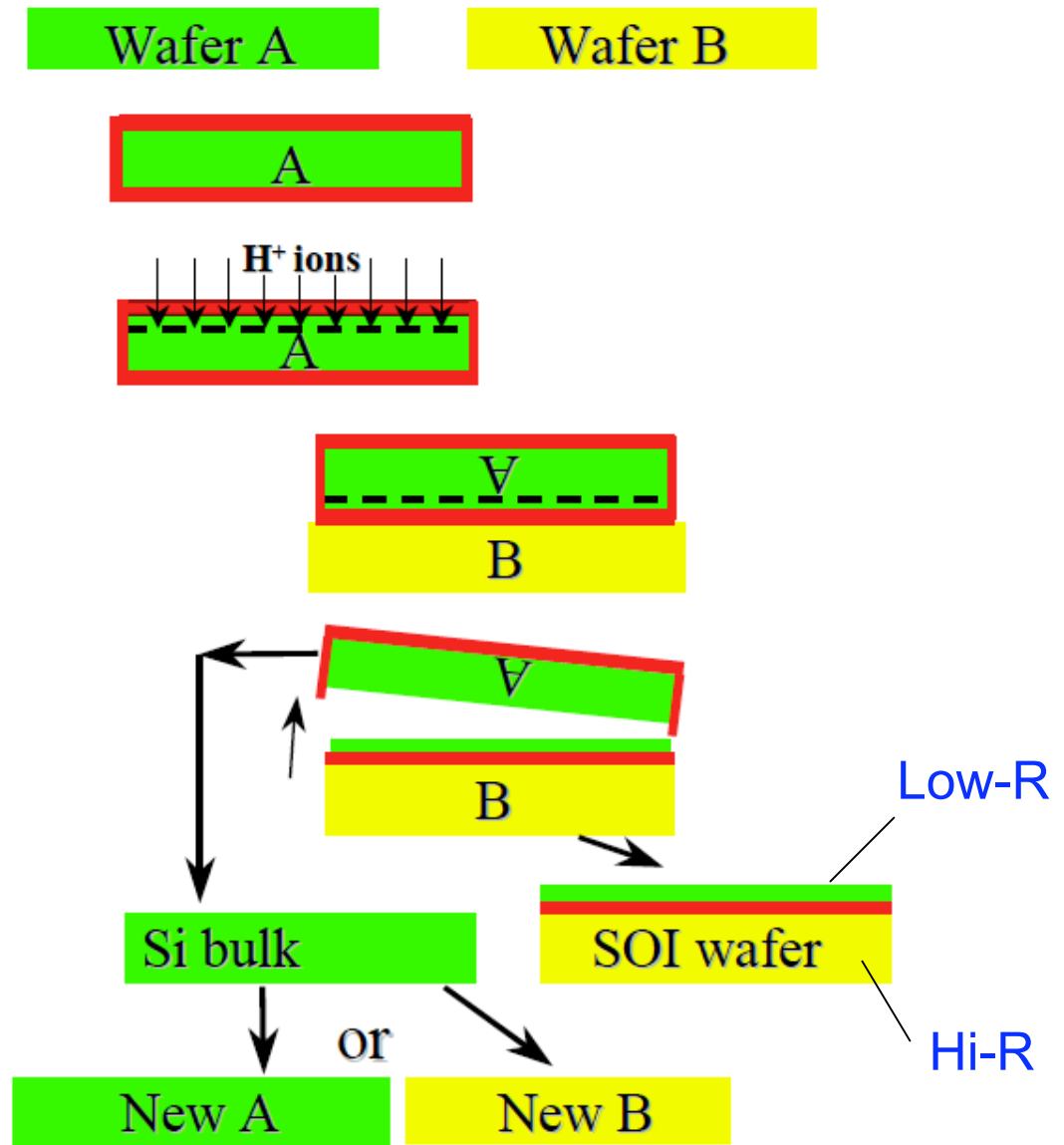
- センサー部と回路部で異なる抵抗値Si Waferを使用し、完全空乏化による高い電荷収集効率と複雑なCMOS回路を同時に実現する。
- トランジスタが完全に分離されているのでリーク電流が少なく、放射線に強く、高温でも動作する。
- センサーとの接続部の浮遊容量が少なくS/Nが良い。
- 最先端プロセスにより、高い位置分解能 ($\sim\mu\text{m}$)が得られる。
- 高速、低消費電力、高機能。
- 将来のLSIの主流であり、技術的発展の可能性が大きい。
- 先端プロセスによる SOI Pixel検出器は世界初となる。

SOIプロセス



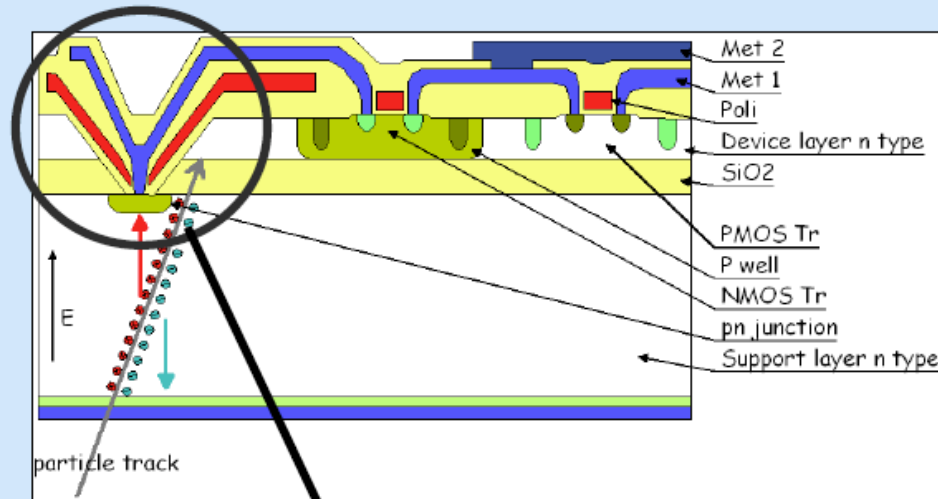
SOIウエハーの作り方: Smart Cut (UNIBOND) by SOITEC

- ① Initial silicon wafers A & B
- ② Oxidation of wafer A to create insulating layer
- ③ Smart Cut ion implantation induces formation of an in-depth weakened layer
- ④ Cleaning & bonding wafer A to the handle substrate, wafer B
- ⑤ Smart Cut - cleavage at the mean ion penetration depth splits off wafer A
- ⑥ Wafer B undergoes annealing, CMP and touch polish => SOI wafer complete
- ⑧ Split-off wafer A is recycled, becoming the new wafer A or B





Principle of SOI monolithic detector



The idea:

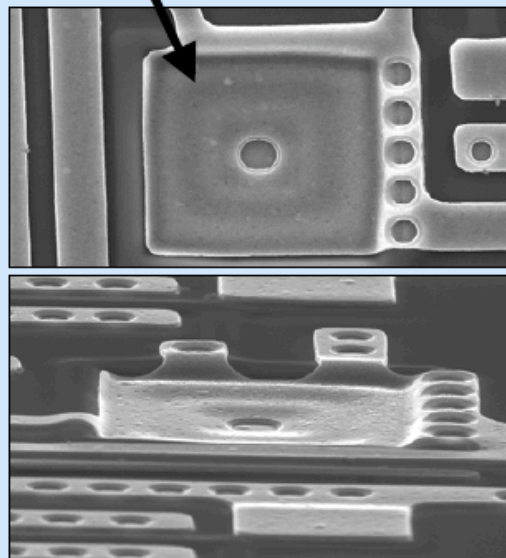
Integration of the pixel detector and readout electronics in the wafer-bonded SOI substrate

Electronics → Device layer

- Low resistive
(9-13 Ωcm , CZ)
- 1.5 μm thick
- Standard CMOS technology

Detector → Support layer

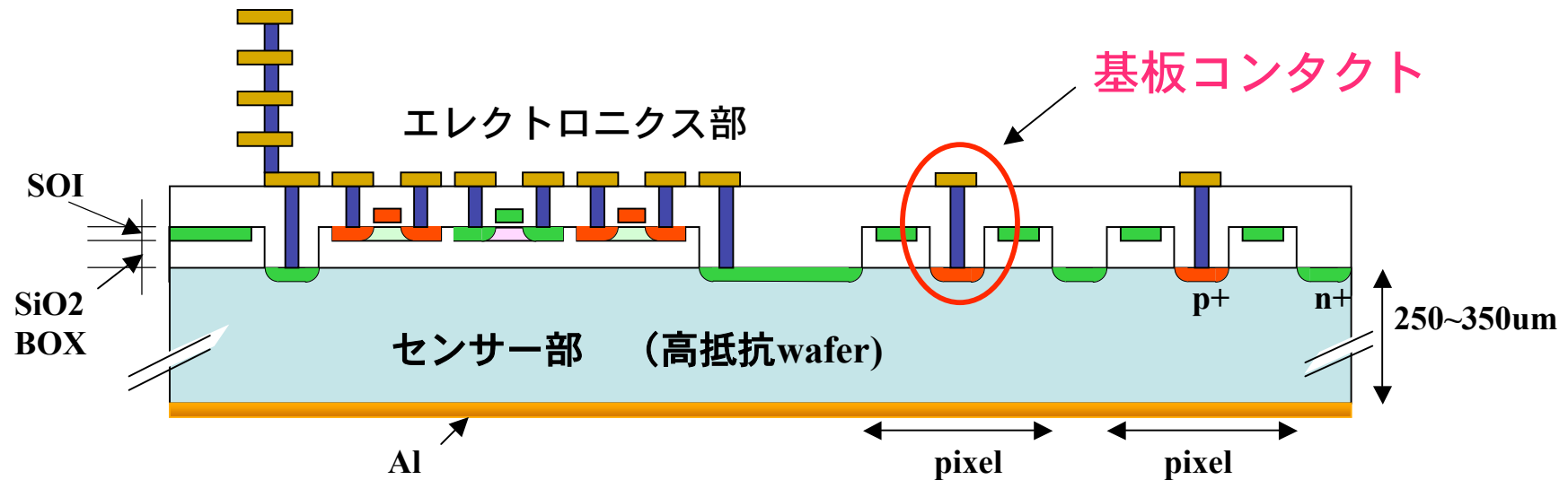
- High resistive
($> 4 \text{ k}\Omega\text{cm}$, FZ)
- 300 μm thick
- Conventional p⁺-n
- DC-coupled



3 μm Process!

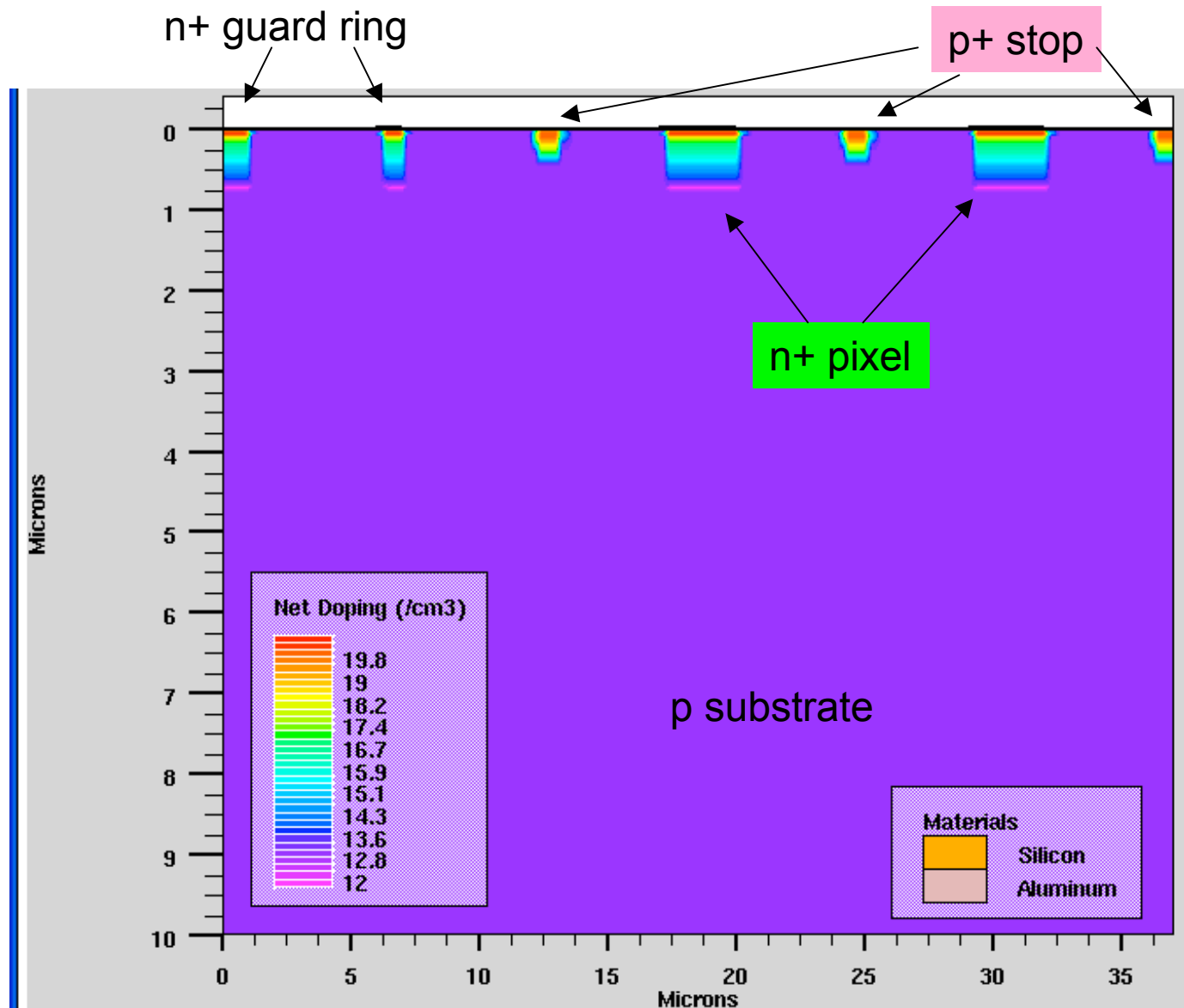
2. 現在までの経過

- 5月： SOIプロセスメーカーを調査
- 6月： SOI 0.15 μm プロセスによる開発検討に合意。
- 7月～： プロセス開発項目を協議 --> BOX (Burried Oxide) への穴あけ、
n+, p+ Implant, 裏面処理等について詰める。
TCADによるプロセスシミュレーションを開始
回路設計、レイアウト設計中 --> 10月14日 TEG Submit予定。



TCAD Simulation --> Tsuboyama, (Hazumi) Talk

Simulation Model

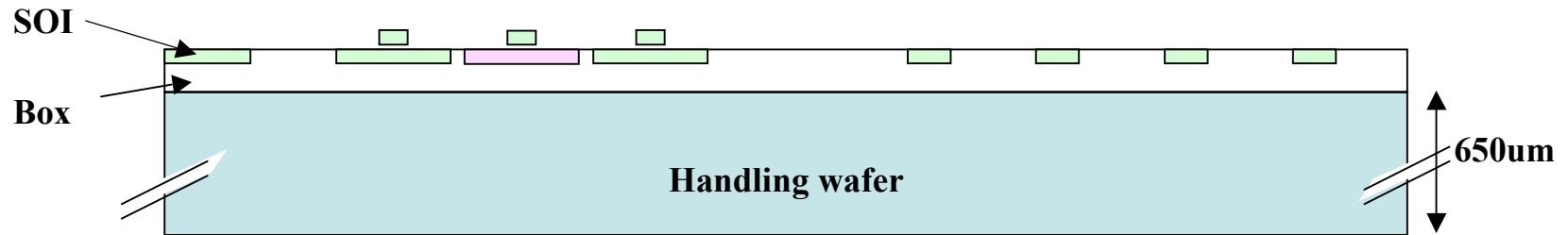


3. 問題点と対策

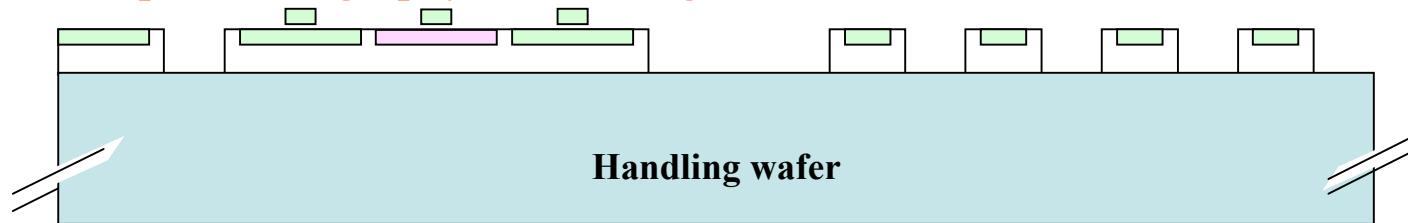
- **n+, p+ implant部形成**
--> マスクを増やさないように、SOI Tr Source/Drainと同時に行う。
- **薄膜化**
--> プロセス時のウエハー厚は650um。プロセス終了後250~350umに削る。
- **裏面処理**
--> Implantが困難の為 AL蒸着のみとする。
- **Thermal Donor形成**
初期ウエハーのタイプ未定。TD generationによりp or n不定。
--> p-wafer, n-wafer両タイプのチップを製造
- **表面リーク**
p-stop, Guard Ringを設ける。
- **Back Gate電圧によるSOI Trの動作不良**
--> トランジスターを I/O部を含めてすべて、Guard Ring内に移動。
- **酸化膜耐圧**
SiO₂耐圧は ~10MV/cm。検出器に500Vかけると、Metal 1との間に5MV/cm。 --> Metal 1 をFloatingにする？

SOI Pixel Process step flow

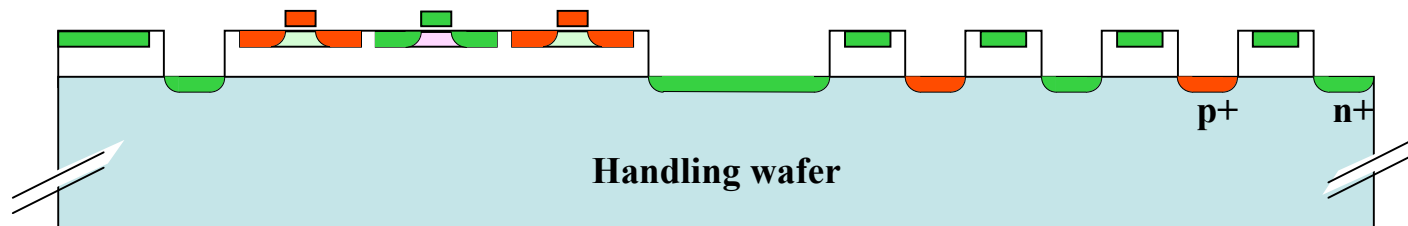
- ① After Gate stack formation (with extension and sidewall formations)



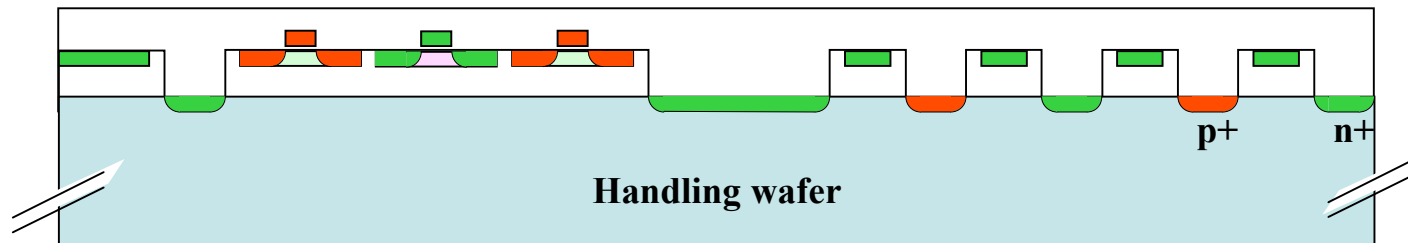
- ② Box Window photo lithography and etching



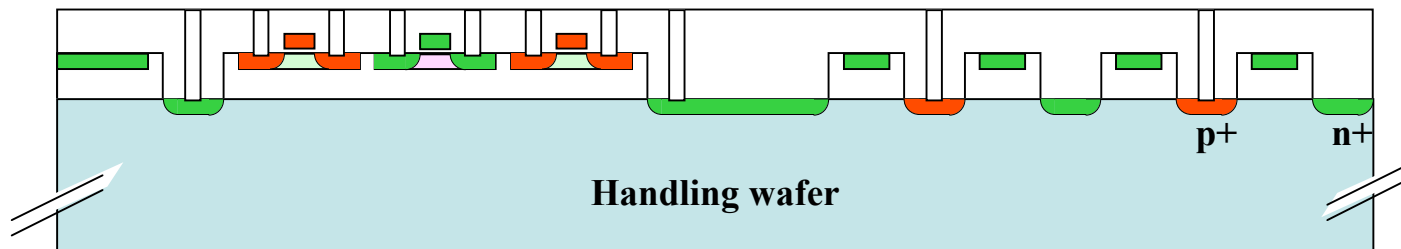
- ③ S/D Implantation followed by S/D annealing and Salicidation



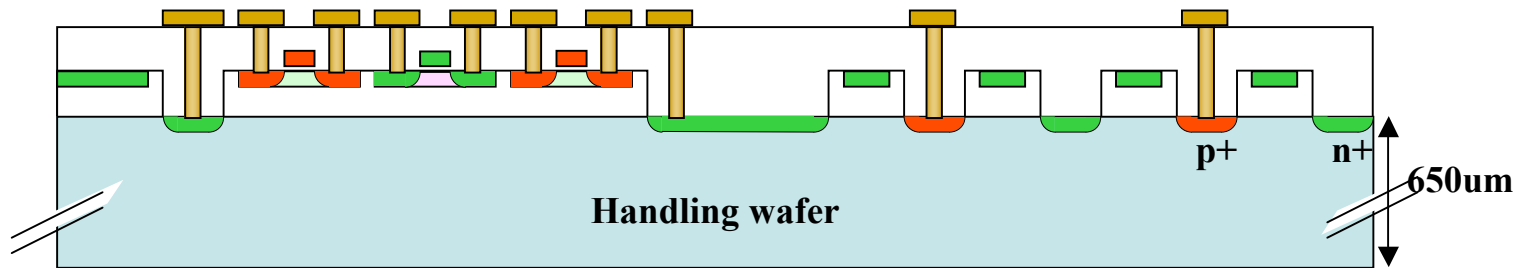
- ④ 1st ILD filling and CMP planarization (after Salicide formation)



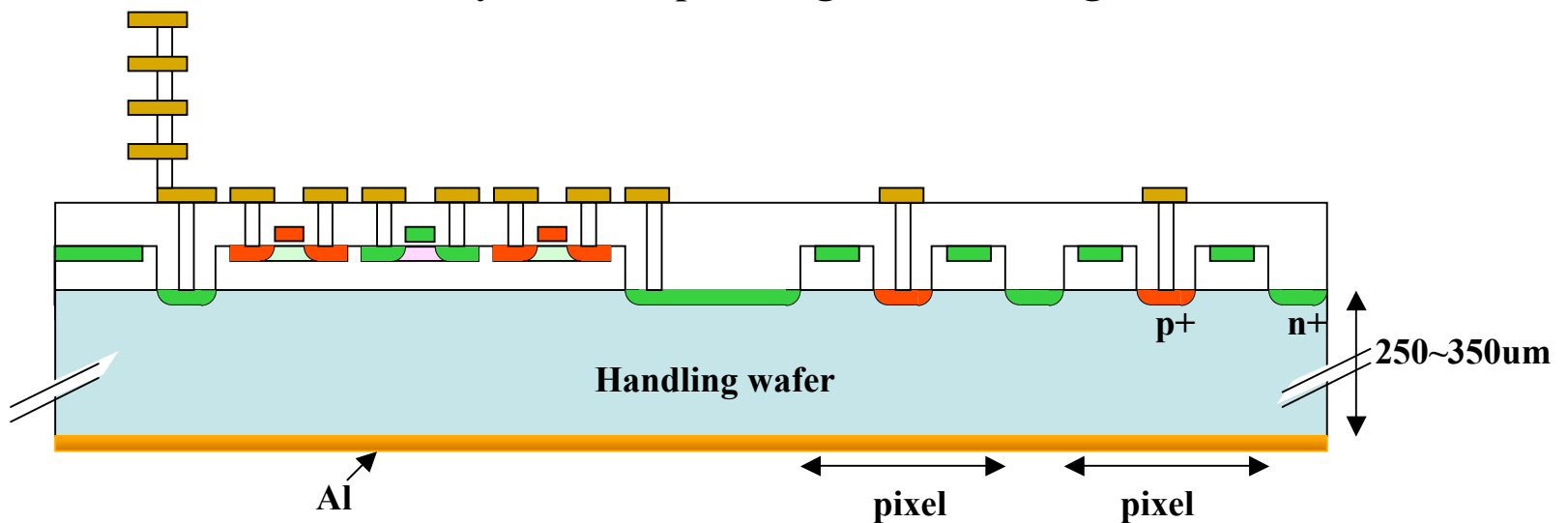
⑤ Contact etching



⑥ Contact plug filling and 1st Metal formation



⑦ 3 ~ 5 Metal formation followed by Backside polishing and Al coating



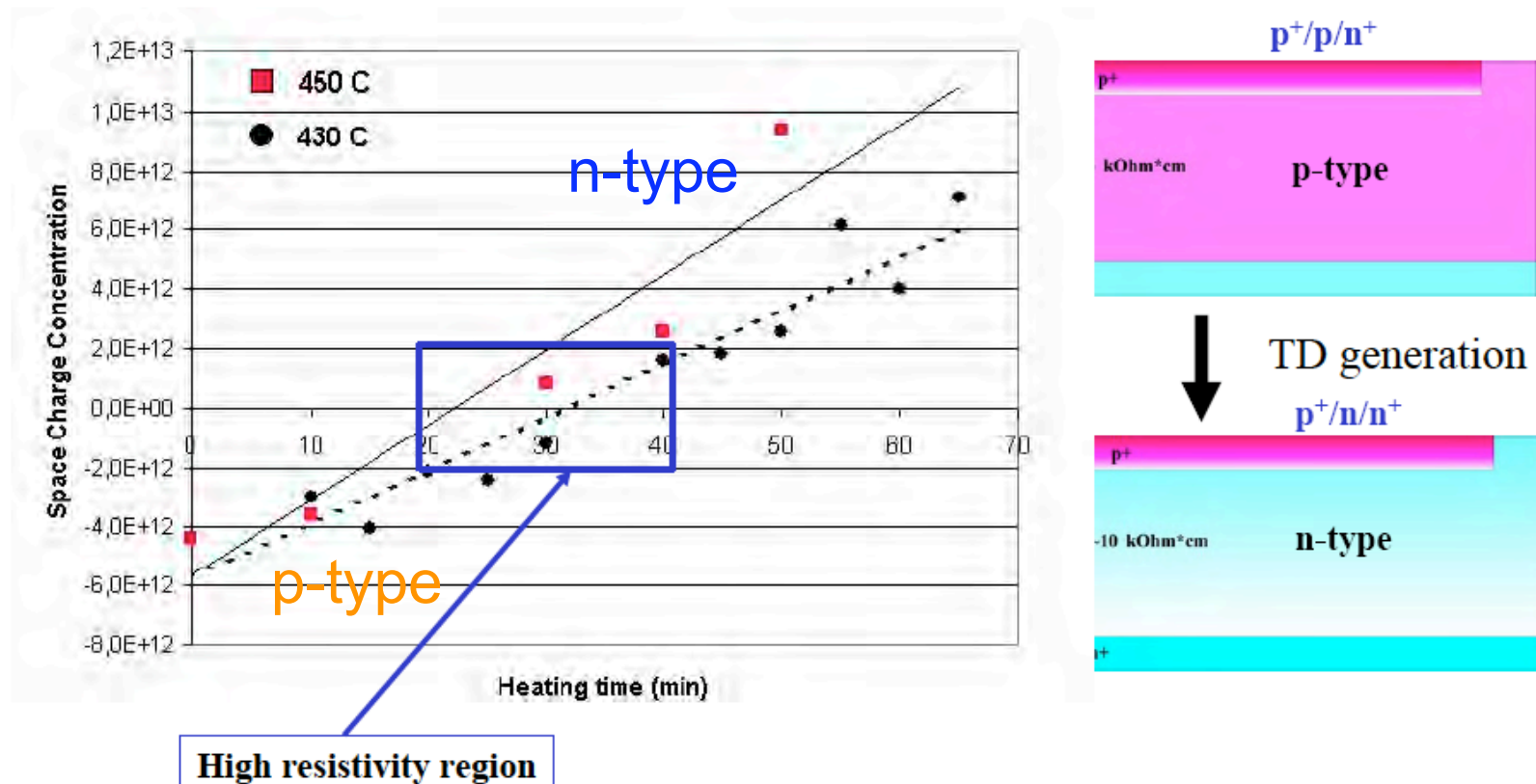
Thermal Donor Generation in high resistivity wafer

- SOITEC高抵抗ウエハーは、p型(未保証) , $>1\text{k Ohm}\cdot\text{cm}$, Cz (Czochralski) Si wafer.
- Cz waferは酸素濃度が比較的高く、熱処理によりThermal Donarが生成されることがある。
- これにより、p型Siが熱処理後n型Siとなる可能性がある。
- --> 対策：p/nどちらになってもダイオードとなるよう、極性を変えたものを2種作る。
- RD50の陽子ビーム照射実験では、TDを生成したwaferはDepletion Voltageの変化が小さく、放射線に強いことが示唆されている。

TD generation on High Resistivity Wafer

J. Harkonen et. al., "Proton irradiation results of p⁺/n-/n⁺ Cz-Si detectors processed on p-type boron-doped substrates with thermal donor-induced space charge sign inversion", NIM in Press.

Thermal Donor generation (experimental results)



Space Charge Sign Inversion (SCSI)

放射線の照射によりn-type Siがp-type Siに変化し、Depletion Voltageが増加していく

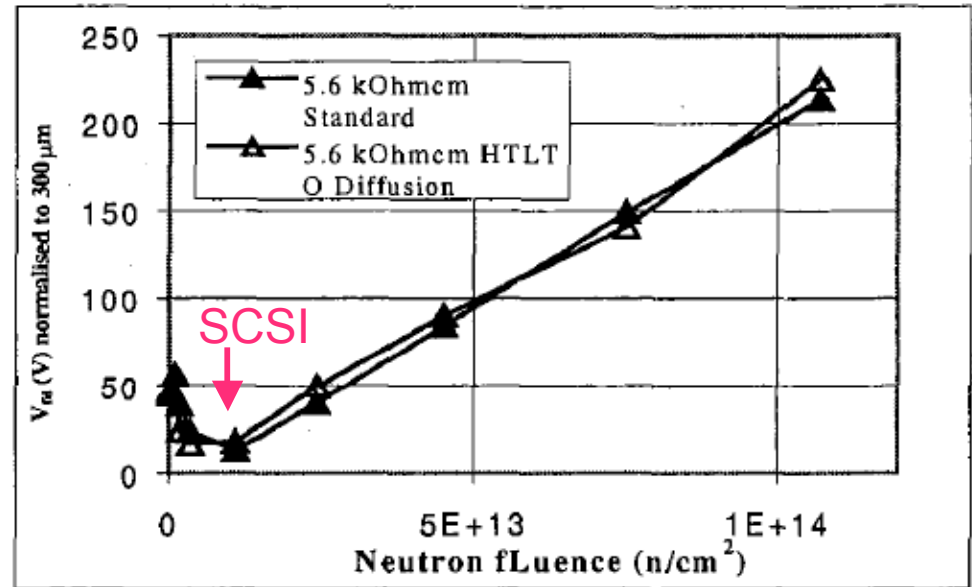
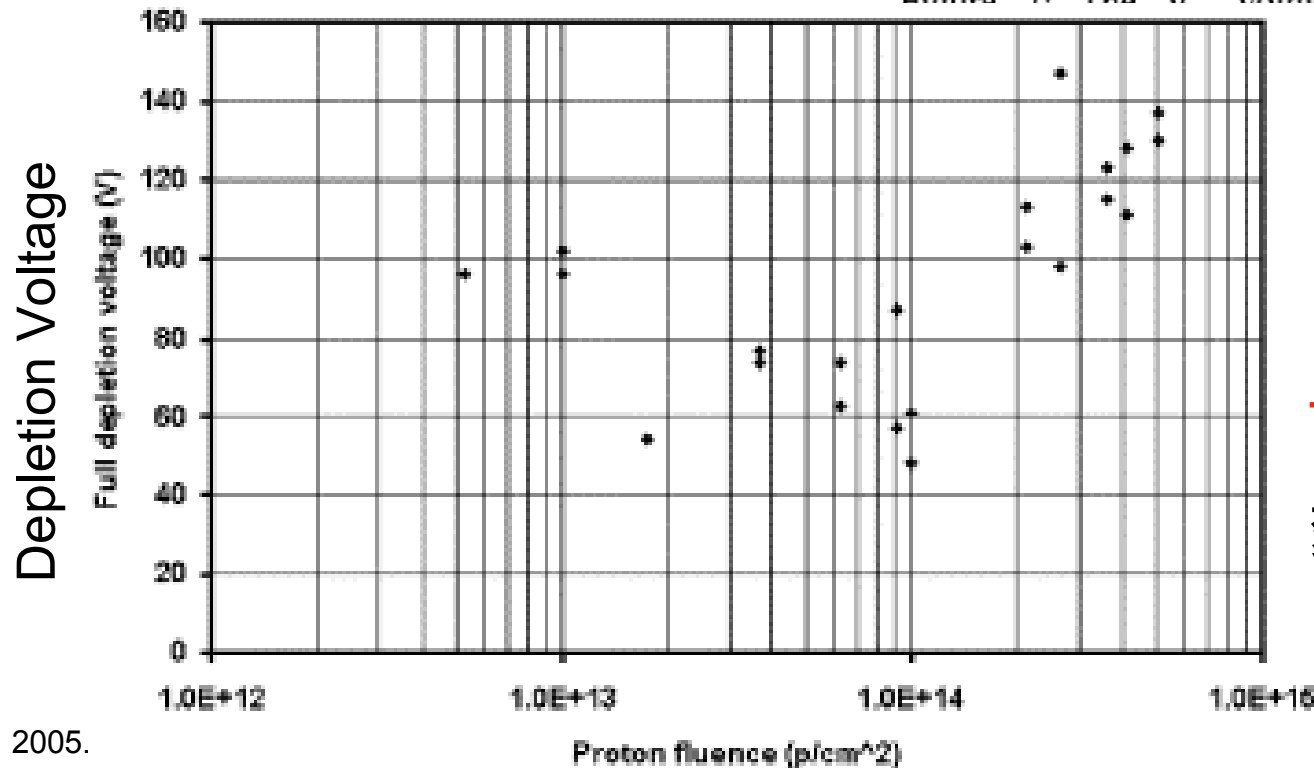


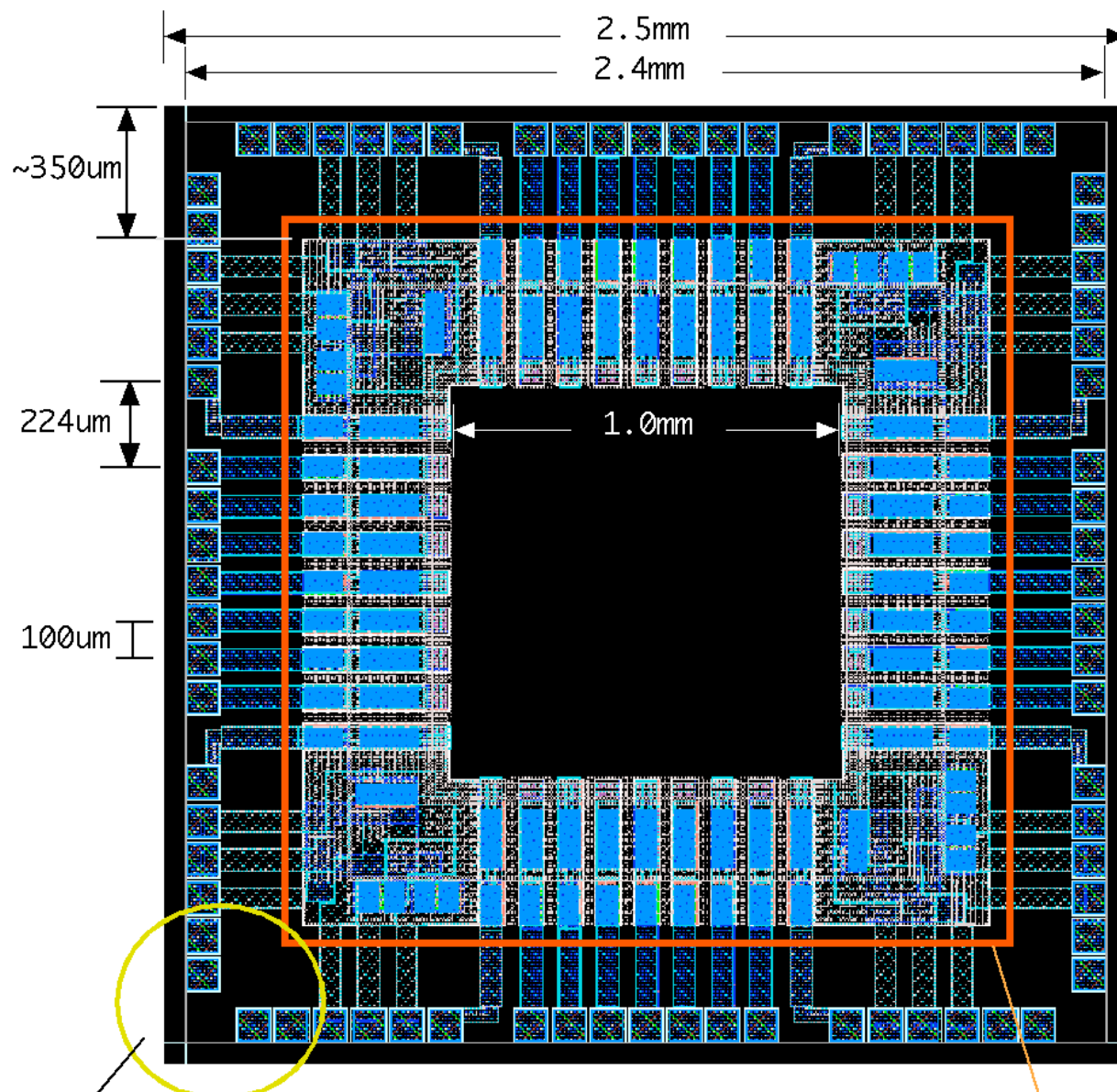
Figure 7. The V_{ra} voltage normalised to 300 μm detector neutron fluence for the 5.6 $\text{k}\Omega\text{cm}$ diffused silicon detectors.



TD Generated
変化が少ない

Effect of Back Gate Voltage

BOXはゲート酸化膜の 100倍近い厚さがあるが、Trの動作は Substrateの電圧の影響を受ける。



Corner Pad --- 32 pad
 VDDCORE 3 × 4 = 12
 GNDCORE 1 × 4 = 4
 VDDOUT 1 × 4 = 4
 VDD_pre 1 × 4 = 4
 GNDOUT 1 × 4 = 4
 Vddx 1 × 4 = 4

I/O Pad --- 28 pad

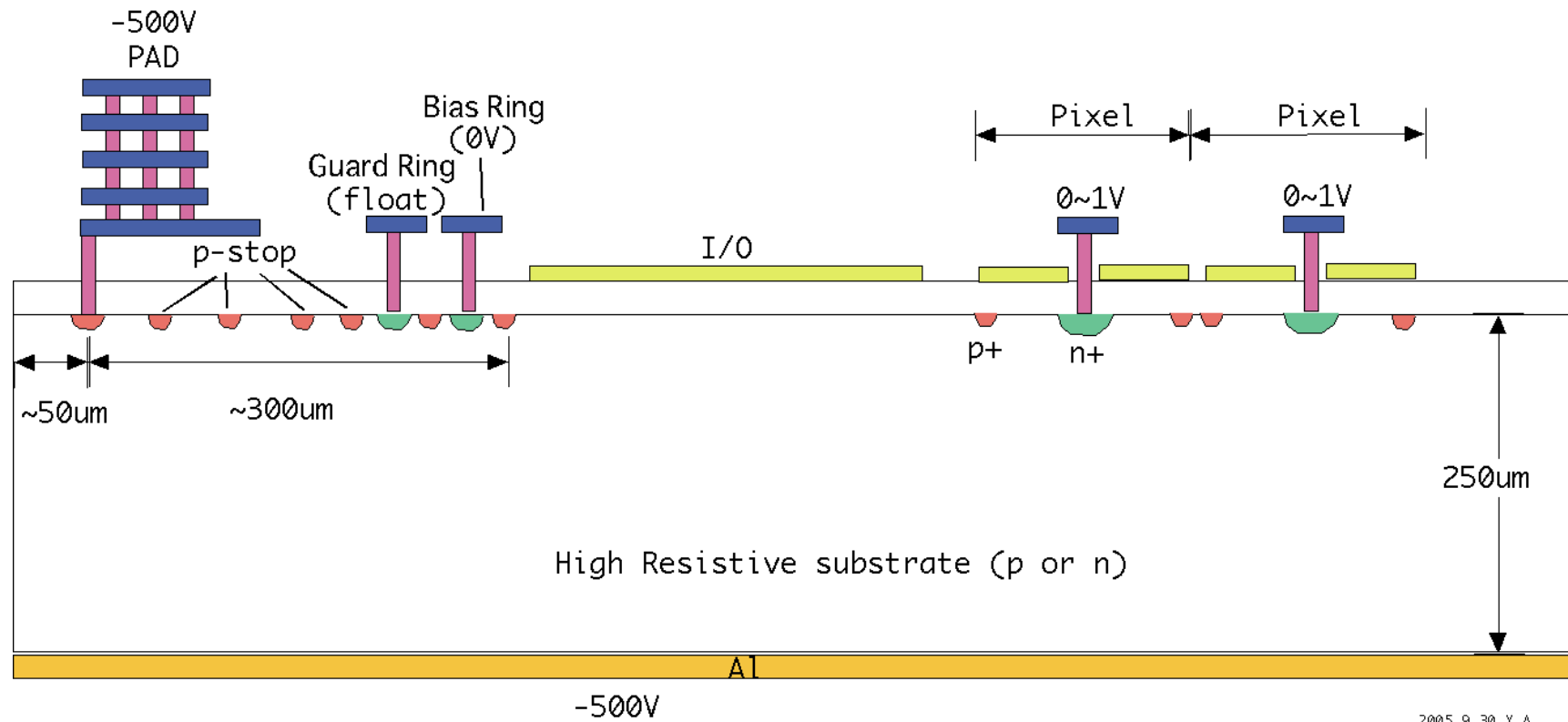
Isolated PAD --- 16 pad

Total --- 76 Pad

Isolated PADs will be used for connection of Detector, Bias and Guard Ring voltages.

Guard Ring

Detector Edge Side View

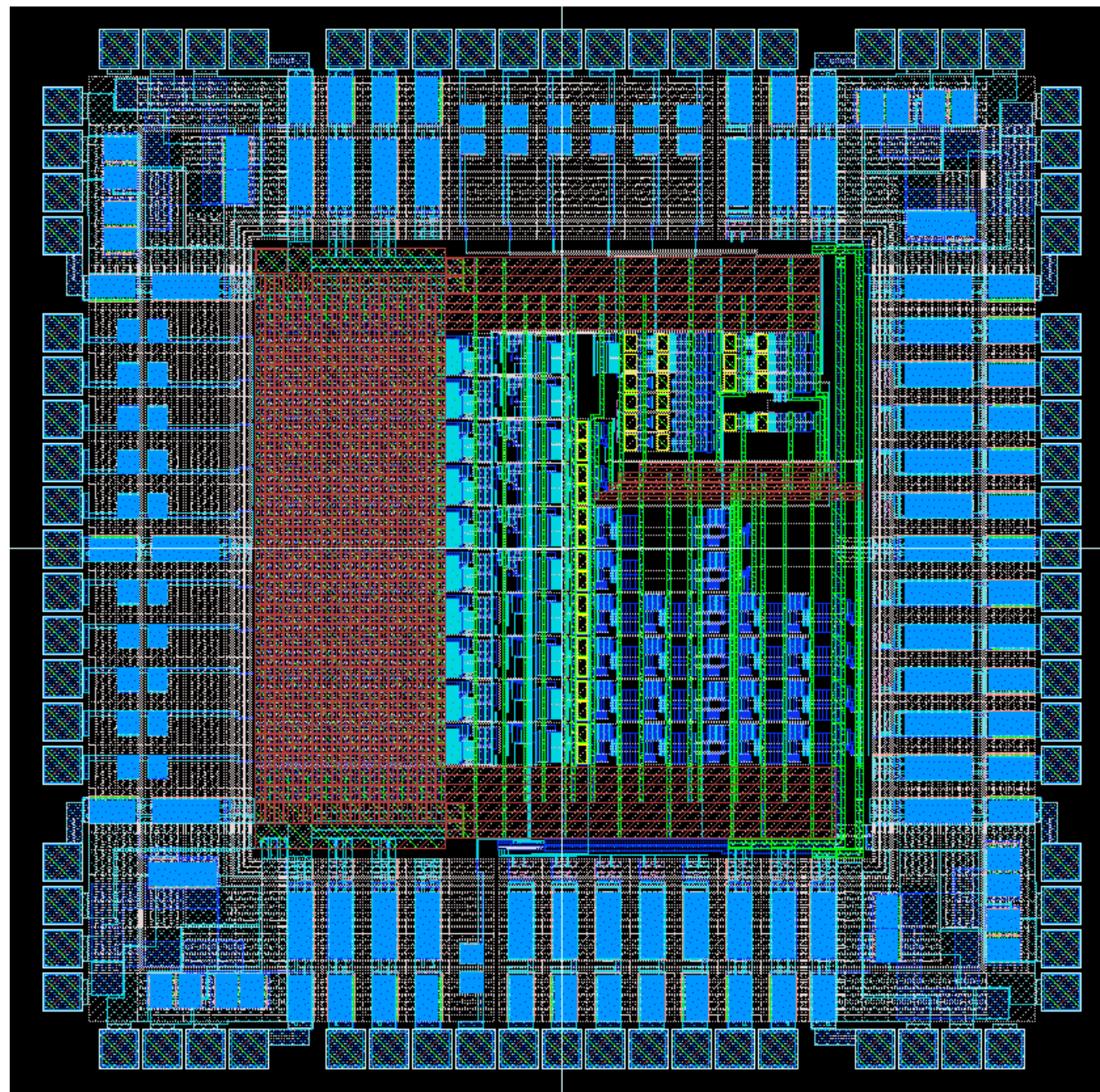


2005.9.30 Y.A

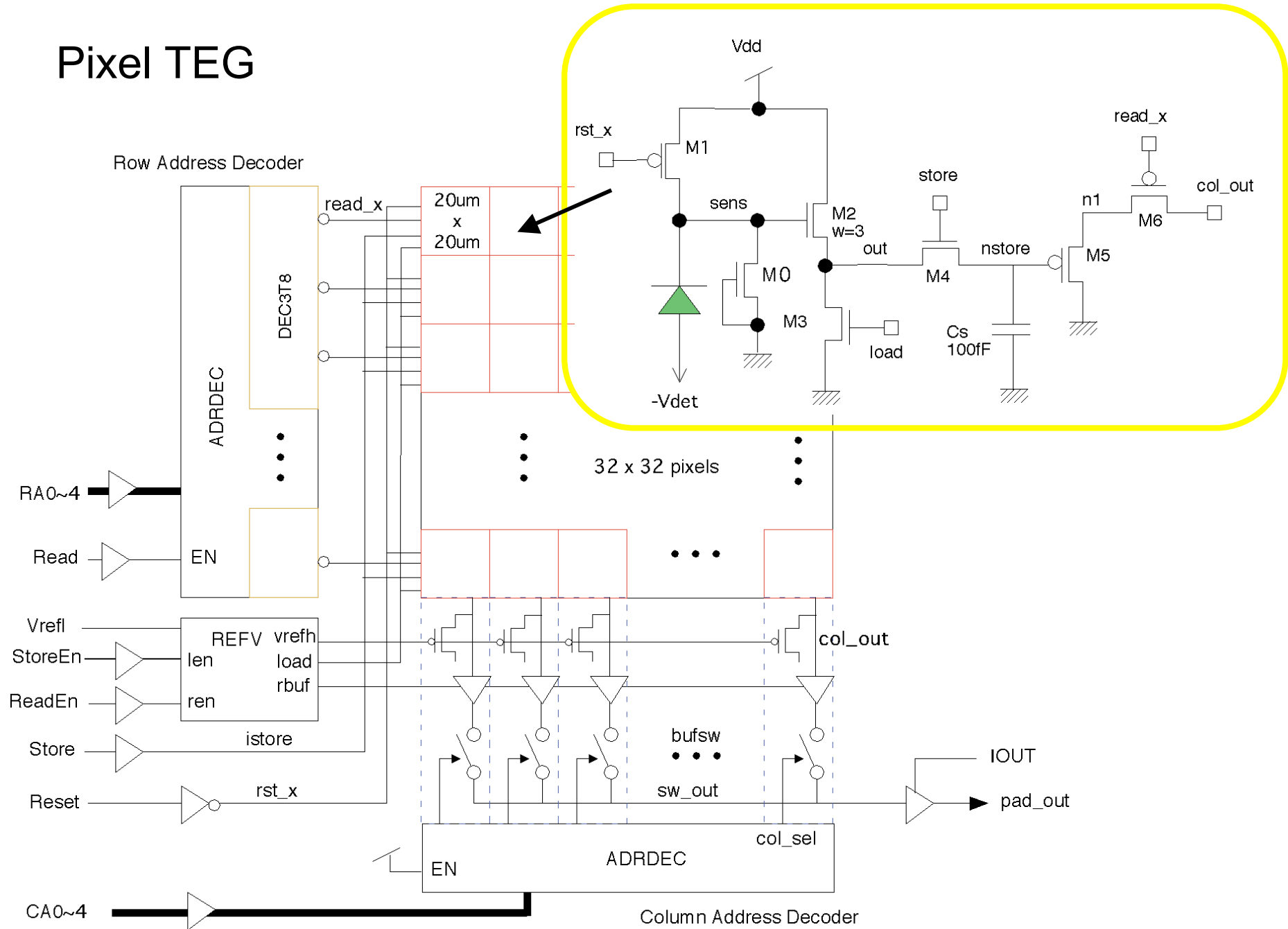
TEG Design status

Nick Name	Service	deadline	Contents	Principal Designer
VDECTEG1	VDEC	10/7	Preamp, TOT, Comparator, Active Feedback, etc. <i>Completed! --> Ikeda Talk</i>	Ikeda
RadTEG1p RadTEG1n	shuttle	10/14	Pixel TEG, Tr TEG, Ring Oscillator etc. <i>Several cells (Tr TEG, Ring Osc.) are completed.</i>	Arai
PixTEG1p PixTEG1n	shuttle	10/14	<i>32x32</i> Pixel Array <i>Several cells (Adr decoder, Buffer ...) are completed.</i>	Arai
StripTEG1p StripTEG1n	shuttle	10/14	Short Strip Sensor Prototype (TCAD Verification) <i>--> Hazumi, Tsuboyama Talk</i>	Hazumi Tsuboyam
HawaiTEG1p HawaiTEG1n	shuttle	10/14	Imaging Hard X-ray Compton Polarimeter SOI Sensor <i>--> Gary, Elena</i>	Varner

VDECTEG1

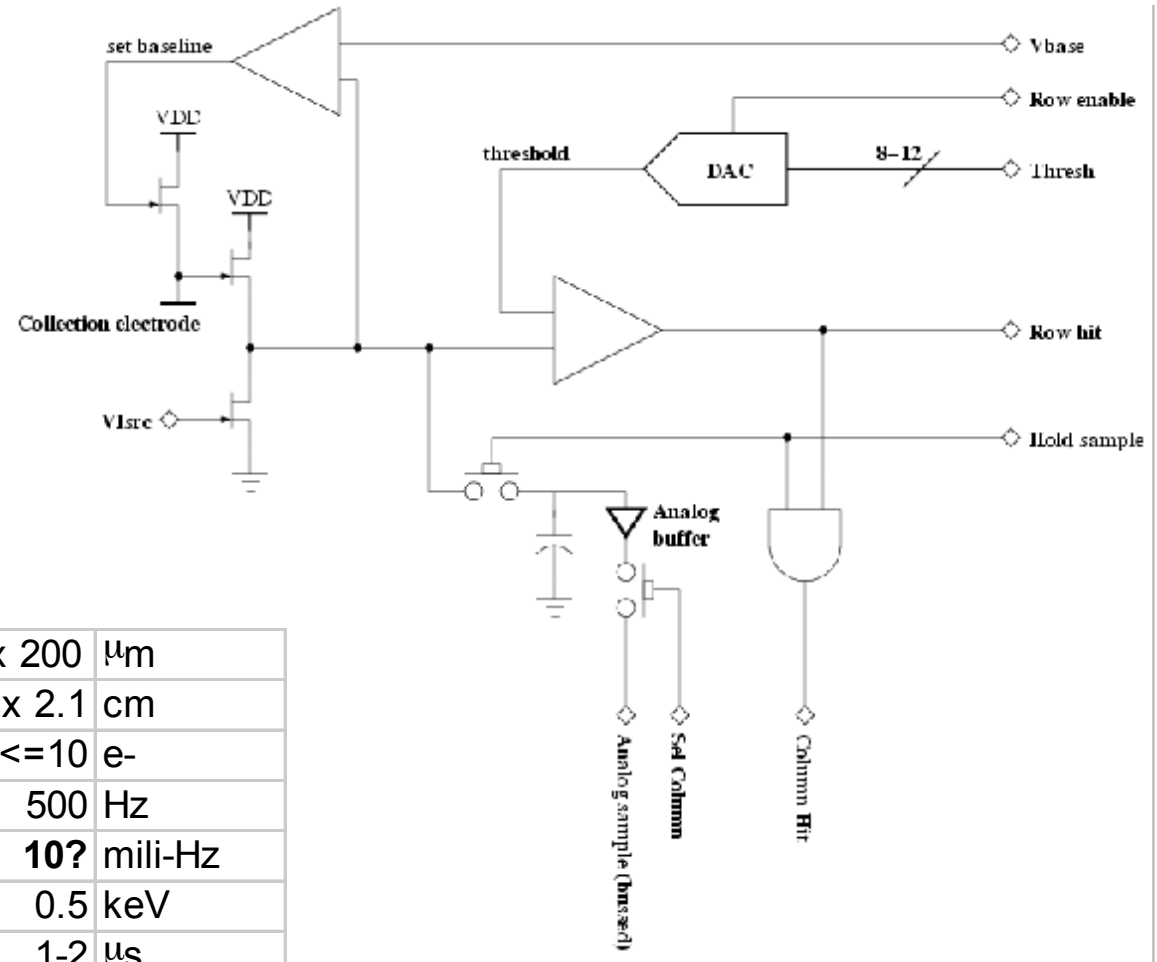


Pixel TEG



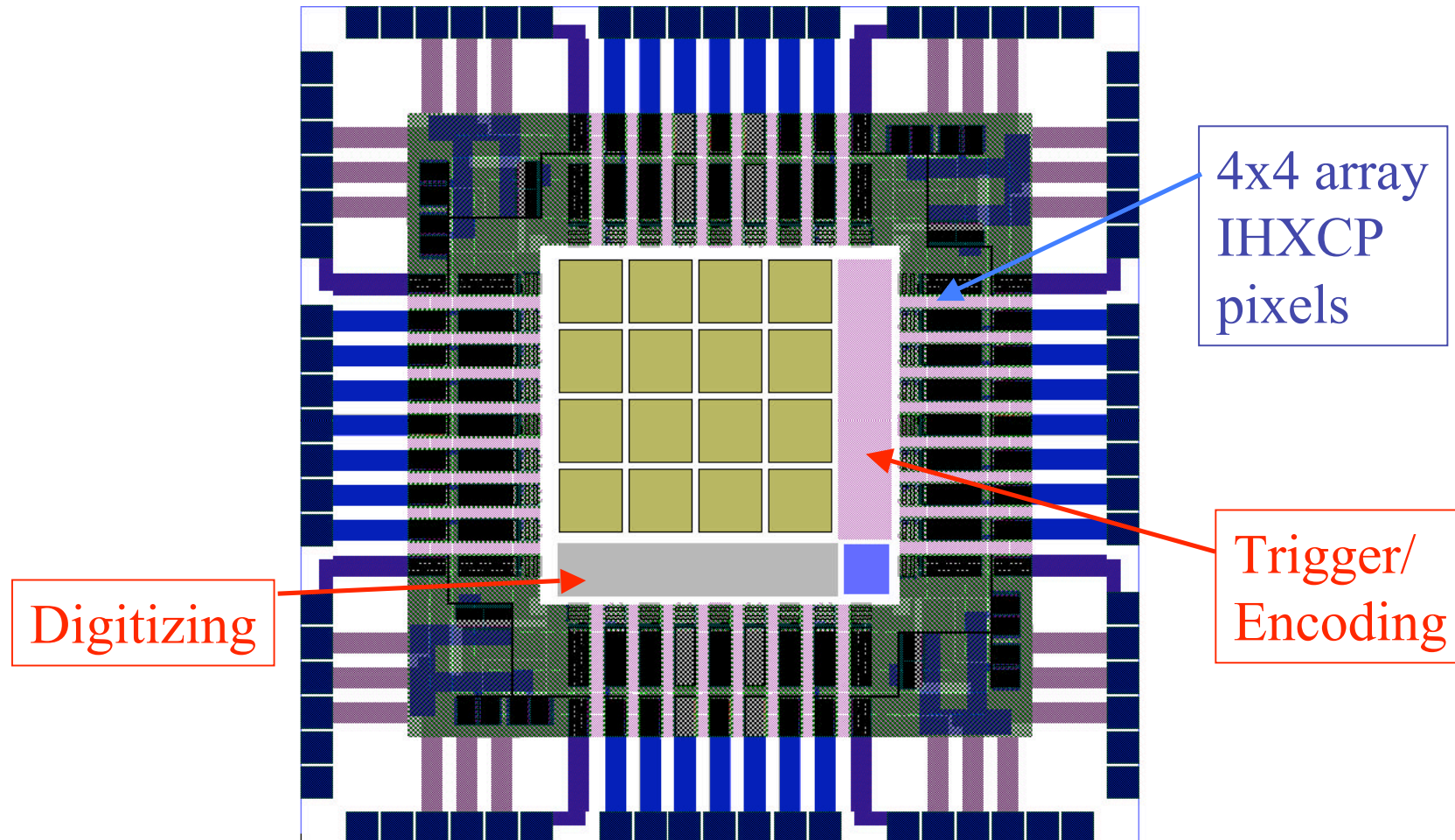
IHXCP(Imaging Hard X-Ray Compton Polarimeter)

U of Hawaii
SLAC



Pixel Size	200 x 200	μm
Pixel Array (Detector) Size	2.1 x 2.1	cm
Noise	<=10	e-
Global Trigger Rate	500	Hz
Single Pixel Rate	10?	mili-Hz
Trigger Threshold	0.5	keV
Trigger Latency	1-2	μs
Power	200	μW/pixel
Total Array Power	2	W
ADC precision	12	bits

IHXCP TEG



まとめ

- SOI Pixel検出器の開発がスタートした。
- 2.5mm角 回路TEG 1種、センサーTEG 4種 x 2タイプの設計を行っている。
- 将来のコストのことも考え、出来るだけ少ないプロセス変更により、実現出来るように努力している。
- Thermal Donor、 Back Gate等々、予想外の様々な問題が出てきているが、ひとつひとつ解決の道を探っている。
- TEGチップは来年3月完成予定。(乞う、ご期待！)