

研究紹介

SOI 技術による一体型ピクセル検出器の開発

高エネルギー加速器研究機構 素粒子原子核研究所

新井 康夫

yasuo.arai@kek.jp

on behalf of SOIPIX グループ[1]

2007 年 6 月 1 日

1. はじめに

半導体を用いた放射線検出器は様々な実験や医療目的などで広範囲に用いられている。また半導体による大規模集積回路 (LSI) は、われわれの日常生活のいたるところにあふれている。

しかしながら、両者とも半導体技術を基にしているにもかかわらず、放射線検出器とデジタル回路まで含んだ読み出しエレクトロニクスが、一つのウエハーから一連の半導体プロセスで作られたことは残念ながらまだない。

これにはいくつかの理由が考えられるが、

- (a) 放射線センサーは低電圧で厚い空乏層が出来るよう、高抵抗率ウエハーを必要とするが、LSI では低抵抗率ウエハーを基に多くの不純物が導入される。
- (b) 集積回路技術は大量生産を前提にしており、プロセス開発に多大なコストがかかる。放射線検出器にはそれに匹敵するだけの需要がないため、専用プロセスの開発が進まない。

という二点が大きな問題なのだと思う。このため現在は、検出器とフロントエンド LSI は、ワイヤーや金属バンブにより機械的に接続せざるを得ず[2]、小型、高速、低消費電力、低価格化などの点において限界に面している。

一方産業界では 90 年代後半より、Si 層の下に SiO₂ の絶縁層を埋め込むことによりトランジスターを完全に分離し、低寄生容量化と高速化をはかる技術 SOI (Silicon-On-Insulator) が実用化され、IBM Power PC、AMD Athlon、SONY Cell プロセッサなどハイエンドの用途から広がった。SOI 技術は、現在主流の Bulk CMOS 技術と同じ設計ルールでも一世代進んだ特性を示し、今後の LSI プロセスの主流になるものと期待されている。

SOI ウエハーの製造方法は何種類か実用化されているが、中でもフランス SOITEC 社[3]が開発した SmartCut 法 (図 1) は二つの異なる Si ウエハーを貼合わせる方法で、品質が

よく価格が安いことから現在主流となっている。ここで、この製造方法を見てわかるように、貼合わせるのは二枚の異なるウエハーなので、下側を高抵抗ウエハー、上側を低抵抗ウエハーとすることもなんら問題がない。実際このようなウエハーは高周波特性がよいことから、標準品として用意されている。

われわれは 2005 年 4 月に KEK 測定器開発プロジェクト ([4]に幅氏による高エネルギーニュース解説記事がある) が始まったのを機に、まだ誰も成功していない、放射線センサーと読み出しエレクトロニクスを一体化させたピクセル検出器を、SOI 技術を基に開発することを提案した。

最大の問題は、われわれが望むような SOI プロセスを行なうパートナーとなってくれるメーカーを見つけることであつた。幸い、沖電気工業 (株) が日本で初めて SOI プロセスを用いた量産を行なっていることが判り、開発に協力していただけることになった。沖電気は前出のようなハイエンドの製品ではなく、低消費電力という SOI のもうひとつの特長を活かした、電波時計用チップなどに SOI を用いている[5]。

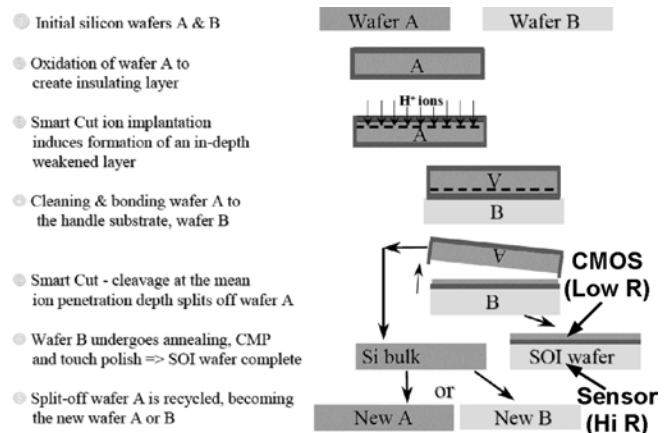


図 1. Smart Cut 法による SOI ウエハーの製造方法 (仏 SOITEC 社 Web より)

二種類の Si ウエハーを貼合わせるため、下部を放射線センサー、上部を CMOS 回路にすることが出来る。

2. SOI 検出器の特徴と構造

SOI 素子は、バルク CMOS 素子に比べて寄生容量が小さく、高速、低消費電力化が望める。さらに SOI プロセスでは、アクティブ領域が数十～数百 nm と薄く、バルクからの影響もないので、一般に放射線耐性が高く、放射線環境下での使用に向く[6,7]。また Well 構造による接合リーク電流がないため、摂氏 300 度もの高温でも使用可能で、ラッチアップもなく、宇宙環境での使用にも向いているという利点がある。

一体型 SOI センサーが実現できれば、パンプボンディングなどの機械接続が必要でなくなるので、より小面積のピクセルが可能となり、さらにパンプによる寄生容量もなくなるので一層の高速・低消費電力化も望める。またパンプがいらぬことに加え、センサー容量が小さいことから、センサーを薄くしても十分な信号電圧が得られ、放射線測定でしばしば問題となる、不要物質も減らせる。さらには、一体化による低コスト化も可能になると考えられる。

われわれは、沖電気の持っている全空乏型 0.15 μm CMOS SOI プロセス[8]を改良し、SOI 放射線検出器の開発を開始した[1,9,10,11,12,13,14]。図 2 にわれわれの作った SOI 検出器の断面の一例を示す。中心部にピクセル回路、その周りを電位 0V の bias ring で囲み、そのすぐ外側に電界を緩和するための guard ring を設けた。チップの外周部には substrate と接続を持つための HV ring がある。

Handle wafer は基本的に Si なので、荷電粒子、20keV 程度までの X 線、可視光などに感度を持つ。また底面に B や Li をドーピングすることにより中性子に感度を持たせることも出来る。さらに、handle wafer として GaAs, Ge など、より原子番号が大きい物質を貼り合わせることも可能なので、プロセス上の汚染などの問題が解決されれば、さらに応用が広がる可能性がある。

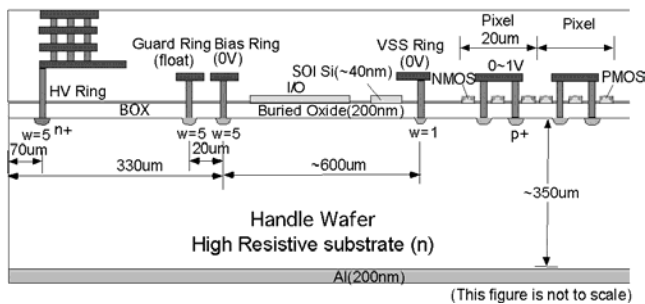


図 2. SOI ピクセル検出器の断面の例

2.1. SOI プロセス

開発した SOI プロセスの特徴を表 1 に示す。SOI 層は低抵抗率の p 基板で、下部の基板は高抵抗率の n 基板である。

表 1. SOI 検出器用 0.15 μm Fully-Depleted SOI CMOS プロセスの概要

Process	0.15 μm Fully-Depleted SOI CMOS process, 1 Poly, 5 Metal layers
SOI wafer	Diameter: 150mm ϕ SOI Si: Cz, $\sim 18\Omega\cdot\text{cm}$, p -type, $\sim 40\text{nm}$ thick Buried Oxide: 200nm thick Handle wafer: Cz, $> 1\text{k}\Omega\cdot\text{cm}$ ($\sim 700\Omega\cdot\text{cm}$ after process), n -type
Backside	Thinned to 350 μm , and plated with Al (200nm)
Supply V	Core 1V, I/O 1 \sim 1.8V

基板購入時の高抵抗基板の抵抗率は $1\text{k}\Omega\cdot\text{cm}$ 以上であるが、熱処理などの影響でプロセス終了後の測定では約 $700\Omega\cdot\text{cm}$ であった。BOX (Buried Oxide) 層に穴を開け、下部基板に p^+/n^+ をインプラント後再び酸化膜を形成し、上部と下部とを繋ぐコンタクトを形成する。インプラントおよびコンタクト部の TEM 断面図を図 3 に示す。

今回はプロセス後に 650 μm 厚のウエハーを 350 μm まで薄くし、その後裏面に Al を 200nm 蒸着した。最近ではウエハーを 30 μm 位まで薄くする技術が実用化されているので、必要に応じてさらに薄くすることは可能である。

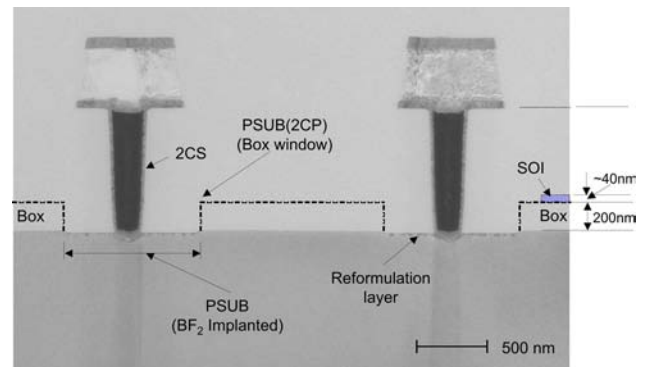


図 3. BOX 層に穴を開けて p^+ 領域を作成するために BF_2 をインプラントし、その後アルミ配線への接続を形成した時の TEM (Transmission Electron Microscope) 像

2.2. ダイオード特性

Handle wafer に形成した p - n 接合の特性を調べるため、図 4(a) に示すようなダイオードを形成し、I-V 特性を測定した。結果は、図 4(b) に示すように、良好なダイオード特性が得られた。

また同時に、センサーの特性を調べるため、長さ 460 μm 、ピッチ 50 μm で幅を変えた p^+ strip を形成したチップを試作した。今回のプロセスでは、CMP (Chemical Mechanical Polishing) による平坦化のため、配線層では一定の割合でダミーメタルが置かれるため、そのままでは handle wafer

まで光は到達しない。そこで、strip の上部の一部にダミーメタル禁止領域を設け、その部分からレーザー光が通るようにした。測定結果を図5に示す。

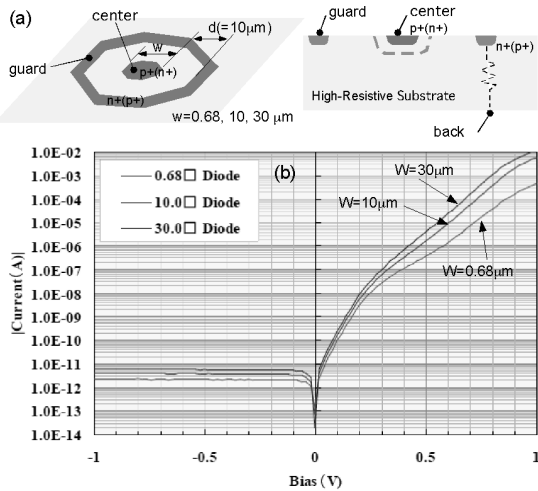


図4. (a) 試験用ダイオードの形状と (b) I-V 特性

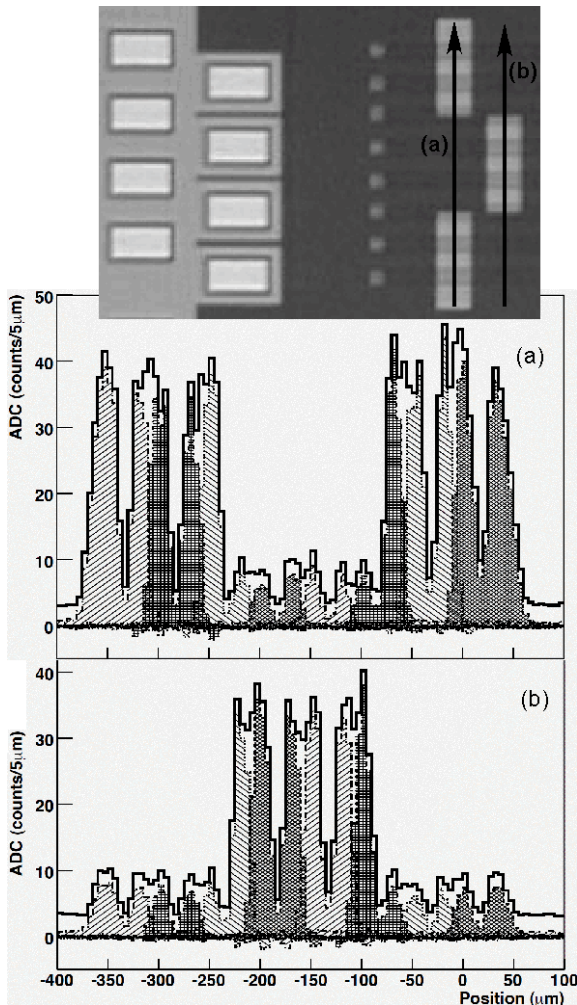


図5. 50 μm ピッチのSOI Stripにレーザー光 ($\lambda = 890\text{nm}$) を照射した時のストリップ信号強度

太線は各 strip 信号の和。三つの strip 毎に光が通るウィンドウが開けてある。Strip 部の上にメタル配線が走っているため、中央部で信号が減衰する様子も見られる。

ひとつの strip の信号中で中央部がへこんでいるのは strip に重ねて配置されているメタル配線により光が遮られているためである。信号はきれいに分離されクロストークも少ないことが判る。

3. PIXEL CHIP

SOI によるセンサーとエレクトロニクスの一体化を示す実例として、20 μm 角のピクセルを 32×32 並べた pixel チップを試作した。ブロック図とチップ写真を図6、図7に示す。

ピクセルからの読み出し回路は、標準的な蓄積コンデンサー付きの active pixel 型である。センサーダイオードにはリセット回路と保護ダイオードが付けられ、ソースフォロワー回路により蓄積コンデンサーに電圧が保持される。読出す際は read_x 信号により行が選択され、col_out 線よりアナログ信号が出力され、そのうちの一つの列の信号が選択され外部に出力される。

その他周辺回路として、列と行のアドレスデコーダー、バイアス回路、出力バッファなどが設けられている。

ピクセルのレイアウトを図10 (p6) に示す。ピクセルの中心部には $5.4 \mu\text{m} \times 5.4 \mu\text{m}$ の光入射の試験をするための窓が開けてある。放射線測定にはこの穴は不要であるので、ピクセルはもっと縮小することも可能である。各ピクセルには四つの八角形 p^+ 電極を設け、100 fF の MIM (Metal-Insulator-Metal) コンデンサーを付けた。

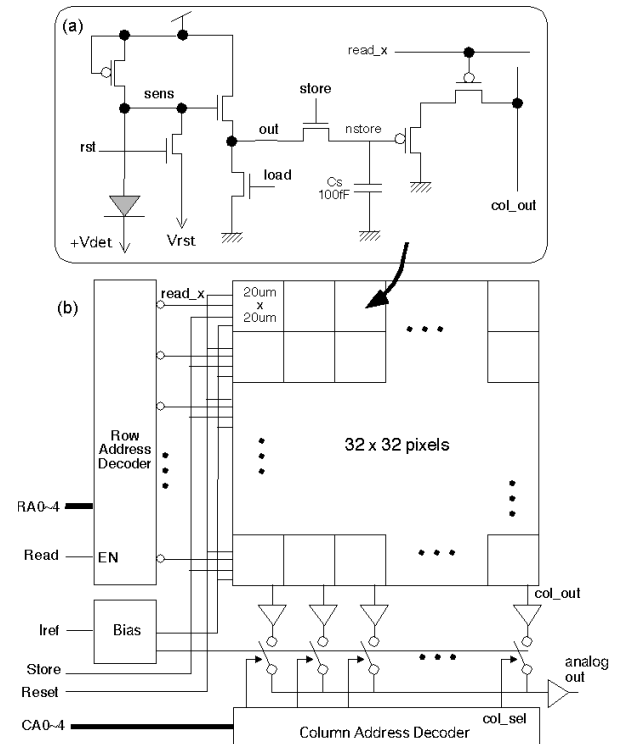


図6. 32 \times 32 Pixel TEG のブロック図(b)と Pixel 回路(a) 各ピクセルの大きさは 20 $\mu\text{m} \times 20 \mu\text{m}$ 。

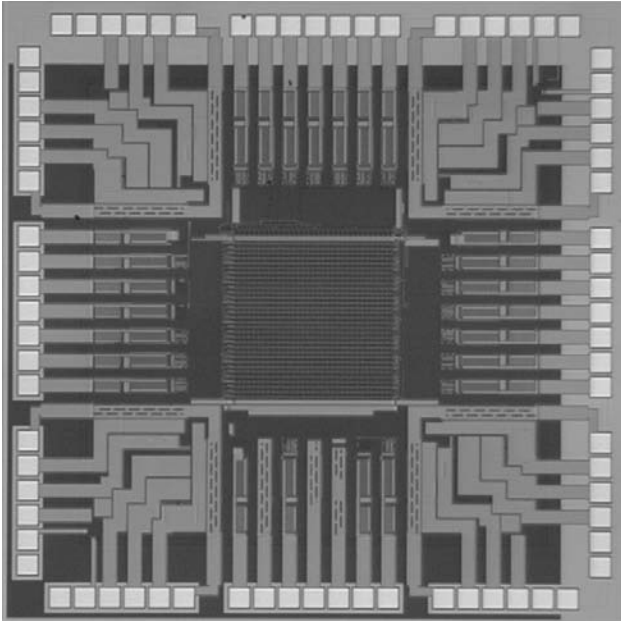


図 7. 32×32 Pixel TEG 写真
チップの大きさは 2.4mm×2.4mm。

3.1. I-V 特性

Handle wafer に形成した $p-n$ 接合の I-V 特性測定結果の一例を図 8 に示す。98V 付近で電流の急激な増加が見られた。この電圧での空乏層厚さは約 $140\mu\text{m}$ であるので、まだ全空乏化にはいたっていない。リークの起こる場所を特定するため、電流が増加した時点でチップを赤外カメラで観測したところ bias ring (図 2 参照) の角が発光していることが判った。より高い電圧まで印可するためにはこの ring の角を丸めると共に、チップ端からさらに離すなどの対策が必要である。

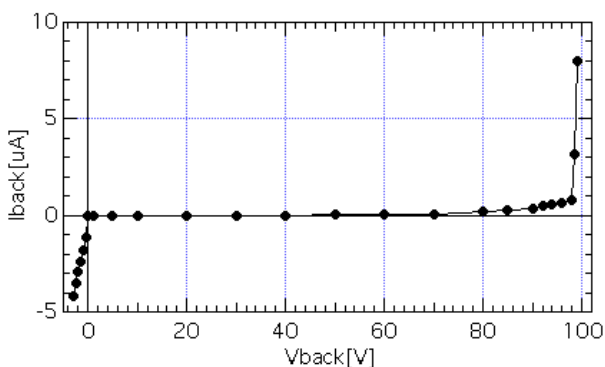


図 8. Pixel Chip でのセンサー電圧 (V_{back}) に対するリーク電流 (I_{back}) 特性の例

3.2. レーザー光によるイメージ撮像

ピクセルの前面にプラスチックマスクを置き、赤色レーザー光 (波長 670nm) を照射することによりイメージの撮像を行なった。一例を図 11 (p6) に示す。検出器電圧は

10V 、積分時間 $7\mu\text{sec}$ で撮影を行なった。各ピクセルからの出力電圧からは、リセット直後のオフセット電圧分を差し引いてある。これにより列に設けたアンプのオフセットによる固定パターンノイズが軽減されている。光の当たる開口部が狭いこともあり、隣り合ったピクセル間のクロストークはほとんど見られなかった。

また観測された電圧は、ピクセル電極の容量を 8fF と見積もった時の電圧とほぼ一致した。

3.3. β 線による測定

次に ^{90}Sr 放射性元素からの β 線をチップに照射し信号を確認した。出力電圧は β 線の通過により、センサー電極部換算で約 70mV 電圧が増加している様子が確認された。これは予想電荷量 $3500e$ (0.6fC) からの信号電圧と一致している。

3.4. Back Gate 効果

SOI トランジスタの閾値は BOX 下の基板電位の影響を受ける。基板電位の増加により NMOS の閾値は減少し、PMOS の閾値は増加する。基板電位が 10V を超えると NMOS の閾値は 0V 以下になってしまうこともある。

このため、トランジスタ下部には一様に p^+ 電極を設けて、 0V 付近に電位を保つ必要がある。今回の TEG では I/O 部など極を置ききれなかった部分があり、検出器電圧 15V 以上では信号が消える現象が見られた。

4. TCAD SIMULATION

上記 back gate 効果を始め、電荷収集効率、プロセスの最適化などを研究するためには、プロセスやデバイスのシミュレーションが役に立つ。これらは一般に TCAD (Technology CAD) と呼ばれ、Stanford 大が開発したものが有名で、これを元に様々な製品が商用化されている。

われわれも当初は、東京大学 VDEC[15]にライセンスのある TCAD を使用したが、ライセンスが切られてしまったため、他の方法を探すこととなった。

幸い沖電気の紹介で、国内半導体メーカー 10 社が出資した SELETE[16]という組織がつくばの産総研の中にあり、国産三次元 TCAD ソフトウェア (ENEXSS) が開発されているということがわかった。早速訪ねると共に試用させていただき、一昨年度末に購入した (現在は TCAD International Inc. から販売されている)。

シミュレーションの一例を図 12 (p6) に示す。また back bias によるトランジスタの閾値変化を抑えるために、NMOS の近傍に p^+ をインプラントし、その効果をシミュレーションした結果を図 13 (p6) に示す。

また ENEXSS では放射線の通過による、電圧変動もシミュレーション出来る。一例を図 14 (p6) に示す。まだ、非常に簡単な構造しかシミュレーションしていないが、より複雑な構造もシミュレーションし、設計に役立てていく予定である。

5. MULTI PROJECT WAFER RUN

一回目の試作で SOI 検出器が無事動作することが確認されたので、二回目の試作を 2006 年末に行なった。この試作では SOIPIX グループ以外にも呼びかけ、一つのマスクを多くのユーザーで share する、Multi Project Wafer (MPW) ランとして行なった。取りまとめはわれわれが行ない、FNAL, LBL, U. of Hawaii, JAXA, 東大, 筑波大の合計 17 の設計を集めた。このウエハーの写真を図 15 (p7) に示す。

プロセスは 3 月末に終わり、現在ペアチップ、パッケージされたチップが各ユーザーに配られ、試験が開始される場所である。

以下に、今回の MPW の目玉の一つである 1cm 角の計数型ピクセルに関して紹介する。

5.1. 128×128 ピクセル X 線計数型検出器

X 線を用いたイメージングなどでは、注目する X 線の強度分布を高計数率で行なう必要がある。ハイブリッド型の代表的なものが MEDIPIX 検出器[2]であるが、同様の機能を持った 128×128 ピクセルの X 線計数型検出器を SOI で設計した。ブロック図を図 9 に示す。各ピクセルはリーク電流補償付プリアンプ、低い閾値と高い閾値の二つのディスクリミネータ、二つの閾値の間の波高を持った信号のみを選別する回路(double discriminator logic)、16 ビットのカウンター、各種設定を保持する 9 ビットのレジスターからなる。これらを 50 μ m 角のエリアにレイアウトしたものを図 16 (p7) に示す。これは MEDIPIX が 14 ビットカウンターで 55 μ m 角であるのに対して、より小さくなっている。また MEDIPIX では全部のピクセルをシリアルにすべて読出さなければならないのに対して、われわれの設計ではアドレス可能とし、16 ビット並列に読出せ高速化をはかった。

この機能を活かすには、どのピクセルが反応したのか即座に知る必要があり、二つの列および行毎に信号の和を取ったトリガー信号が Xtrig[63:0], Ytrig[63:0] として出力されている。ディスクリミネータの閾値は外部から供給されるが、各ピクセル毎のばらつきを吸収するため、3 ビットの微調整回路がピクセル毎に設けられている。

チップ全体のレイアウトを図 17 (p7) に示す。チップの外形は 10.2mm×10.2mm である。外周およびピクセル周囲にはセンサーに電圧を供給するための HV ring, guard ring,

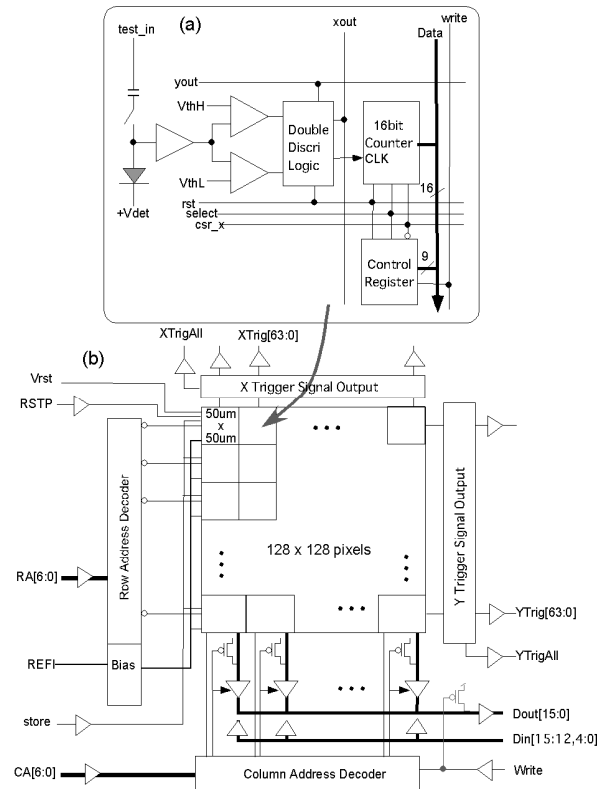


図 9. 128×128 ピクセル X 線計数型検出器ブロック図

bias ring などが配置されている。また、出来るだけ back gate の効果を抑えるように、 p^+ 層が handle wafer の各部に埋め込まれている。ピクセルあたりのトランジスタ数が約 600 であるので、総トランジスタ数はおよそ一千万となる。

6. まとめ

われわれは一昨年度より、測定器開発室のプロジェクトのひとつとして SOI Pixel 検出器の開発を進めてきた。

貼合せ SOI ウエハー技術を利用することと、BOX 層を通じた不純物インプラント、コンタクト形成プロセスなどを確立することにより、高抵抗 Si センサーと、CMOS エレクトロニクスの一体型放射線検出器を実現した。しかも、基本技術はすでに工業化されているものをほぼ使用しており、今後技術の進歩とともにさらに高性能化、低価格化、高信頼性が望めるものである。最初の 32×32 ピクセル TEG では予想通りの光や β 線に対する信号を観測することが出来た。また同時にセンサー部の電圧を上げていったときの高電界部の問題や、バックゲートの影響も観測した。同時に TCAD を用いたプロセス/デバイスシミュレーション、ウエハーを薄くする研究も進めている。

また、昨年末には海外を含め多くのユーザーを集め MPW ランを主催した。ここでは、X 線の高計数測定に向けた 128×128 ピクセルのチップなどを設計し、全部で 17 設計を無事投入した。

こうしたハイテク技術開発では、企業の協力が大切であり、この点でユーザーを増やすことは重要である。ユーザーを増やし、応用が広がることで、さらに企業の協力が得やすくなると考えられる。

SOI 検出器を使用してみたい方、設計してみたい方、新たなアイデアをお持ちの方、そして開発に参加したい方の連絡を歓迎します。

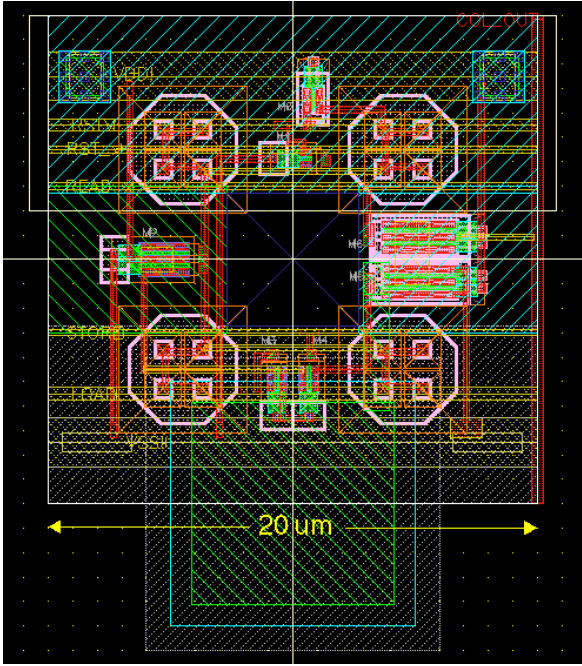


図 10. ピクセル部のレイアウト

各ピクセル内に四つの八角形 p^+ インプラント電極を設けた。下部の四角は信号保持用のコンデンサー。

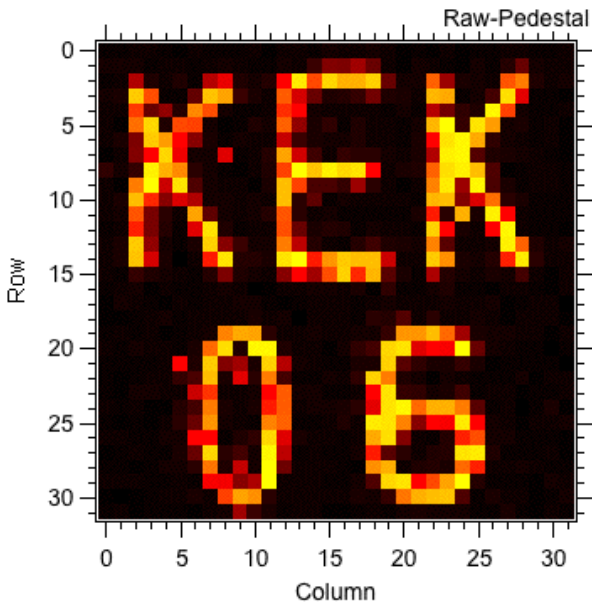


図 11. ピクセルの前面にプラスチックマスクを付け撮影した像

赤色レーザー光を照射。積分時間 $7 \mu\text{sec}$, センサー電圧は 10 V 。

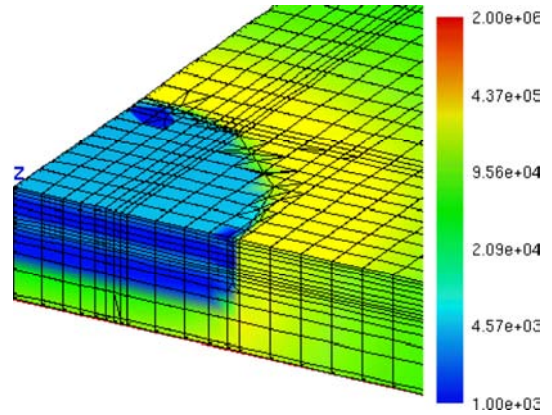


図 12. ENEXSS によりプロセスシミュレーションを行ない、電界の計算を行なった例

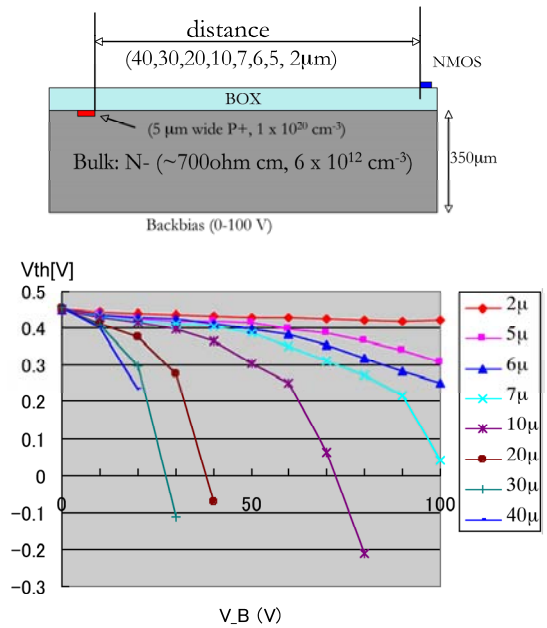


図 13. NMOS トランジスタの横に p^+ インプラント (0 V) を置いたときの閾値変化のシミュレーション

トランジスタから $5 \mu\text{m}$ 位の位置に p^+ を置けば、back bias が 100 V でも閾値変化は 0.1 V 程度と小さい。

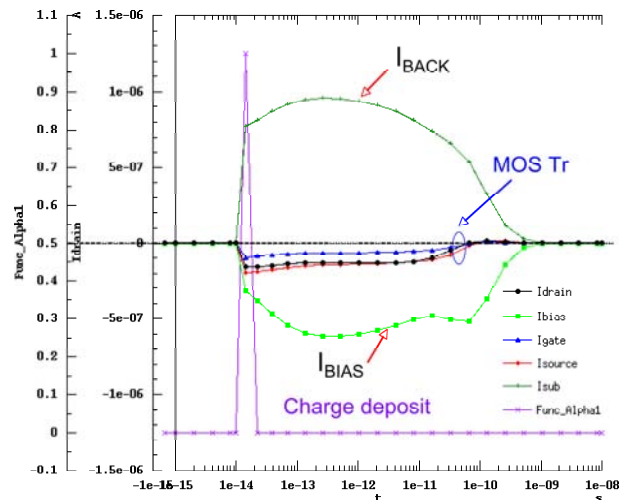


図 14. ENEXSS による荷電粒子入射時の電流変化の例

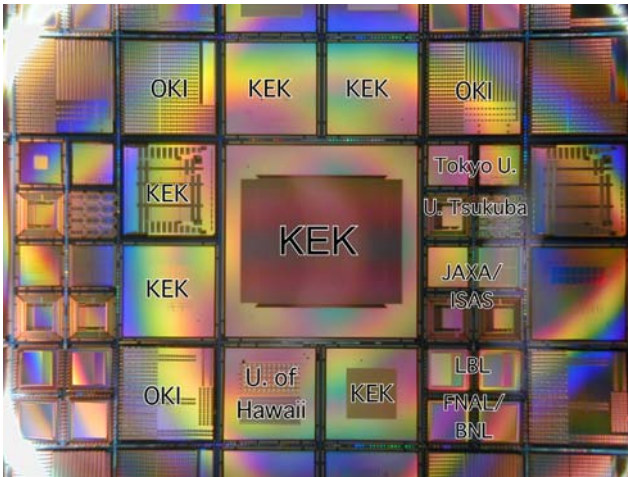


図 15. MPW ランのウエハー写真
いちばん大きいチップが1cm 角の計数型ピクセル。

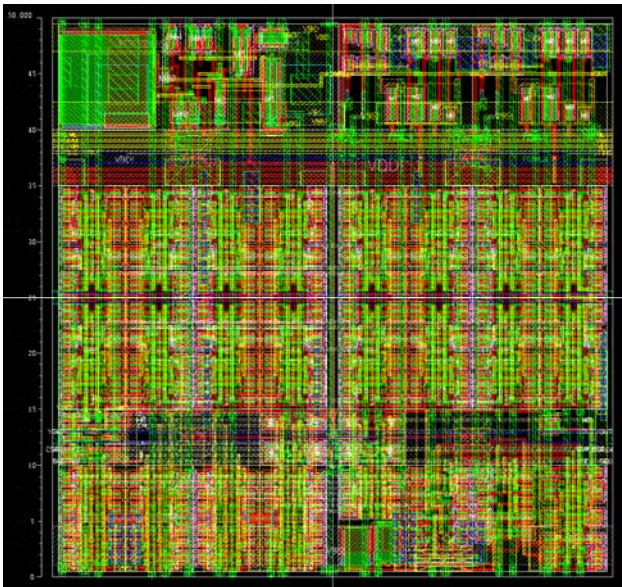


図 16. X 線計数型ピクセルレイアウト
大きさは50 μ m 角。

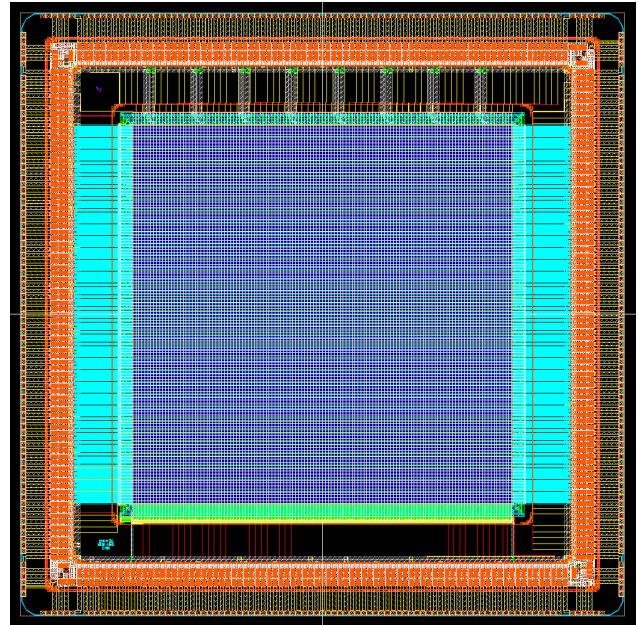


図 17. 128 \times 128 ピクセル X 線計数型検出器レイアウト
チップサイズ10.2mm \times 10.2mm。

7. 謝辞

今回のプロジェクトにご支援いただいた KEK の高崎史彦 素核研所長, 幅淳二 測定器開発室長, 近藤敬比古 主幹に感謝します。また, レビューワーとして協力いただいた杉本康博(KEK), 廣瀬和之(JAXA/ISA), 竹谷篤(理研)氏にも感謝いたします。また, 本研究の一部は科研費(18204027)の助成を受けて行なっています。

参考文献

- [1] SOIPIX グループ: KEK, U. of Tsukuba, JAXA/ISAS, TITEC, Niigata U., U. of Hawaii, SLAC, OKI Electric Industry Co. Ltd., <http://rd.kek.jp/project/soi/>
- [2] X. Llopart *et al.*, “Medipix2: a 64-k Pixel Readout Chip With 55- μ m Square Elements Working in Single Photon Counting Mode”, IEEE Trans. Nucl. Sci., Vol. 49 (2002) 2279-2283.
- [3] SOITEC, <http://www.soitec.com/>
- [4] 「素核研・測定器開発室が始動」、幅淳二、高エネルギーニュース第24巻2号(2005年9月)p. 122.
- [5] A. Uchiyama *et al.*, “Fully Depleted SOI Technology for Ultra Low Power Digital and RF Applications”, IEEE Trans. on, Electron Devices, Vol. 49, Issue 12, Dec. 2002, 2296 – 2300.

- [6] J. R. Schwank, *et al.*, “Radiation Effects in SOI Technologies”, IEEE Trans. on Nucl. Sci., Vol. 50 (2003) 522-538.
- [7] A. Makihara *et al.*, “Hardness-by-Design Approach for 0.15 μm Fully Depleted CMOS/SOI Digital Logic Devices With Enhanced SEU/SET Immunity”, IEEE Trans. on Nucl. Sci. Vol. 52 (2005) 2524-2530.
- [8] K. Morikawa, Y. Kajita and M. Mitarashi, Oki Technical Review, 196 (2003), 61.
<http://www.oki.com/en/otr/196/downloads/otr-196-R15.pdf>.
- [9] Y. Arai, M. Hazumi, Y. Ikegami, T. Kohriki, O. Tajima, S. Terada, T. Tsuboyama, Y. Unno, H. Ushiroda, H. Ikeda, K. Hara, H. Ishino, T. Kawasaki, E. Martin, G. Varner, H. Tajima, M. Ohno, K. Fukuda, H. Komatsubara, J. Ida, “First Results of 0.15 μm CMOS SOI Pixel Detector”, SLAC Electronic Conference Proceedings Archive.
<http://www.slac.stanford.edu/econf/C0604032/papers/0016.PDF>.
- [10] Y. Arai, *et al.*, “Development of a CMOS SOI Pixel Detector”, Proceedings of 12th Workshop on Electronics for LHC and Future Experiments (LECC 2006), 25-29 September 2006, Valencia SPAIN.
- [11] T. Tsuboyama, *et al.*, “R & D of a pixel sensor based on 0.15 μm fully depleted SOI technology”, Sep. 2006, Perugia, Italy, Vertex 2006, submitted to Nucl. Instr. and Meth. A.
- [12] Y. Arai, *et al.*, “Monolithic Pixel Detector in a 0.15 μm SOI Technology”, IEEE Nuclear Sci. Symposium, San Diego, Oct. 29 - Nov. 4, 2006, Conference Record, Vol. 3, Oct. 2006, 1440-1444, Digital Object Identifier 10.1109/NSSMIC.2006.354171.
- [13] Y. Ikegami *et al.*, “Evaluation of OKI SOI Technology” presented at the 6th Hiroshima symposium of Development and Application of semiconductor tracking devices, Sep. 11-15, 2006, Carmel, California, U.S.A., and submitted for publication in Nucl. Instr. Meth. A.
- [14] T. Tsuboyama, *et al.*, “R&D of a pixel sensor based on 0.15 μm fully depleted SOI technology”, submitted to Nucl. Instr. and Meth. A.
- [15] 東京大学大規模集積システム設計教育センター ,
<http://www.vdec.u-tokyo.ac.jp/>.
- [16] SELETE, <http://www.selete.co.jp/>.