

筑波大学大学院博士前期課程

数理物質科学研究科修士論文

TCADシミュレーションによる
SOIピクセル検出器の放射線損傷評価

河内山 真美

(物理学専攻)

2010年2月

筑波大学大学院博士前期課程

数理物質科学研究科修士論文

TCADシミュレーションによる
SOIピクセル検出器の放射線損傷評価

河内山 真美

(物理学専攻)

指導教員 受川史彦 印

概要

現在の高エネルギー加速器実験において、半導体を用いた検出器は、入射粒子の位置を精密に測定する検出器として重要な役割を担っている。読みだしチャンネル数の制約から、マイクロストリップ型のものが現在の主流といえるが、ピクセル型のもも衝突点の最近部に限って使われ始めている。

KEKの測定器開発室 SOIPIX グループでは、2005年4月から「SOI技術を用いたセンサー、回路一体型の半導体ピクセル検出器」の開発を行なっている。ピクセル検出器の利点は、ストリップ型と異なり、単層で3次元情報を得られることである。そのため、一度に多数の粒子が入射したときでも、位置を一意に決めることができる。

プロジェクトの開始当初、日本では沖電気工業株式会社が、 $0.15\mu\text{m}$ 全空乏型 SOI CMOS プロセスを所有していた。この商用技術を用いて、読みだし回路を一体化した SOI ピクセル検出器を作る試みは、世界初である。現行のピクセル型検出器は、センサー部と回路部を別のプロセスで製作し、バンプボンダ法で機械的接続をする。接続により寄生容量が大きくなったり、物質質量が増加するなどの問題が指摘できるが、チャンネル数の増大とともに接続の信頼性や製作コストなども重要な課題となる。これらの問題は、SOI 技術を応用した一体型ピクセル検出器の実現により解決できる。

SOI デバイスの放射線損傷は、単独の粒子入射によって引き起こされる Single Event Effect (SEE) に対しては、パルク部の損傷から受ける影響を酸化膜で遮断できるため、パルク CMOS に比べ SOI CMOS の方が小さい。しかし、酸化膜中や酸化膜-シリコン界面への電荷蓄積のような Total Ionizing Dose (TID) とよばれる放射線による長期的変化は、SOI CMOS の方が大きいと考えられている。TCAD (Technology Computer Aided Design) は、半導体の製造や動作をシミュレーションにより再現するもので、電荷蓄積による特性変化なども評価できる。

本研究前半では、SOI ピクセル検出器のサンプル (TOPPIXN) に対して 70MeV 陽子線照射を行なった。照射量は、 1.4×10^{15} 1-MeV $n_{\text{eq}}/\text{cm}^2$ 、 1.3×10^{16} 1-MeV $n_{\text{eq}}/\text{cm}^2$ で、これらはそれぞれ、Super LHC (Large Hadron Collider) でのマイクロストリップ検出器最内層及びピクセル層が浴びる照射量に相当する。照射前後での TOPPIXN 検出器全体及び回路部のみの動作を、I-V 測定、リセット信号への応答、可視光への応答、赤外線カメラによる電流リークの大きな場所の撮影などを通じて評価した。その結果、 1.4×10^{15} 1-MeV $n_{\text{eq}}/\text{cm}^2$ 照射後も、動作領域がシフトするものの、検出器として動作することを確認した。

後半では、回路部に使用されるトランジスタに 1.18×10^{15} 1-MeV $n_{\text{eq}}/\text{cm}^2$ まで陽子線照射を行ない、トランジスタの放射線損傷を調べた。このサンプルにはバックゲート効果の抑制のために埋め込み酸化膜 (BOX) 直下に埋め込み p-Well (BPW) が設けてある。陽子線照射前後でトランジスタ特性の測定を行なった結果、BPW による放射線耐性の劣化は見られなかった。測定されたトランジスタ閾値の変化やサブスレッショルド特性の変化を、TCAD ソフトにおいて蓄積電荷密度を変えることで再現し、トランジスタの TID による影響を、BOX 層及び酸化膜-シリコン界面に分離して定量的に評価した。

目次

第 1 章	SOI ピクセル検出器	1
1.1	SOI 技術	1
1.1.1	SOI デバイス	1
1.1.2	SOI デバイスの特徴	1
1.1.3	SOI 製造プロセス	2
1.2	SOI 一体型ピクセル検出器	5
1.2.1	SOI ピクセル検出器の利点	5
1.2.2	開発の現状と問題点	6
1.3	SOI ピクセル検出器の放射線損傷	7
1.3.1	センサー部が受ける放射線損傷	7
1.3.2	回路部トランジスタの放射線損傷	7
1.3.3	陽子線照射実験の目的	8
第 2 章	TOPPIXN の陽子線照射試験	10
2.1	TOPPIXN	10
2.1.1	TOPPIXN の構造と動作原理	10
2.1.2	読みだし回路	11
2.2	陽子線照射と特性測定	15
2.2.1	陽子線照射	15
2.2.2	I-V 測定	15
2.2.3	リセット信号応答	16
2.2.4	HotSpot の撮影	16
2.2.5	Laser 応答	22
第 3 章	INTPIX3 内 TrTEG の陽子線照射試験	24
3.1	INTPIX3 内 TrTEG	24
3.1.1	INTPIX3 及び TrTEG の構造	24
3.1.2	TrTEG 回路	26
3.2	陽子線照射試験	29
3.2.1	I-V 測定	29
第 4 章	TCAD を用いたトランジスタ放射線損傷の理解	32
4.1	一般的なトランジスタの放射線損傷	32
4.2	TCAD(Technology Computer Aided Design) ソフト	32
4.3	TCAD シミュレーション	33
4.3.1	トランジスタ $I_D - V_{GS}$ 曲線の再現	33
4.3.2	電荷蓄積場所ごとのトランジスタ V_{th} の変化	36

4.3.3	酸化膜部分の電荷蓄積による V_{th} 変化	40
4.3.4	電荷蓄積による S 値の変化	46
4.4	NMOS の蓄積電荷見積もり	49
4.4.1	NMOS 低照射量での ΔV_{th} の再現	49
4.5	PMOS の蓄積電荷見積もり	52
4.5.1	PMOS 低照射量での ΔV_{th} の再現	52
第 5 章	結論	56
5.1	TOPPIXN の陽子線照射試験	56
5.2	INTPIX 内トランジスタの陽子線照射	56
5.3	TCAD ソフトによる , トランジスタへの電荷蓄積シミュレーション	56

第1章 SOIピクセル検出器

1.1 SOI技術

1.1.1 SOIデバイス

SOIとは Silicon On Insulator の略であり、シリコンウェハー上に薄い絶縁酸化膜を形成させ、その上にトランジスタなどの電気回路を形成する技術のことである。図 1.1 に SOI CMOS トランジスタと古くから用いられている Bulk CMOS トランジスタの概念図を示す。Bulk CMOS は一般的に、高濃度の不純物によって形成されるウェル (Well) という構造によってトランジスタが分離されている。SOI CMOS は、 SiO_2 などの絶縁膜によって個々のトランジスタが電氣的に完全に分離されていることが特徴である。このトランジスタ下の絶縁膜のことを埋め込み酸化膜 (Buried Oxide: BOX) とよぶ。現在、民生デバイスのプロセスとしても広く用いられるようになっている。

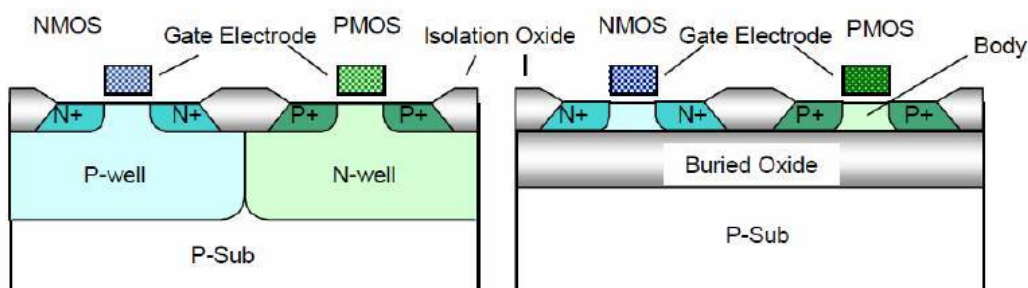


図 1.1: Bulk CMOS と SOI CMOS の概念図

1.1.2 SOIデバイスの特徴

- ラッチアップの抑制

通常の Bulk CMOS 回路では、シリコンウェハにウェル構造を作り、その中にトランジスタを置いている。この構造では、ウェルとシリコン基板、トランジスタの n^+ 拡散層、 p^+ 拡散層により、pnpn の寄生サイリスタ構造ができる。この構造は pnp-npn の 2 重のトランジスタの接合と見なせ、雑音による電源電圧のスパイク的な変化などにより片方のトランジスタが導通状態になるともう片方も導通し、電流が流れ続けるラッチアップ状態になることがあり、素子破壊などの問題が生じる。一方、SOI では PMOS トランジスタと NMOS トランジスタは電氣的に完全に分離されているため、ラッチアップがおこる心配がない。

- 低消費電力

bulk CMOS では pn 接合に逆バイアスを加えることにより素子を分離しているが、SOI で

は酸化膜で回路部を囲むことにより、シリコン基板と回路部を完全に絶縁している。そのためオフリーク電流（トランジスタがオフの時の漏れ電流）が減り、消費電力を抑えることができる。トランジスタの動作効率を示すものに、S (Swing) 値というパラメータがある。S 値は、サブスレッシュホールド領域において、電流を一桁増やすのに必要なゲート電圧を表わす。この値が小さいほどその特性は良好であるといえ、理論的な最小値は 60 mV/dec である。オフリーク電流を同じにした場合、S が小さいほど閾値電圧を下げることで、電源電圧を下げることで、低消費電力で動作できる。この S 値を比較すると、SOI は 60-70 mV/dec、bulk CMOS では 80-90 mV/dec で SOI の方が S 値が小さく、効率がよいことがわかる [1]。

- 動作速度
ソースやドレイン端子の浮遊容量が絶縁膜によって大幅に低減する。浮遊容量はスイッチングの際の遅延や電流の増加の原因であるため、浮遊容量の低減により高速動作が可能になる、とともに消費電力も抑えられる。
- 放射線耐性
SOI 構造では、シリコン基板部と回路部が絶縁膜によって遮られているので、放射線入射によって基板部分で発生する電荷が、回路に与える影響は小さい。また、絶縁酸化膜上の回路部 SOI 層は、ごく薄いため、そこで発生する電荷は少ない。よって、従来の Bulk CMOS に比べて、いわゆる SEE(Single Event Effect) とよばれる放射線損傷に対する耐性が高い。
- 温度耐性
SOI 構造では、消費電力が少なくリーク電流も抑制できる。そのため自己発熱が抑えられるので温度依存性が小さくなる。たとえば 150°C を超える高温状態でも閾値の変化及び増加率の変化が許容でき、高温状態に適用できる素子が作成されている。
- 高集積化
Bulk CMOS のようにウェル構造を必要とせず、また回路素子どうしが電氣的に干渉しにくい、回路面積を小さくできる。高密度な実装が可能である。

SOI には完全空乏化 (FD:Fully Depleted) 型と部分空乏化 (PD:Partially Depleted) 型があり、それらは SOI シリコン層の厚みで区別される。SOI シリコン層がチャンネルによる空乏化層よりも厚い場合は、チャンネルの一部が残り、上に掲げた動作速度、低消費電力などの特性が劣ることが知られている。

1.1.3 SOI 製造プロセス

SOI ウェハの製造法は、主に張り合わせ法と SIMOX 法とがある。我々 SOIPIX グループ [3] の用いている SOI ウェハは Smart-Cut 法という技術を用いた張り合わせ法によって作られている。

- SIMOX 法
SIMOX(Separation by IMplantation of OXygen) 法は図 1.2 に示すように、高エネルギーの酸素イオンをシリコンウェハの表面に打ち込み、これを熱処理することによって埋め込み酸化膜を形成する方法である。張り合わせ法に比べ、均質な絶縁膜やシリコン結晶膜の形成が可能であるが、イオン打ち込みの際に薄膜の欠陥が生じ易い。

- 貼り合わせ法

表面を酸化させた2枚のシリコンウェハの酸化膜側を貼り合わせて熱処理を行ない、シリコンウェハを剥離、薄膜化させることで製作する。我々の用いているウェハは、Smart-Cut技術を用いたUNIBOND法で製作されており、この技術はフランスSOITEC社[4]が開発した。

図 1.3 に製造プロセスを示す。

1. ウェハ A を熱酸化させる。
2. 水素イオンをウェハ A に打ち込む。これで一定の深さにダメージを与え剥離しやすい状態を作る。
3. A, B 両方のウェハを洗浄後、貼り合わせて水素結合で一体化させる。
4. 熱処理によって、A の一部を分離させる。

この方法では、二種類の異った性質のウェハを用いることが可能である。我々は、ウェハ B には、センサー部に適した高比抵抗のものを、ウェハ A には、MOS プロセスに適した通常抵抗のものをを用いている。それぞれに適した抵抗のシリコンを用いることができるこの張り合わせ法の最大の特長で、これにより読み出し回路一体型の検出器を可能にしている。

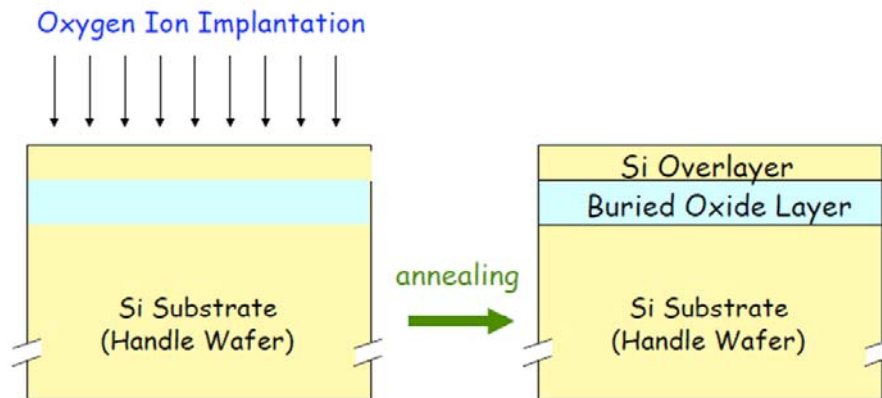


図 1.2: SIMOX 法による SOI ウェハ製造

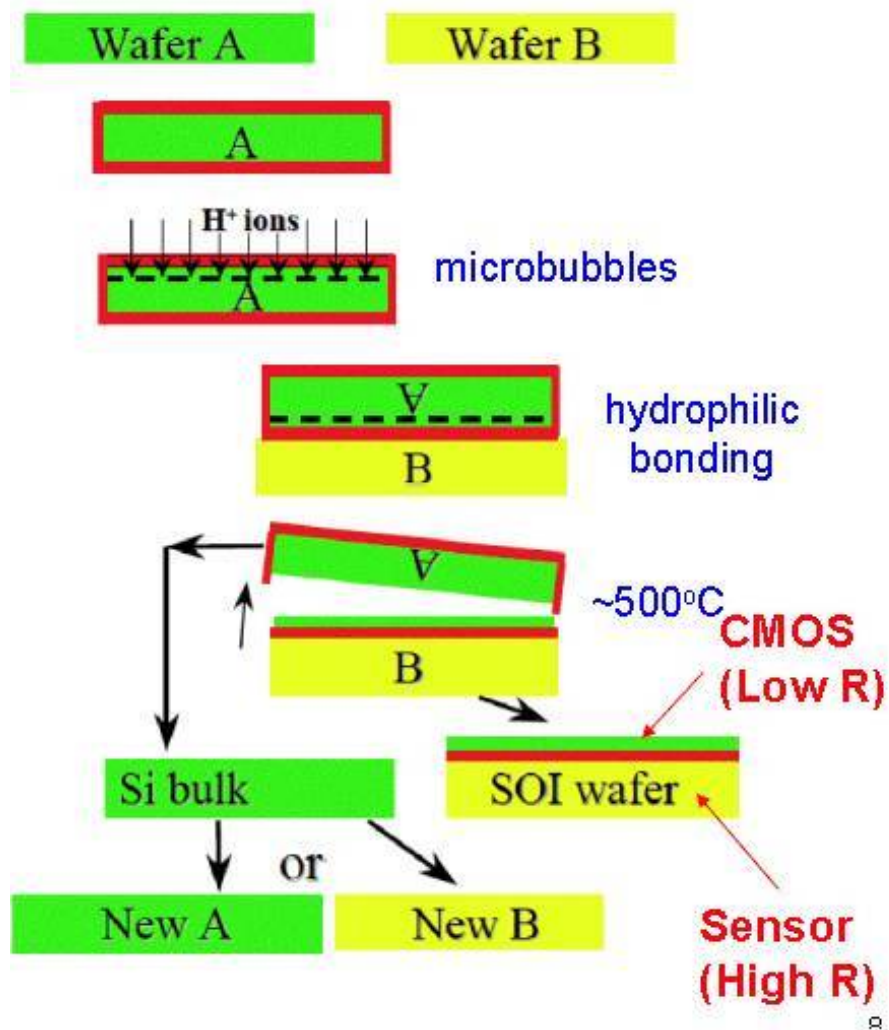


図 1.3: Smart-Cut 法による SOI ウェハ製造工程 (SOITEC 社)

1.2 SOI 一体型ピクセル検出器

一体型 SOI 検出器の元々のアイデアは [5] にみられ、実験室レベルではいくつかが製作されている。我々は、商業レベルの信頼できる SOI プロセスとして沖セミコンダクター社のプロセスを用いて、一体化ピクセル検出器を製作している。一体化検出器の新しいところは、既存の SOI-MOS 技術では、単なる支持基板（ハンドルウェハ）だったところをセンサーとして利用するという点である。BOX 層を貫く電極を埋め込み、SOI 部に読み出し回路を CMOS で作り上げることで、センサーと読みだし回路一体化型の検出器が実現可能となる。図 1.4 に一体型ピクセル検出器の概念図を示す。

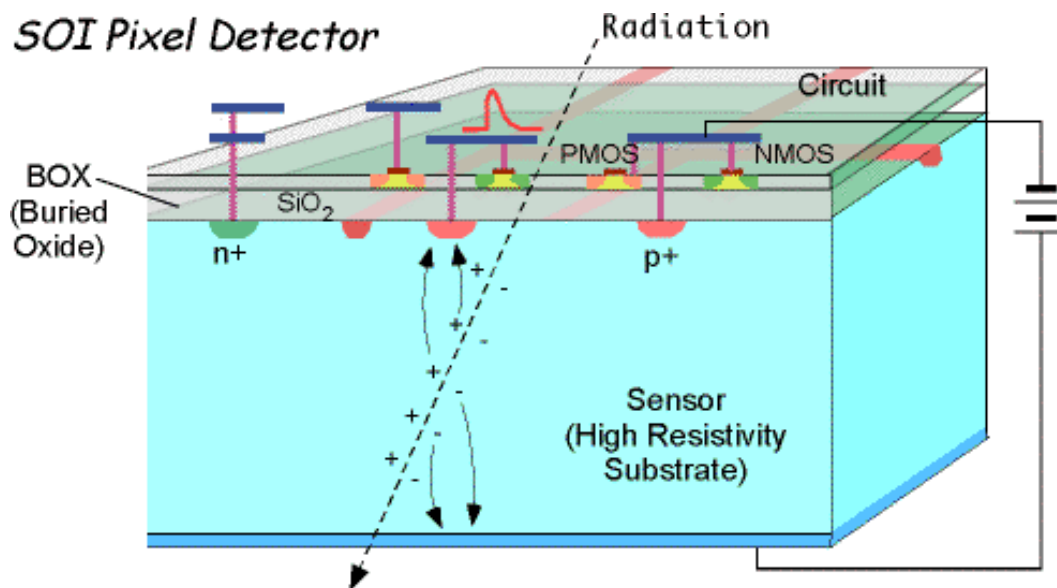


図 1.4: SOI 一体化型ピクセル検出器の概念図。

1.2.1 SOI ピクセル検出器の利点

LHC (Large Hadron Collider) 実験 [6] 等で使われているハイブリッド型のピクセル検出器 [7] では、センサーと読みだし回路は別工程で製造され、後から bumps bonding によって接続している。この接合はピクセル数の増大とともに技術的に困難になり、信頼性が問題になる。しかし、一体化型検出器では、この工程が不要になる。これによるメリットを以下に挙げる。

- バンプによる寄生容量がないため、高速化、低消費電力が見込まれる。
- バンプが不要なため、ピクセル面積の小型化が可能である。
- 検出器を薄くできるので物質量が抑えられる。これは多重散乱や物質との反応を抑え、より精密な位置測定を可能とする。
- 組み立てコストの大きな削減が見込まれる。

特に，UNIBOND 法を用いた SOI 一体化型検出器では，基板抵抗の選択ができるのが特長である．SIMOX 法では，ウエハの抵抗率はひとつに限られ，高抵抗ウエハを用いると，MOS プロセスのパラメータが最適化できない．逆に，低抵抗ウエハを用いると，空乏化電圧が高くなるので，荷電粒子の検出が困難になる．UNIBOND-SOI 技術を用いると，エレキ部とセンサー部それぞれに適したウエハを選択できる．

前のセクションで挙げた SOI の特長である，高速，低消費電力，ラッチアップの抑制などは，そのまま SOI 一体化型検出器の特長として挙げることができる．

1.2.2 開発の現状と問題点

2005 年に，KEK 測定器開発室を中心として SOIPIX グループが結成された．以来，沖セミコンダクタの $0.15\ \mu\text{m}$ (TOPPIX 等) および $0.20\ \mu\text{m}$ (INTPIX 等) FD-SOI プロセスを用いてピクセル検出器を開発している．

ピクセル検出器には，電荷積分型のもの (TOPPIX, INTPIX) と閾値を設定した計数型 (CNTPIX) のものがあり，ここでは主に積分型ピクセル検出器とそれに使用されるトランジスタの放射線耐性についての研究を行った．

今までの開発研究の結果，ピクセル検出器としての優れた性能が確認でき，可視光や軟 X 線の検出に成功している．ひとつの問題となっているのが「バックゲート効果」とよばれる，トランジスタの特性変化である．これは，一体化 SOI 検出器に起因するもので，センサー部を空乏化させるため電圧をかけると，回路部分のトランジスタの閾値変動が起る．SOI はその構造上，SOI 部に作るゲート酸化膜を介した MOS に加えて，BOX 酸化膜をゲート酸化膜と見立てて裏面からかける電圧 (バックゲート電圧) でもチャンネルを制御できる．そのため，センサーの空乏化のために加える電圧がバックゲート効果の原因となる．特に FD-SOI ではこの効果は大きい．そのため高い電圧が加えられず，通過する荷電粒子や硬 X 線の検出には限界がある．この問題を解決するために，INTPIX3 やそこに組み込んだ TrTEG には，バックゲート効果の軽減を期待して，埋め込み p ウエル (Buried-P-Well: BPW) という構造を導入した．

第 2 の問題として，SOI 一体化型検出器は，素子が酸化膜で覆われているため，その分，電荷がトラップされると，酸化膜にとどまり蓄積しやすいということが挙げられる．本研究後半の「TCAD を使ったシミュレーション」は，トランジスタに蓄積する電荷を見積もることを目的に行った．

1.3 SOIピクセル検出器の放射線損傷

1.3.1 センサー部が受ける放射線損傷

LHCのようなハドロン衝突器実験では、半導体検出器のセンサー部のシリコンが受ける影響としてシリコン中の実効不純物濃度の変化が挙げられる。FZ (Float-Zone) 法による高純度ウエハでは、高エネルギーのハドロンによってシリコン結晶に生成される格子欠陥は、周りに比べて正の状態になる成分が多く、p型不純物のように振舞うことが分かっている。よって、n型半導体の有効不純物濃度は放射線を受けると減少していく。これが進行すると、p型不純物濃度が、n型不純物濃度より大きくなり、シリコンのタイプインバージョンが引き起こされる。図 1.5 に、有効不純物濃度の変化を示す [8]。

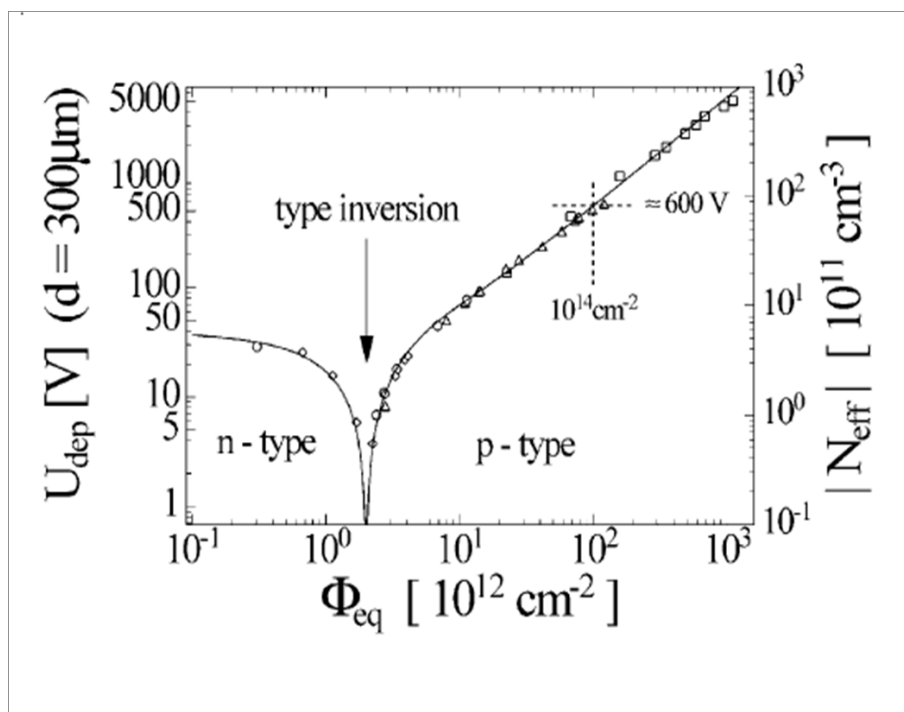


図 1.5: FZ 法によるシリコンの不純物濃度の変化。横軸は放射線量/cm²，左軸はバルクの厚さ 300 μ m での全空乏化電圧 V，右軸は有効不純物濃度 10¹¹cm⁻³ を示している。

一方、我々が用いている SOITEC 社のウエハは Cz (チョクラルスキ) 法によるもので、ハドロンに対する放射線損傷は、FZ 法に比べると明らかではない。文献 [9] では、n 型の Cz シリコンは、 3.4×10^{15} p/cm² までタイプインバージョンが起きないと報告されている。

1.3.2 回路部トランジスタの放射線損傷

回路部の MOS が受ける影響としては、single event effect (SEE) と total ionizing dose (TID) との二種類がある。

SEE

SEEは、高エネルギー粒子の入射に伴い発生する効果で、様々な形態の影響が考えられるが、例えば α 線のような重い荷電粒子の入射に伴って多数の電子-正孔対が生じる場合には、生じた電荷により大電流が流れ、絶縁破壊が引き起こされることもある。SOI-CMOSでは、BOX絶縁層が厚いため、バルク基板部で起こったSEEの影響を受けにくい。また、絶縁膜上のSOIシリコン層自体が薄いため、影響は小さい。SEEから影響の受け方の概念図を図1.6に示す。

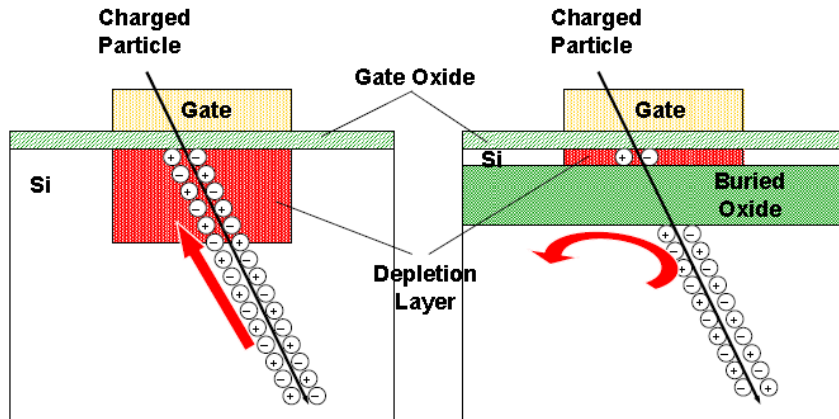


図 1.6: SEE の概念図 . Bulk CMOS に比べ SOI CMOS の方が影響が小さい .

TID

放射線が入射すると、絶縁膜である酸化膜中でも電子-正孔対が生成する。電子は易動度が大きいので電場により酸化膜から抜け出すことができるが、易動度が小さな正孔は再結合することなくドリフトし、絶縁膜中の欠陥に容易に捕獲されてしまう。そのため酸化膜には正孔が蓄積し正に帯電する。一方で、酸化膜とシリコンの界面には、多数の余剰な原子結合手があり、そこに生成される欠陥はチャンネルのキャリアを捕獲する。これらは放射線に対する長期的な変化であり TID (Total Ionization Dose) 効果と呼ばれる。電場の掛け方により再結合の確率が変わるため、照射中の電圧の加え方は重要な条件である。ゲート酸化膜に加え、厚い埋め込み酸化膜を持つ SOI CMOS では、TID の効果は複雑でより大きいと予想される。TID 効果は、本研究で対象とする放射線損傷である。

1.3.3 陽子線照射実験の目的

ATLAS などの、高エネルギー加速器実験では粒子の衝突により、多量の放射線が発生し、検出器の中でも衝突点に近い内部飛跡検出器は、高い線量の放射線にさらされることになる。

図 1.7 に superLHC 実験においての ATLAS 検出器の内部飛跡検出器が受ける放射線量のシミュレーション結果を示す。衝突点から 5cm に位置するピクセル検出器では、 1×10^{16} 1-MeV n_{eq}/cm^2 、シリコンマイクロストリップ検出器が位置する 30cm-80cm では、 8×10^{14} 1-MeV n_{eq}/cm^2 から 3×10^{14} 1-MeV n_{eq}/cm^2 の線量が見込まれている。そこで、これらに近い線量の陽子線照射を行ない、

その耐性を調べるのが目的である .

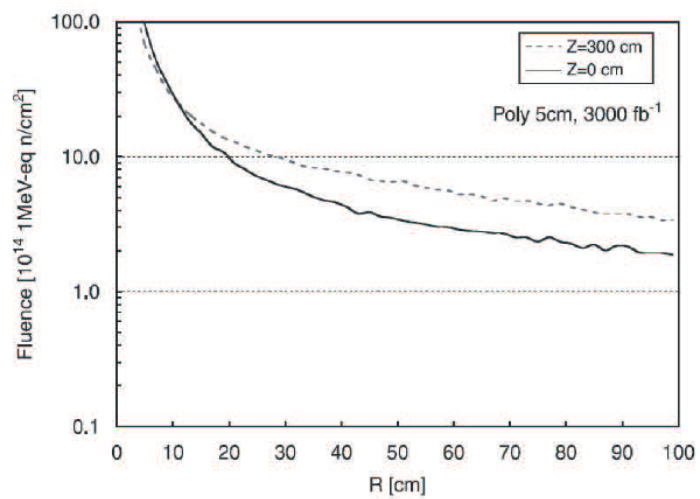


図 1.7: superLHC 実験における ATLAS 内部飛跡検出器での放射線量のシミュレーション .

第2章 TOPPIXNの陽子線照射試験

2.1 TOPPIXN

SOIPIX グループは、沖電気工業株式会社が所有している全空乏型 $0.15\mu\text{m}$ SOI CMOS 技術を適用して、2006年4月に最初の SOI ピクセル検出器 (TOPPIXN) の試作 (FY05) を行なった。翌年、これに電場の集中の緩和やインプラントの深さに関して、改良製作したものが、今回使用したサンプル (FY06) である。

2.1.1 TOPPIXNの構造と動作原理

サンプルを上から見たときの全体写真を図 2.1 に示す。写真上に記した色線は、外側から、HV リング (青)、Bias リング (赤)、 32×32 のピクセルのマトリックス (黄線中) の配置を表わしている。ピクセルの周りにあるのが、I/O 回路である。

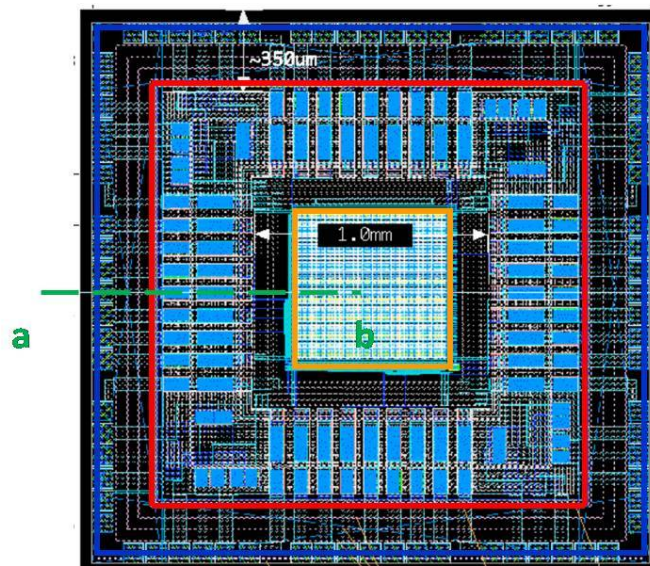


図 2.1: TOPPIXN の全体写真, チップサイズ: 2.5mm 角

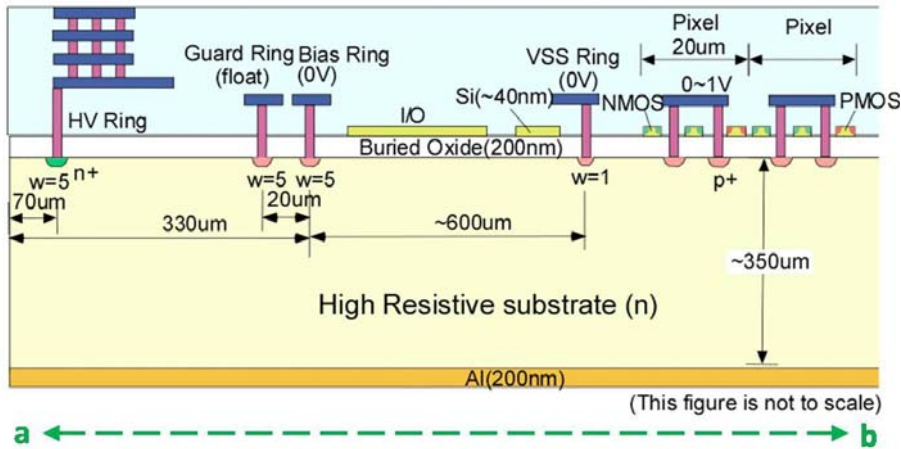


図 2.2: TOPPIXN の構造断面図．図 2.1 の緑波線部の断面に相当する．

図の a-b の断面図が 2.2 になっている．

回路部に使用されているシリコンは低比抵抗の p 型，センサー部は高比抵抗の n 型である．そして，裏側にはアルミニウムの電極を蒸着させた．

中心部 (b 側) にピクセルが，その周りに Bias リングがインプラントされ，これは 0V に設定する．Bias リングのすぐ外側には電界を緩和のための Guard リングが設けられている．これら 3 つのリングは，p⁺ (p 型不純物濃度が高い) インプラントであり，n 型のセンサー部シリコンと，p-n 接合ができています．チップの外周部 (a 側) には，表面からセンサー部とコンタクトを取るための，n⁺ の HV リングがある．HV リングは，センサー部と同タイプであるため，HV リングに電圧をかけると，センサー部のシリコンにも電圧がかかる．

TOPPIXN の動作原理について述べる．Bias リングと，裏面の Al 電極との間に逆バイアスをかけ，空乏層を作る．空乏層は，p-n 接合面から，不純物濃度の低い n 型バルクの方に広がる．荷電粒子が空乏層の電場中を通過する際に電子-正孔対を生成し，これらが電場にしがたって移動し，読みだし電極に近づくとき，電極に電荷が誘起され，信号として認識される．

また，Al 電極の代わりに，表面の HV リングと Bias リングの間に逆バイアスをかけることで，同様の効果を得ることもできる．HV リングに逆電圧をかけると，p-n 接合面から水平方向に空乏層ができる．しかし，センサー部が薄いため，バルク部も空乏化され，粒子を検出することができる．裏面アルミの蒸着プロセスがうまくいかなかった場合でも逆バイアスを加えられる．

2.1.2 読みだし回路

TOPPIXN の読みだし回路部は，ピクセルセンサー部と，アドレスデコーダーなどの I/O 周辺回路からなっている．

TOPPIXN の読みだし回路のブロック図を 2.3 に示す．図 2.3(a) が 1 ピクセル中の回路図，(b) が 1 chip 全体の読みだしのブロック図である．

1 ピクセル中の回路は，蓄積コンデンサ付きのアクティブピクセル型になっており，各ピクセル毎に信号を増幅する．入力部には，センサーダイオードからの信号と，リセット回路，保護ダイオー

ドがつけられ，ソースフォロワー回路により蓄積コンデンサに電荷が保持される．
各ピクセルからの読みだしは，まずピクセル周辺にあるアドレスデコーダーの read_x 信号により，
行が撰択され，col_out 線に蓄積コンデンサからのアナログ信号が出力される．列デコーダーで，ひ
とつの列の信号が選択され，外部に出力される．

1 ピクセルのレイアウトを図 2.4 に示す．

光応答の試験をするために，ピクセル中心部には， $5.4\mu\text{m}$ 角の窓があけてある．各ピクセルには，
4 つの p⁺ 電極が設けられ，100fF の蓄積コンデンサはメタル層での MIM(Metal-Insulator-Metal)
方式により実現している．

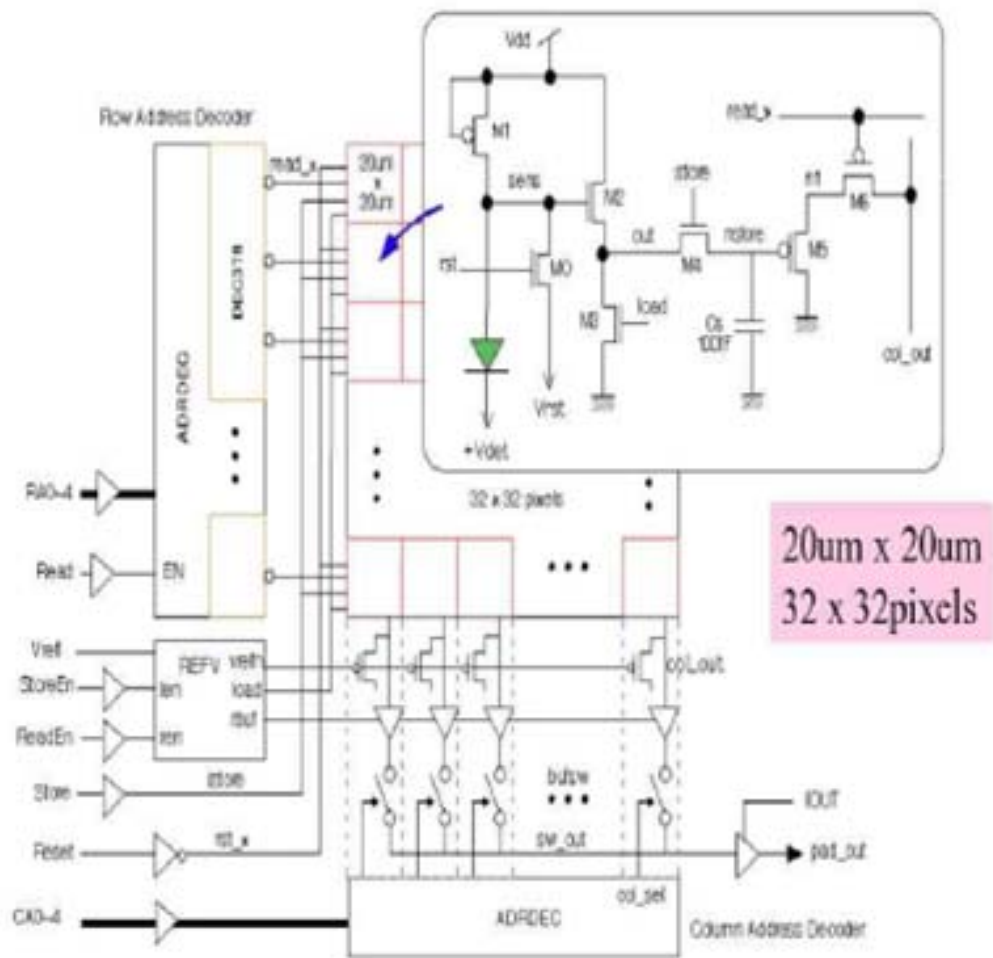


図 2.3: 読みだし回路部のブロック図

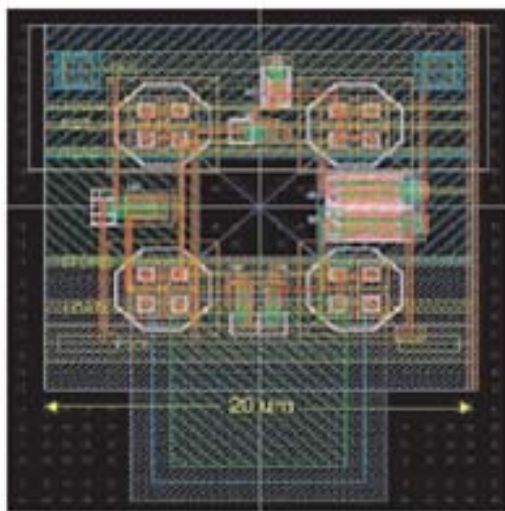


図 2.4: ピクセルレイアウト

2.2 陽子線照射と特性測定

2.2.1 陽子線照射

2008年3月,東北大サイクロトロン CYRICにて70MeV陽子線を照射した。照射量は,以下の二種類である。

- 1.4×10^{15} 1-MeV n_{eq}/cm^2
- 1.3×10^{16} 1-MeV n_{eq}/cm^2

照射後には,60°C,40分間のアニーリングを行なった。

TOPPIXN(FY06)に対して,放射線照射前後で次の測定を行なった。

- I-V 測定
- リセット信号応答
- Hotspot 測定
- レーザー応答

2.2.2 I-V 測定

測定

空乏化したセンサー部では,キャリアがないので,電流が流れないのが理想である。しかし実際は,熱エネルギーにより電子正孔対が生成され,微小な電流が流れる。さらに電圧を上げると急激に暗電流が増加する。この主な原因は,マイクロ放電とよばれるものである。マイクロ放電は,電場が局所的に強くなると発生するものであり,インプラント近辺や,リングの角,電極のエッジなどで発生しやすい。高電場によって発生した電子が加速され,周りの原子に衝突して電子をたたきだす電子雪崩がおこり,急激に暗電流が増加する現象である。

電流は,バイアス電圧に依存し,バイアス電圧を測定することで,センサーの耐圧を知ることができる。図 2.5 のように, V_{det} と, V_{back} の二通りの方法で,バイアス電圧をかけた。

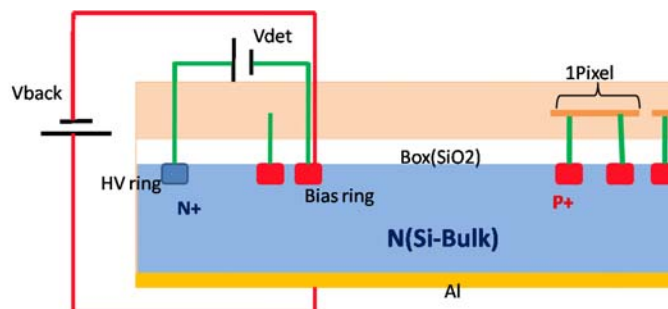


図 2.5: TOPPIXN IV 測定

結果

照射量ごとに、 $I-V_{bias}$ をグラフに示す。 1.4×10^{15} 1-MeV n_{eq}/cm^2 , 1.3×10^{16} 1-MeV n_{eq}/cm^2 の色は、バイアス電圧の加え方を表わしており、未照射 V_{det} は青色、照射後 V_{det} は緑、照射後 V_{back} は赤、照射後で V_{det} と V_{back} の端子に同時に電圧をかけたものは黄になっている。未照射のグラフについても、緑、赤、黄は、照射のグラフと同じ電圧のかけ方をしている。

グラフから、未照射時は 100V で電流が急激に増加し、閾値電圧 $500\mu A$ を超えていることがわかる。このとき、 V_{det} と V_{back} の電圧のかけ方による違いは見られない。

1.4×10^{15} 1-MeV n_{eq}/cm^2 照射後、未照射時よりも、電流の増加がなだらかになっていることがわかる。また、 V_{det} と V_{back} 電圧の加え方による違いが見られた。 1.3×10^{16} 1-MeV n_{eq}/cm^2 照射後のサンプルでも同様の傾向が見られた。

1.3×10^{16} 1-MeV n_{eq}/cm^2 照射後でも、ダイオード特性はみられること、照射後は暗電流が増加することがわかった。

二つの照射後のサンプルは、どちらも V_{back} の方が電圧がかかりやすく、 V_{det} と V_{back} に差が現われたのは、照射による変化が、センサー部シリコンの表側と裏側とで違うためと考えられる。マイクロ放電がおこっている場所を確認することによって、電場が強くなっている場所を特定できると考え、CCD カメラによる HotSpot の撮影を行なった。

2.2.3 リセット 信号応答

測定

リセット信号応答テストは、回路部の動作を調べるための測定である。図 2.9 に、TOPPIXN のピクセル信号の増巾回路を示す。本測定では、 V_{rst} 端子に 0-1V の電圧を与え、colOut からのアナログ信号をオシロスコープで読み出しを行なった。これによって、異なる大きさの入力信号に対する回路応答を見た。このとき、バイアス電圧として V_{det} に 0-20V を 2V 刻みで加えた。

結果

二つの照射量のサンプルそれぞれの、照射前、照射後、照射後に $60^\circ C$, 40 分間のアニーリング後のグラフを示す。

2.2.4 HotSpot の撮影

I-V 測定で、マイクロ放電がおこっていた場所を特定するために、陽子線照射後サンプルに電圧を印加し、赤外線カメラで観察した。電流が集中する場所にはマイクロ放電に伴う赤外光が発生、HotSpot とよぶ点が見られる。

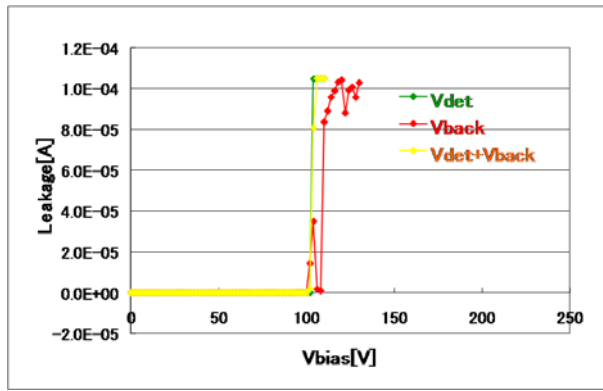


図 2.6: TOPPIXN 未照射 IV 特性 .

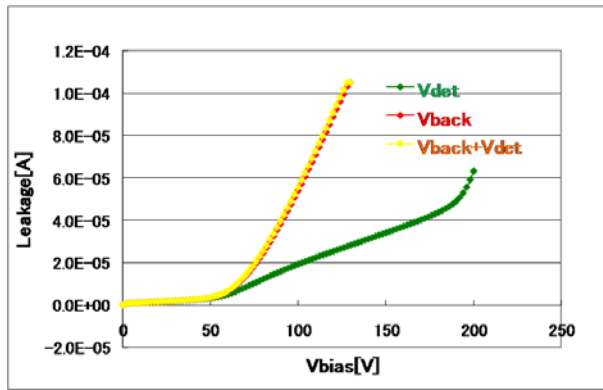


図 2.7: TOPPIXN 1.4×10^{15} 1-MeV n_{eq}/cm^2 照射後 IV 特性 .

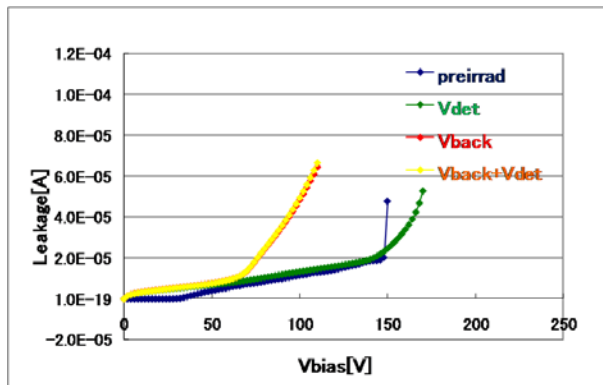


図 2.8: TOPPIXN 1.3×10^{16} 1-MeV n_{eq}/cm^2 照射後 IV 特性 .

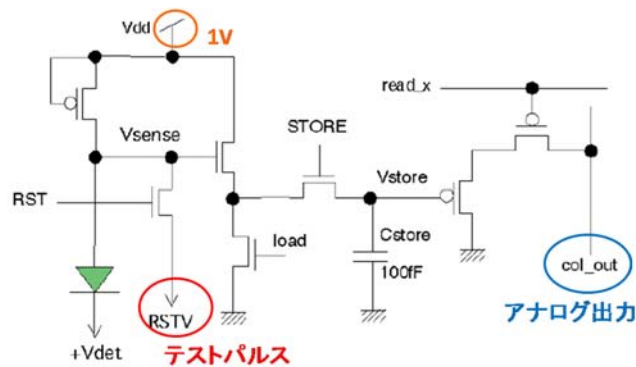


図 2.9: TOPPIXN ピクセル内回路図 .

測定

各照射後サンプルに、 V_{det} に印加したときの、電流増加を見る .

1.4×10^{15} 1-MeV n_{eq}/cm^2 では、 $V_{det}=210V$ から電流が急増し、 V_{back} の場合の I-V カーブと平行に上昇する . $V_{det}=210V$ とそれ以下での現象の違いを見るため、 $V_{det}=210V$ 、 $V_{det}=150V$ で HotSpot を撮影した . そして、 $V_{det}=210V$ かけたときの電流と同程度の電流が見られる $V_{back}=120V$ でも、撮影を行なった .

1.3×10^{16} 1-MeV n_{eq}/cm^2 では、 $V_{det}=150V$ から、電流の増加が急になり、さらに $V_{det}=170V$ で V_{back} の場合と平行になっている . $V_{det}=170V$ と $150V$ 以下での現象の違いを見るため、 $V_{det}=170V$ 、 $V_{det}=100V$ で HotSpot を撮影した . また、 $V_{det}=170V$ かけたときの電流と同程度の電流が見られる $V_{back}=100V$ でも、撮影を行なった .

赤外線カメラでの撮影は、 $-65 \pm 0.5^\circ C$ で行なった .

結果

1.4×10^{15} 1-MeV n_{eq}/cm^2 照射後サンプル

$V_{det}=150V$ を印加すると、Bias リングの角に HotSpot が見られた . (図 2.14) . $V_{det}=210V$ を印加すると、Bias リングの角と HV リングに HotSpot が見られた . (図 2.15) . $V_{back}=120V$ を印加すると、Bias リングの角に HotSpot が見られた . (図 2.16) . p^+ の Bias リングと n 型の bulk 間から、電流が流れ始めているので、リングがインプラントされている表面付近では、性質は変わっていないようである .

1.3×10^{16} 1-MeV n_{eq}/cm^2 照射後サンプル

$V_{det}=100V$ を印加しても、HotSpot は見られない . (図 2.18) . $V_{det}=170V$ 印加すると、HV リングに HotSpot が見られた . (図 2.19) . $V_{back}=100V$ を印加しても、HotSpot は見られない . (図 2.20) . p^+ の Bias リングから HotSpot が見られないので、リングがインプラントされている表面付近では、 n 型から p 型にバルクは型変換している可能性がある .

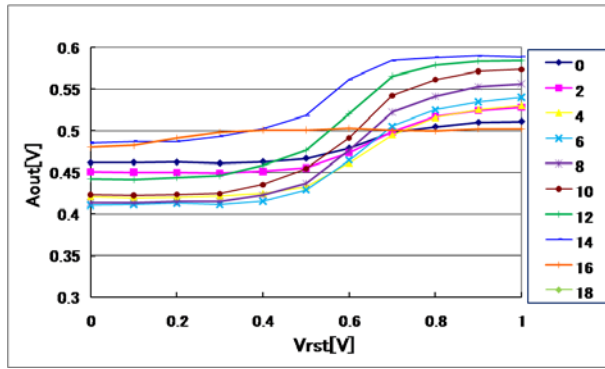


図 2.10: 未照射リセット応答．横軸がリセット電圧 (0-1V)，縦軸が応答電圧，色 V_{det} 0-20V(2V 刻み) で，以下の二つのグラフも同様．

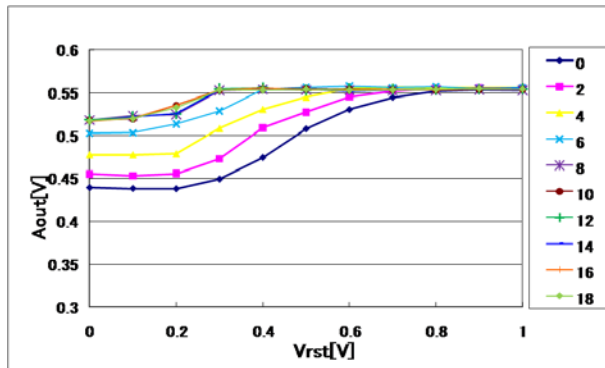


図 2.11: TOPPIXN 1.4×10^{15} 1-MeV n_{eq}/cm^2 照射後リセット応答．

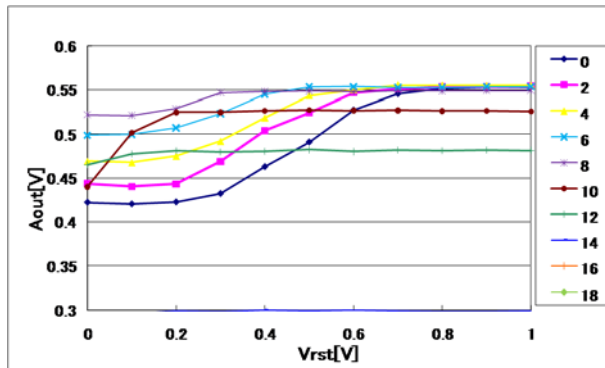


図 2.12: TOPPIXN 1.3×10^{16} 1-MeV n_{eq}/cm^2 照射後リセット応答．

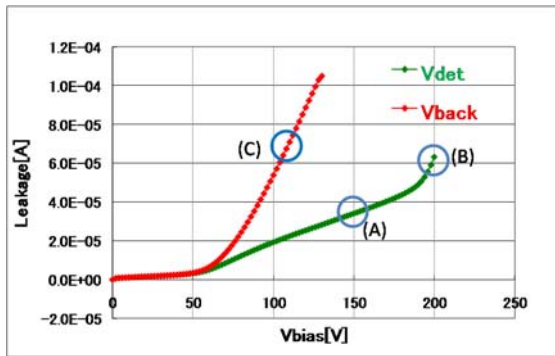


図 2.13: 1.4×10^{15} 1-MeV n_{eq}/cm^2 陽子線照射後の I-V .

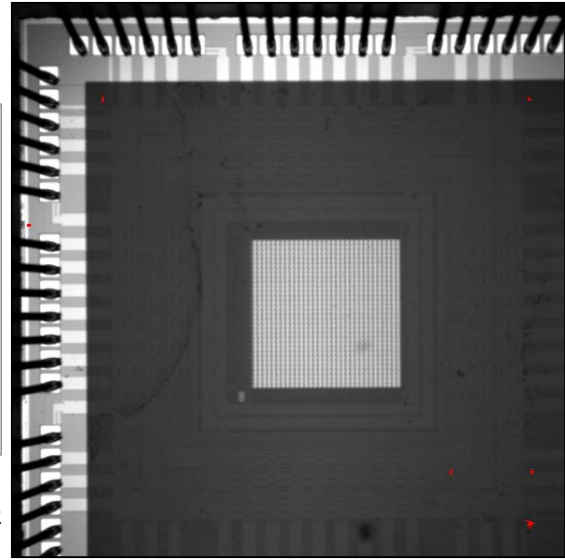


図 2.14: $V_{det}=150V$ 印加したとき . 図 2.13(A) に対応 . Bias リングの角が光っている .

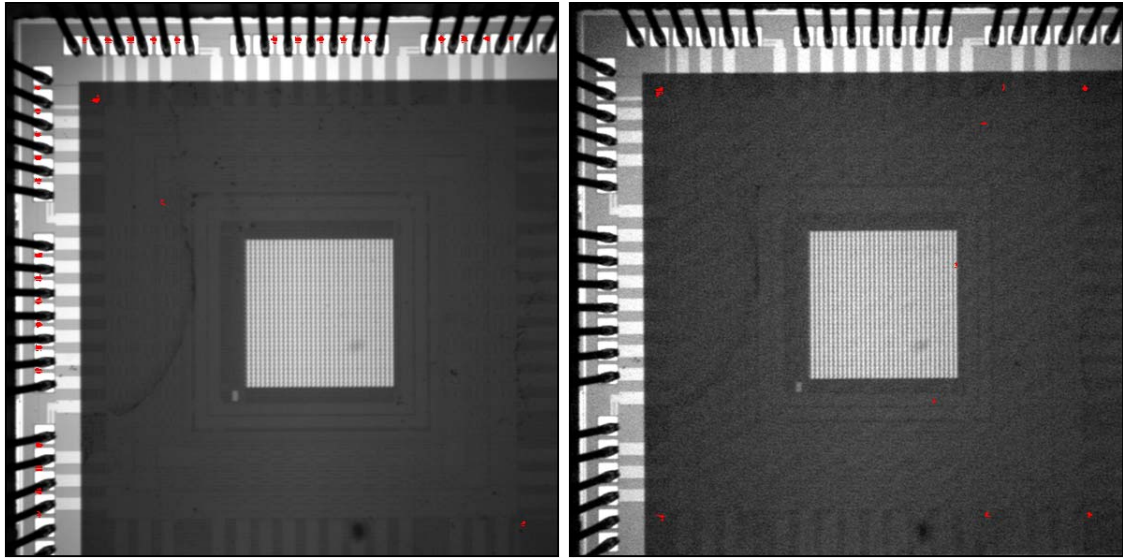


図 2.15: $V_{det}=210V$ 印加したとき . 図 2.13(B) に 図 2.16: $V_{back}=120V$ 印加したとき . 図 2.13(C) 対応 . Bias リングの角と HV リングが光っている . に対応 . Bias リングの角が光っている .

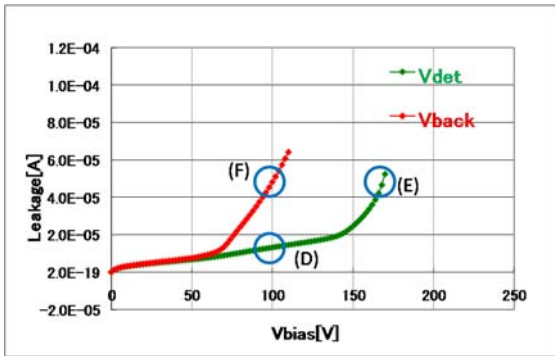


図 2.17: 1.3×10^{16} 1-MeV n_{eq}/cm^2 陽子線照射後の I-V .

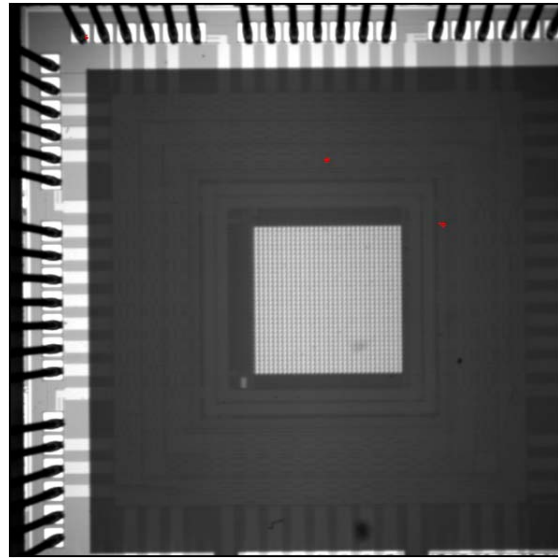


図 2.18: $V_{det}=100V$ 印加したとき . 図 2.17(D) に対応 . HotSpot は見られない .

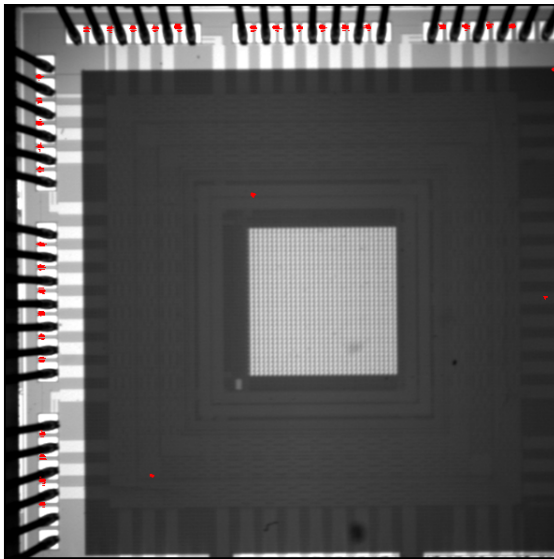


図 2.19: $V_{det}=170V$ 印加したとき . 図 2.17(E) に対応 . HV リングが光っている .

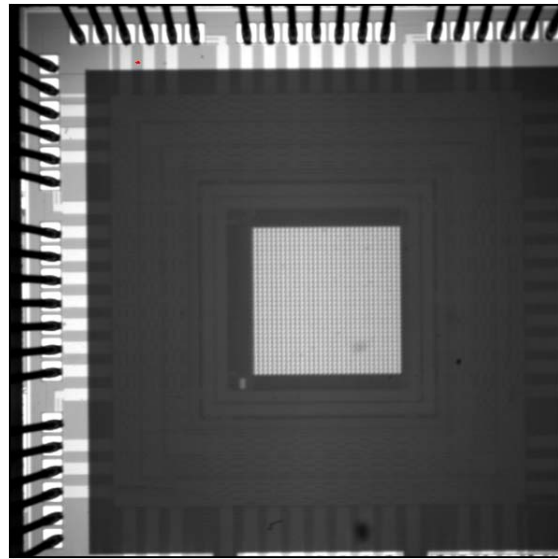


図 2.20: $V_{back}=120V$ 印加したとき . 図 2.17(F) に対応 . HotSpot は見られない .

2.2.5 Laser 応答

ここでは、照射前後の TOPPIXN に対して、可視光レーザーを当て、ピクセルの反応を見た。

測定

照射前のサンプルと、 1.4×10^{15} 1-MeV n_{eq}/cm^2 照射後のサンプルに対して測定を行なった。先に説明したように、本サンプルには、光応答の試験をするために、ピクセル中心部には、 $5.4\mu m$ 角の窓があけてある。波長 650nm の赤色レーザーをその窓に向けて当てた。測定の様子を図 2.21 に示す。

暗電流低減のため、サンプルを冷却しながら測定を行なった。レーザーが ON と OFF のときの

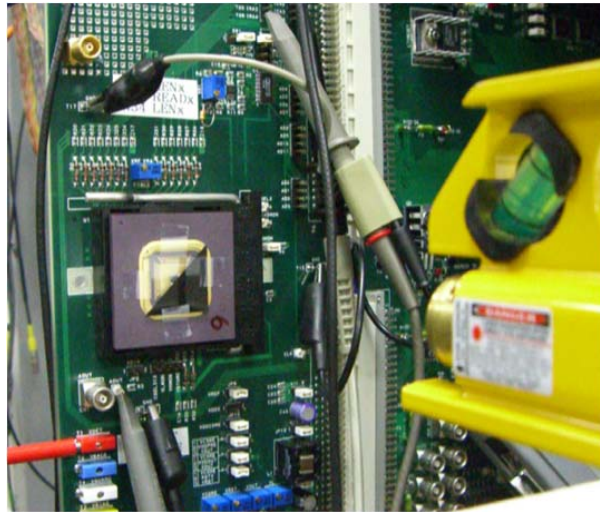


図 2.21: TOPPIXN レーザー応答測定の様子。手前の黄色いものがレーザーで、ボード左端中央あたりにサンプルが備えつけられている。サンプル中心のピクセル部分には、左上だけ光を通すようマスクをした。

出力の差がよく見られるようにバイアス電圧を調整し、 $V_{det}=2V$ に設定した。リセット信号入力により、ピクセル内のコンデンサにはリセット電圧に応じた電荷が蓄積され、その後にレーザー光に反応して電荷量が増える。 $64\mu s$ 後にアドレスをスイッチし、次のピクセルに移る。1ピクセルにつき 64 点、コンデンサ内の電荷量に応じた V_{store} をアナログ出力として読出すが、この間、 V_{store} はコンデンサへの電荷蓄積とともに上昇するが、 C_{store} の大きさ (100fF) により、 V_{store} は飽和する。ちなみに、1 点/1 μsec でデータ収集している。写真のようにピクセル上に、左斜め上だけ光を通すようにマスクをしてレーザーを当てた。マスクのない左上部分のピクセルについて、レーザーを当てたとき (ON) と当てないとき (OFF) の出力をオシロスコープで観察した。レーザー ON のときと OFF のときのオシロの出力を、各ピクセルについて重ねたものを示す。その下に、レーザーが ON と OFF のときの出力電圧の差をパターンとして示した。出力電圧の差は、オシロの出力のピンクの矢印に相当する。照射後のサンプルでは、暗電流による電荷が大きく OFF のときでも飽和するが、リセット信号入力直後の部分で、ON と OFF で違いが見られる。図 2.22 より、レーザーの入射を検出できていることがわかる。さらに、 1.4×10^{15} 1-MeV n_{eq}/cm^2 照射後のサンプルにおいても、レーザー応答が見られる。

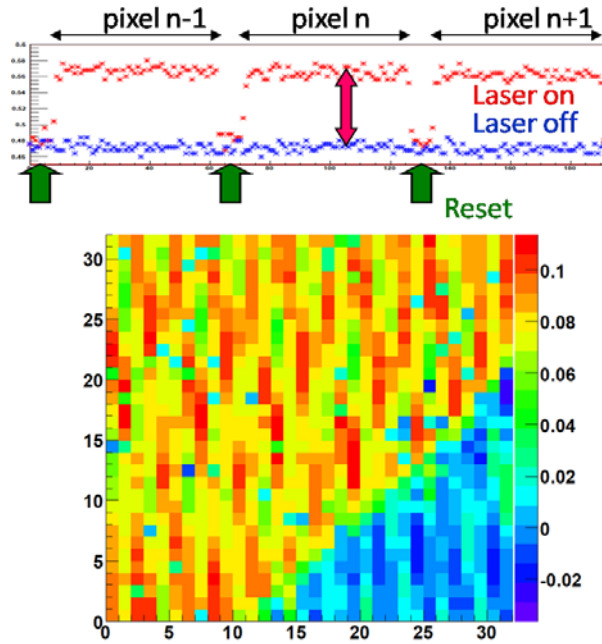


図 2.22: 未照射サンプルの Laser 応答 . 上 : レーザーが当たっているピクセルの出力信号 . 下 : レーザー ON,OFF 時の出力電圧差

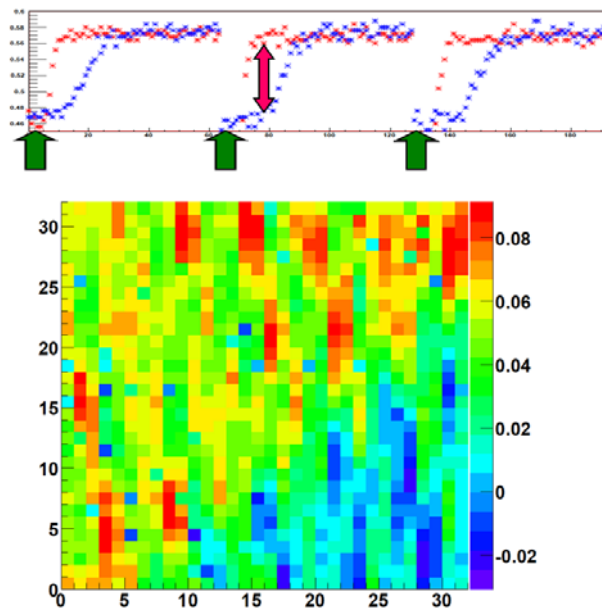


図 2.23: 1.4×10^{15} 1-MeV n_{eq}/cm^2 陽子線照射後サンプルの Laser 応答 . 上 : レーザーが当たっているピクセルの出力信号 . 下 : レーザー ON,OFF 時の出力電圧差

第3章 INTPIX3内 TrTEGの陽子線照射試験

前章の TOPPIX の測定により，検出器の回路部は，センサー部に比べて耐圧が低いことが解った．この原因追究のために，回路部に使用されるトランジスタのみを取りだし，グループ化したサンプル (TrTEG) に陽子線を照射して，放射線耐性を調べた．

3.1 INTPIX3内 TrTEG

SOI ピクセル検出器の積分型のものは，前章で取扱った TOPPIXN(FY06) に引きつづき，2007 に INTPIX1 とよばれる，128×128 ピクセルのサンプルが開発された．このサンプルの作成は，TOPPIXN と同じ，デザインルール 0.15 μm の Fully-depleted SOI CMOS プロセスで行なわれている．

2008 年に製作された INTPIX3 という積分型の検出器の上には，回路部トランジスタが個別にテストできるように置かれている．今回対象としたのは，このトランジスタである．

3.1.1 INTPIX3 及び TrTEG の構造

INTPIX3 は，OKI SOI 0.2 μm プロセスが用いられており，これは前年の INTPIX2 から使用され始めたものである．20 μm 角のピクセルが，128×128 個配置されている．チップサイズは，5mm 角である．

読みだし回路部分は，TOPPIXN とほとんどかわりない．各ピクセルからの読み出しは，行，列の順でアドレスデコードによってピクセルが選択され，アナログ信号として出力される．各ピクセルには，100fF のコンデンサが設置され，信号が読みだされるまで，電荷を蓄積できるようになっている．

0.2 μm プロセスの SOI では，Normal Vth, Low Vth, I/O と，3 種類のトランジスタが実現可能である．Normal と呼んでいるのは，Low に比べて比較的 Vth が高いものである．各トランジスタに対し，Body 部分の接続方法を選択できるようになっている．Body-floating, Body-tie, Source-tie の 3 つである．このように，INTPIX に用いられるトランジスタの組 (TrTEG) を，INTPIX3 の上辺及び，右辺に入れる．このうち，上辺に置く TrTEG には，今回導入する BPW というウェルを全体に重ねる．INTPIX3 のブロック図を図 3.1 に，TrTEG 部分のブロック図を図 3.2 に示す．

今回の TrTEG には，BPW(Buried-P-Well) という構造を持つものがある．これは，バックゲート効果の軽減を期待して導入されたものである．p 型の不純物を BOX 直下に注入してウェル構造を形成し，そこから端子を出すことで電圧を印加できるようにしている．

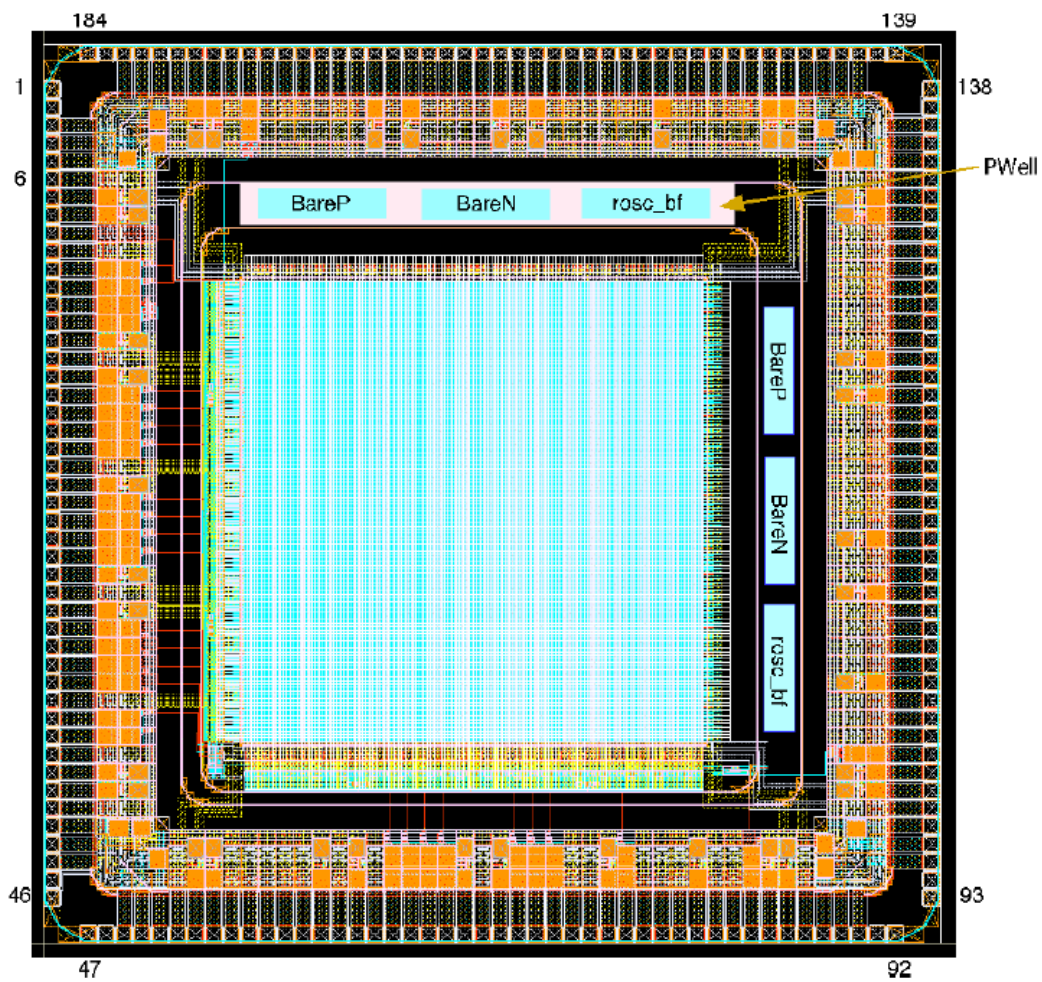


図 3.1: INTPIX3 レイアウト . 上辺と右辺に NMOS , PMOS , リングオシレータが置かれている .

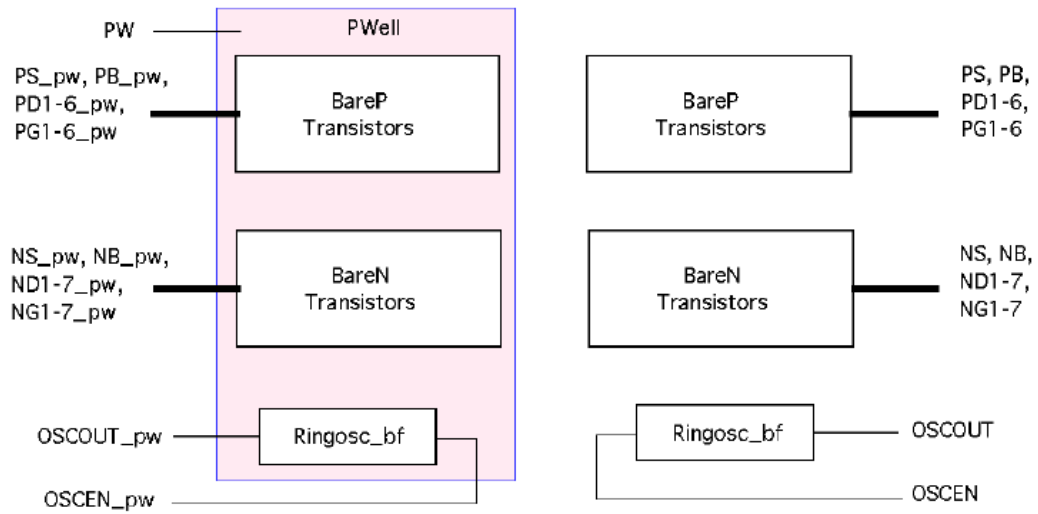


図 3.2: INTPIX3 内 TrTEG ブロック図 .

3.1.2 TrTEG 回路

TrTEG には，NMOS の Bare トランジスタ 7 種と，PMOS の Bare トランジスタ 6 種がある．全ての信号は，保護ダイオードなしで直接取りだされている．トランジスタのゲート，ドレインは分離されているが，ソースはひとつのグループで共通になっている．NMOS，PMOS の回路図を示す．また，各トランジスタのパラメータを表にまとめた．

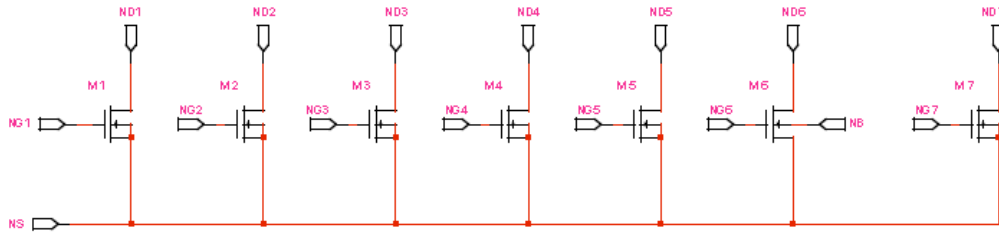


图 3.3: TrTEG NMOS 回路 .

NMOS	L(μ m)	W(μ m)	Comment
Tr1	0.20	100	normal-Vth
Tr2	0.20	100	low-Vth
Tr3	0.35	175	IO high-Vth
Tr4	0.35	175	IO low-Vth
Tr5	1.00	175	IO SourceTie
Tr6	0.20	100	normal-Vth,BodyTie
Tr7	10.0	100	IO D-MOS

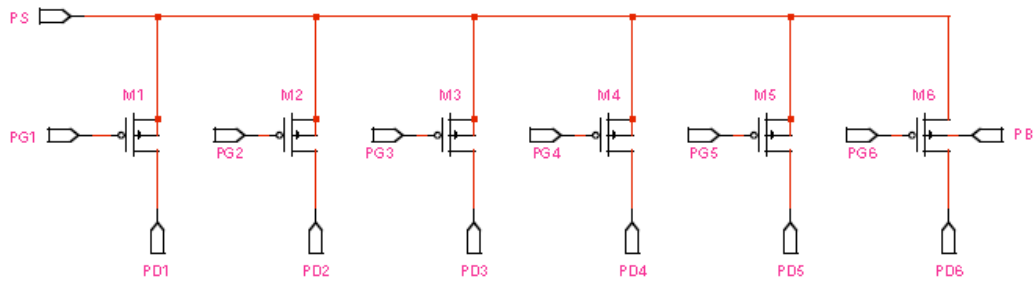


图 3.4: TrTEG PMOS 回路 .

PMOS	L(μ m)	W(μ m)	Comment
Tr1	0.20	100	normal-Vth
Tr2	0.20	100	low-Vth
Tr3	0.35	175	IO high-Vth
Tr4	0.35	175	IO low-Vth
Tr5	1.00	175	IO SourceTie
Tr6	0.20	100	normal-Vth,BodyTie

NMOS, PMOS の Tr1 ~ Tr4 は, Body-floating である . SourceTie は, Body をソースと接続して同電位にしたものである . BodyTie は, Body から端子を出し, 外側から電圧を加えられるようにしてある .

Tr1, Tr2, Tr6 は, ピクセル内に使用するためのトランジスタで core-Transistor とよばれる . Tr3, Tr4 の IO は, I/O 部分で使用するためのものである . core-Transistor は, IO-Transistor に比べてゲート酸化膜の厚さが薄く, それぞれ 5nm, 7nm となっている . また, NMOS Tr7 の D-MOS は, デプレッション型トランジスタを表わしている . これは, 他のエンハンスメント型トランジスタとは反対に, ゲート電圧が 0V のときに電流が流れており, 電圧の増加とともに電流の流れが抑制されるトランジスタである .

3.2 陽子線照射試験

2009年6月, 東北大サイクロトロン CYRIC にて 70MeV 陽子線を照射した。照射量は, 以下の4つである。

- 1.35×10^{12} 1-MeV n_{eq}/cm^2
- 1.20×10^{13} 1-MeV n_{eq}/cm^2
- 6.02×10^{14} 1-MeV n_{eq}/cm^2
- 1.18×10^{15} 1-MeV n_{eq}/cm^2

3.2.1 I-V 測定

測定条件

I- V_{gs} 測定範囲を表に示す。

	V_s [V]	V_d [V]	V_{gs} [V]
NMOS	0.0	1.8	-1~2 (0.05 step)
PMOS	1.8	0.0	-2~1 (0.05 step)

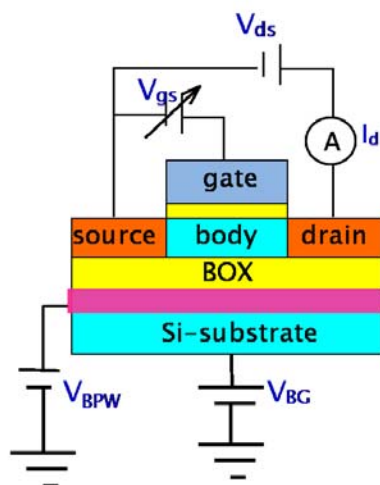


図 3.5: TrTEG 電圧印加の概念図。

測定の模式図を図 3.5 に示した。この測定を backgate 電圧 $V_{bg}=0,5,10,50,100$ V に対して, BPW なしのもので, ありのものとそれぞれ行なった。ありのものは $V_{BPW}=\text{Floating}, 0V, 1.8V$ の条件で測定した。

測定結果

NMOS Tr4, Tr6 について $V_{backgate}=0V$ のときの $I_{ds}-V_{gs}$ カーブを示す．陽子線照射によって，カーブがマイナス方向へシフトし 1.20×10^{13} 1-MeVn_{eq}/cm² から，暗電流が急増する様子がわかる．

また， $V_{backgate}=0V$ のときには，BPW の電圧によって差がみられないことがわかる．

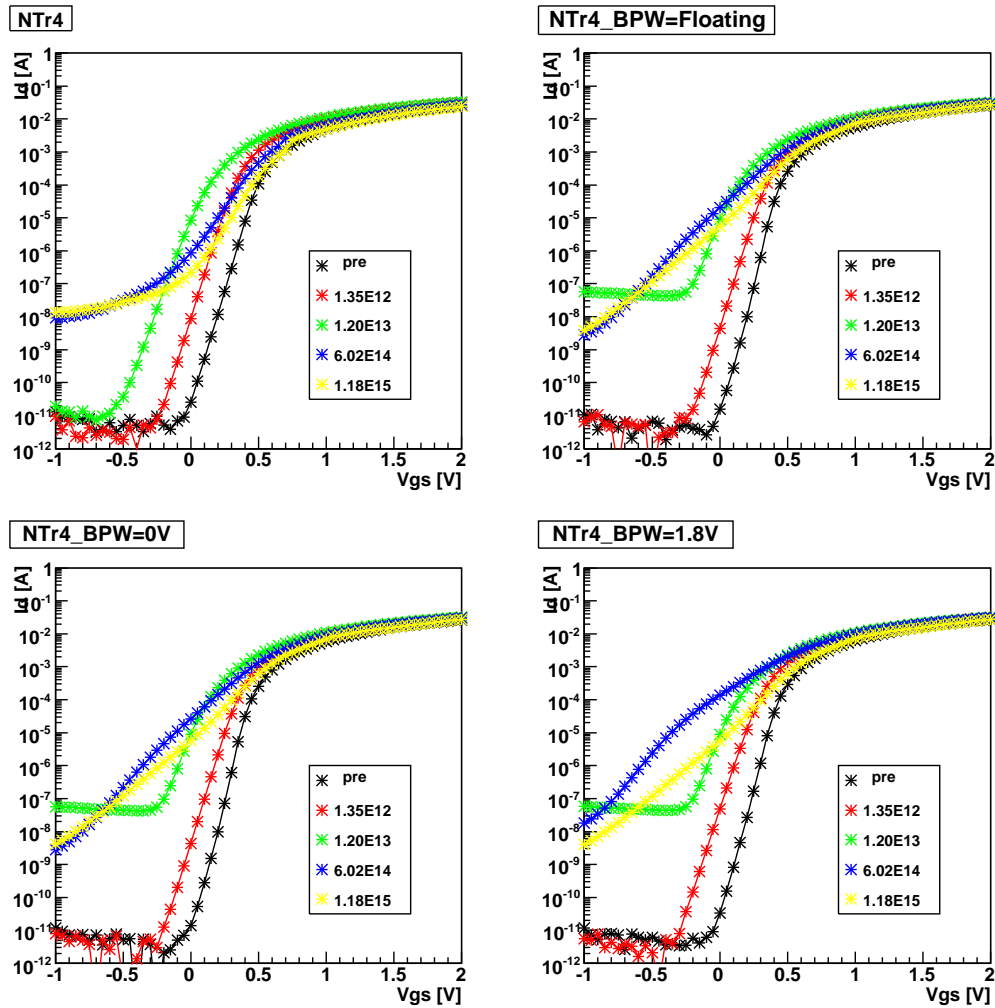


図 3.6: NMOS Tr4 の $I_{ds}-V_{gs}$ カーブ .

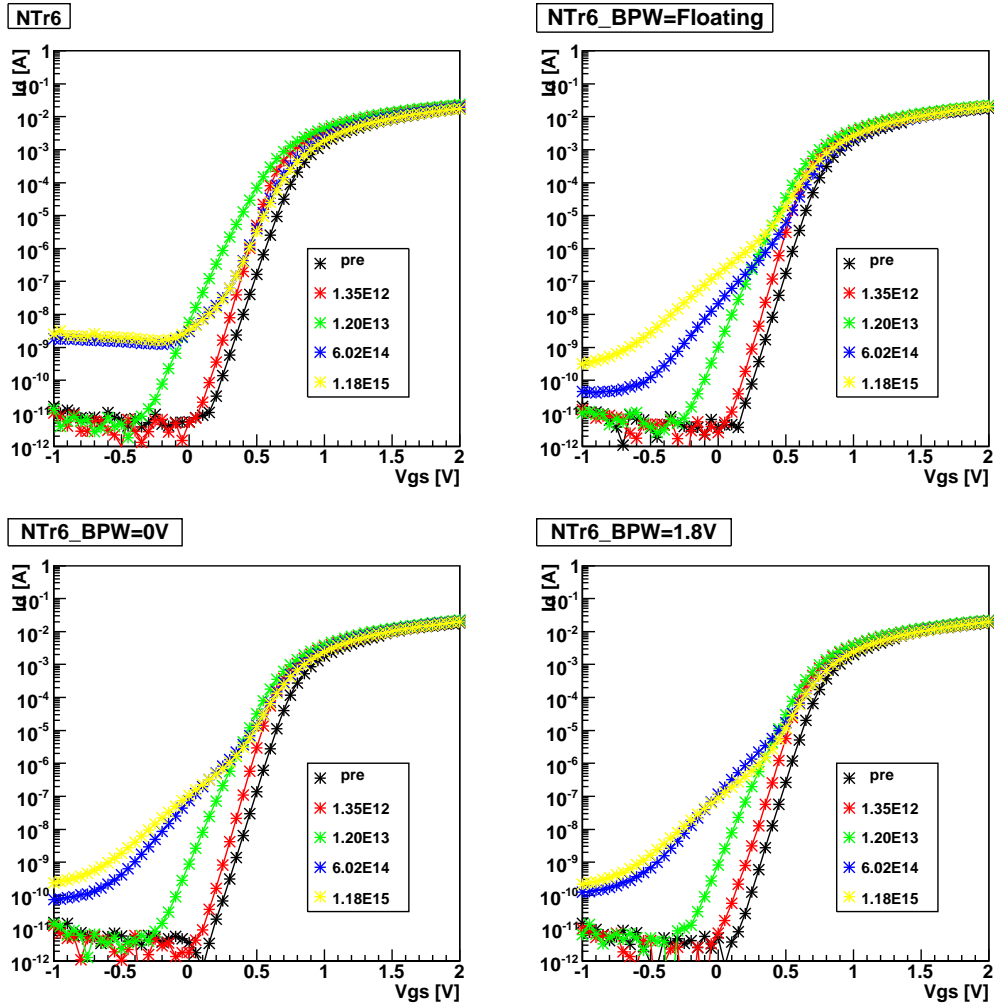


図 3.7: NMOS Tr6 の I_{ds} - V_{gs} カーブ .

第4章 TCADを用いたトランジスタ放射線 損傷の理解

放射線の照射による半導体の損傷は TID 効果としてトランジスタの閾値変化などに現われる。陽子線照射による TrTEG の閾値変化を TCAD ソフトウェアによって再現することによって、SOI トランジスタにおける電荷蓄積の様子を理解することが目的である。

4.1 一般的なトランジスタの放射線損傷

一般的に半導体検出器の長期的な放射線損傷としては、ハドロン粒子などによる低抵抗バルク部の不純物濃度変化と、電離性粒子による回路部エレクトロニクスの特性変化が考えられる。今回シミュレーションで再現しようとしているのは後者で、放射線損傷による SOI トランジスタの閾値変化を扱う。

一般的な MOS トランジスタの損傷として、絶縁層 SiO_2 部分への正電荷の蓄積と、シリコンと絶縁層の境界部分に形成される電荷は、異なったメカニズムにより発生するので分けて考える [10]。特に境界に発生する電荷状態は、正か負かは、バルクが p 型か n 型かということや、損傷のしかたによるため、一意には決まらない。これを SOI トランジスタに適応して考えた場合、絶縁層がゲート酸化膜 (GOX) と埋め込み酸化膜 (BOX) の 2 カ所あり、シリコンと絶縁層の境界部分が、ゲート酸化膜と Body 間、Body と BOX 間、BOX とバルク間の 3 カ所ある。よって、考慮すべき箇所が一般的な MOS に比べて多く、蓄積電荷の影響も複雑になる。

4.2 TCAD(Technology Computer Aided Design)ソフト

TCAD は、LSI やトランジスタの製造工程や電気伝導に関する物理、化学現象を記述する方程式を解いてトランジスタや半導体回路の特性をシミュレーションして予測できる。プロセスシミュレーターとデバイスシミュレーターから成り、LSI の設計開発の効率化を実現する技術である。今回、株式会社 TCAD インターナショナルの 3 次元デバイスシミュレーター TiSSiEN-Device[11] を使ってシミュレーションを行なった。

4.3 TCADシミュレーション

上述のように、TCADを使って、放射線照射によって、SOIトランジスタのどの部分にどれだけの電荷蓄積があるかを見積もることが最終的な目的である。まず、TCADを使ってトランジスタの性質等を再現することから始める。

4.3.1 トランジスタ $I_D - V_{GS}$ 曲線の再現

最初に、未照射の INTPIX3-TrTEG 内のトランジスタの $I_D - V_{GS}$ 特性を TCAD で再現する。各トランジスタで明らかにされているパラメータは、前章の表に示した W, L の値だけである。他には、OKI セミコンダクタによって提示されたトランジスタ形状の詳細や目安とされる濃度等の情報である。それに基づいて TrTEG での測定結果を再現するようにパラメータを調整した。

PMOS は、 L/W 比が他と異なる Tr5 と、回路配線のバグにより機能しなかった Tr1 と Tr2 以外の Tr3, Tr4, Tr6 の 3 つのトランジスタについて TCAD のモデルを作った。NMOS は同様に、 L/W 比が他と大きく異なる Tr5、デプレッション型の Tr7、対応する PMOS が正しく測定ができなかった Tr1 と Tr2 を除いた Tr3, Tr4, Tr6 の 3 つのトランジスタについて TCAD のモデルを作った。閾値 V_{th} を指標として、TrTEG での測定結果に合うよう、チャンネル部の密度を決めた。ベース部ポリシリコンの実効的仕事関数も V_{th} を調整することができるが、協議の結果 OKI セミコンダクターが推奨する NMOS と PMOS での値を用いた。

トランジスタ特性には個性があるので、未照射のサンプル複数個を測定し、その平均に TCAD モデルの結果を合わせた。 $I_D - V_{GS}$ のグラフを図 4.1 と図 4.2 に示す。

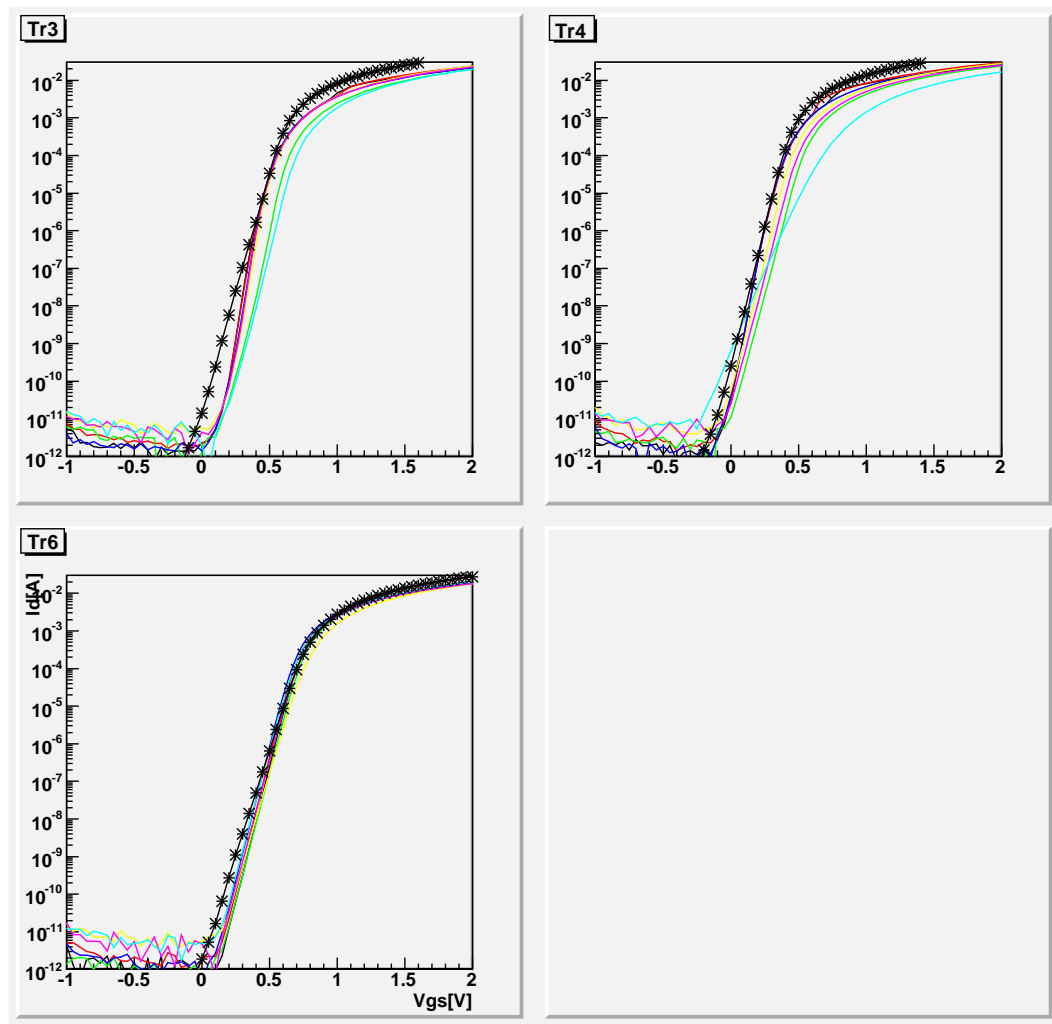


図 4.1: TrTEG(NMOS)の測定と TCADシミュレーションの I_D - V_{GS} カーブ . 縦軸対数, 横軸 V_{GS} . TCAD モデルによる再現値は*で示す .

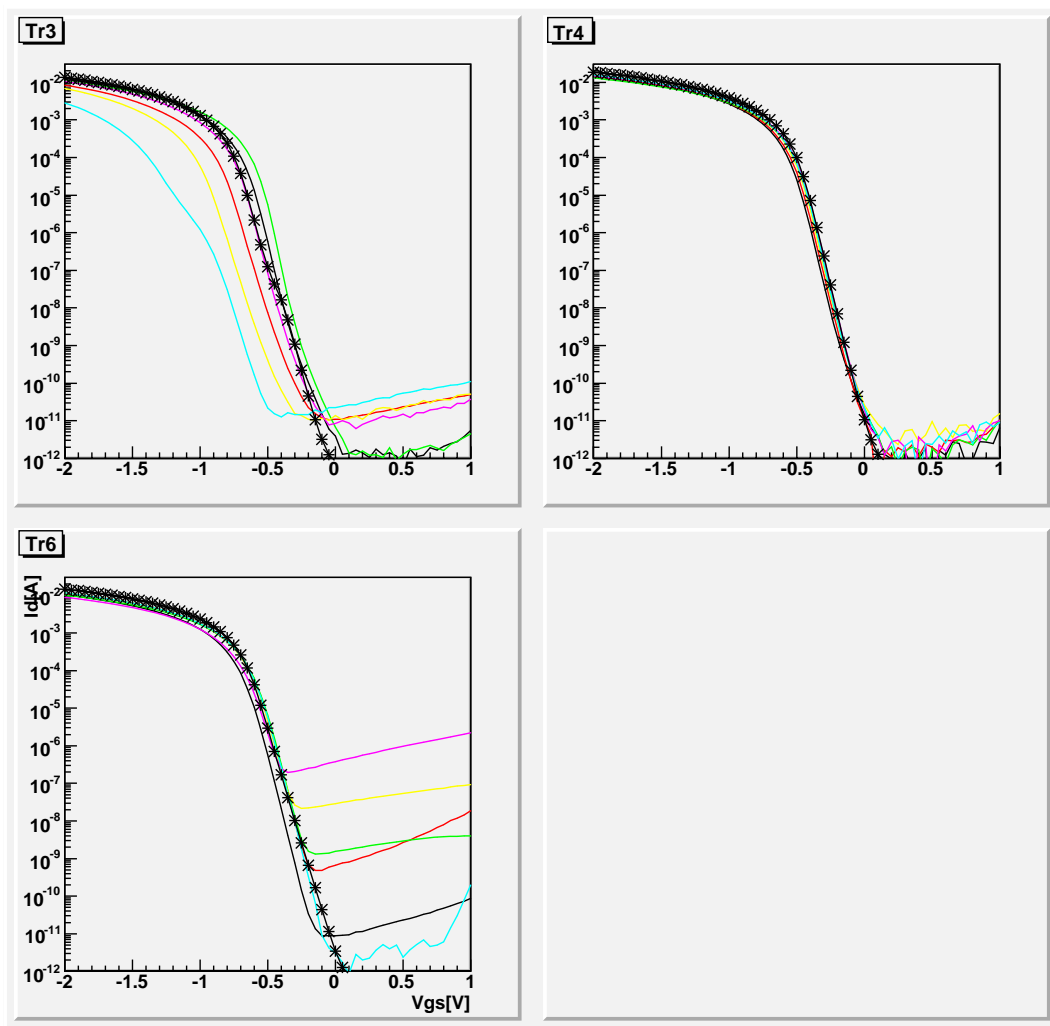


図 4.2: TrTEG(PMOS)の測定と TCADシミュレーションの I_D - V_{GS} カーブ . 縦軸対数 , 横軸 V_{GS} . TCAD モデルによる再現値は*で示す .

4.3.2 電荷蓄積場所ごとのトランジスタ V_{th} の変化

先に説明した電荷が蓄積されると考えられる候補の場所に、それぞれ電荷を蓄積させて、閾値 V_{th} の変化 (ΔV_{th}) を見た。考慮したトランジスタそれぞれに対して、結果を図 4.3 から図 4.8 に示す。トランジスタの個性があるため、 V_{th} の絶対値ではなく、今後、 V_{th} の変化に着目する。

BOX や GOX では、領域全体に一樣に正電荷を cm^{-3} の単位で蓄積させ、膜厚を考慮して、面電荷の単位で示している。境界は厚みゼロの面電荷の単位で蓄積させている。なお、正負両方が考えられる Si-SiO₂ の界面には、両極性の電荷を蓄積させた。色が同じで、マークが違うものどうしがそれに該当するが、正の電荷に対して閾値は負の方向に変化し、負の電荷に対しては正の方向に変化することが分かる。

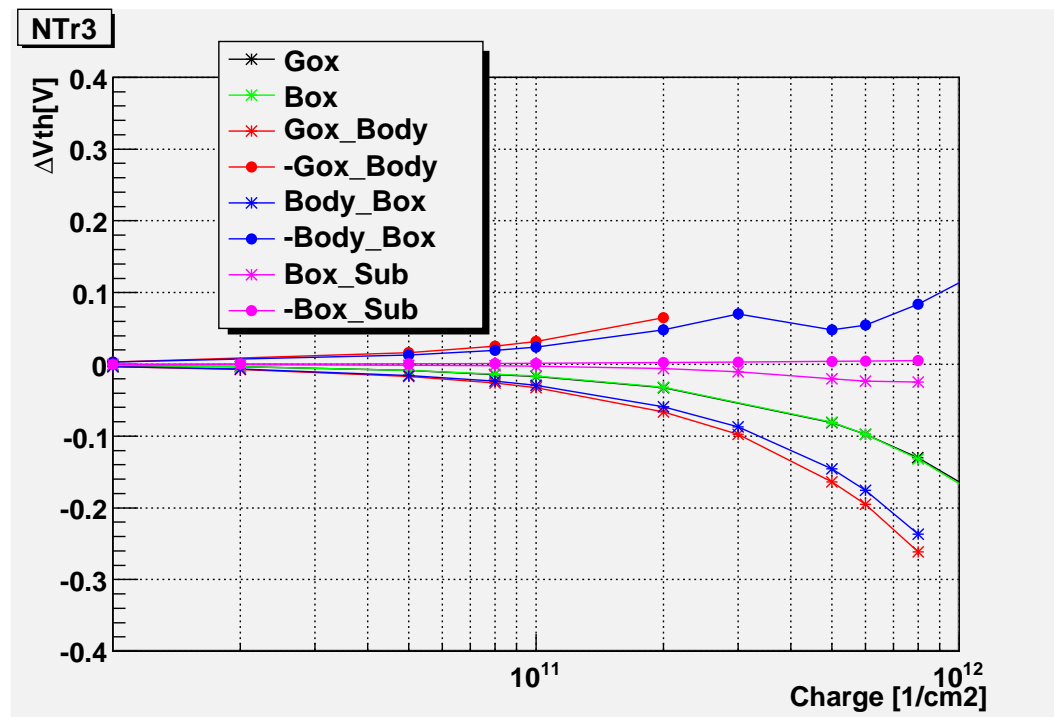


図 4.3: NMOS Tr3 に対する電荷蓄積場所ごとの閾値変化

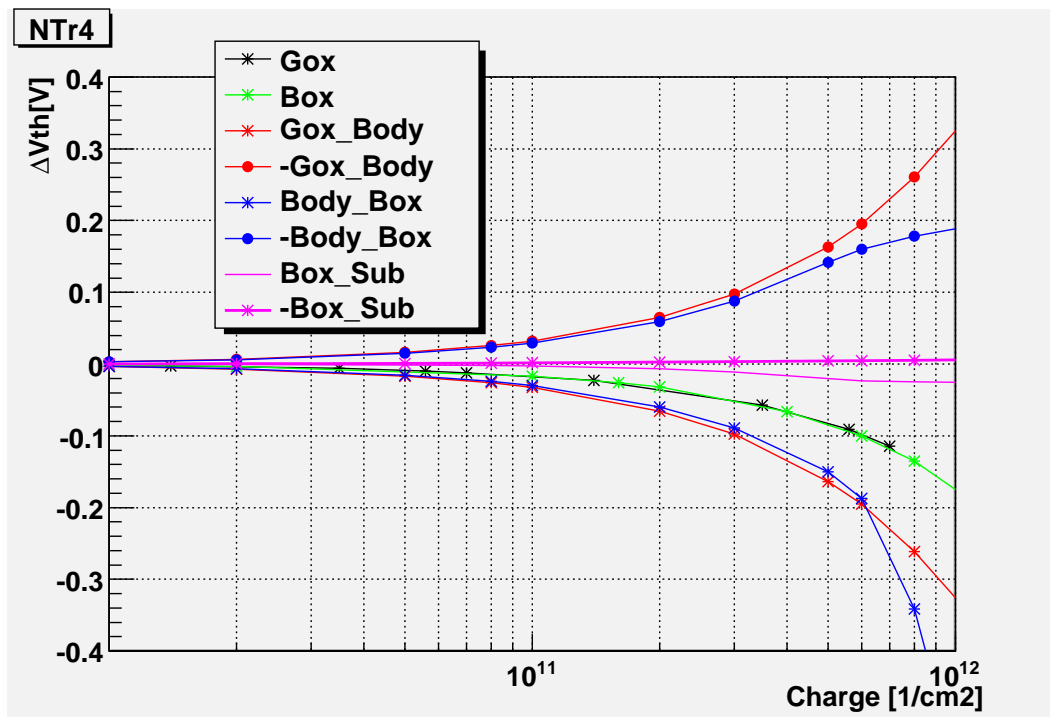


図 4.4: NMOS Tr4 に対する電荷蓄積場所ごとの閾値変化

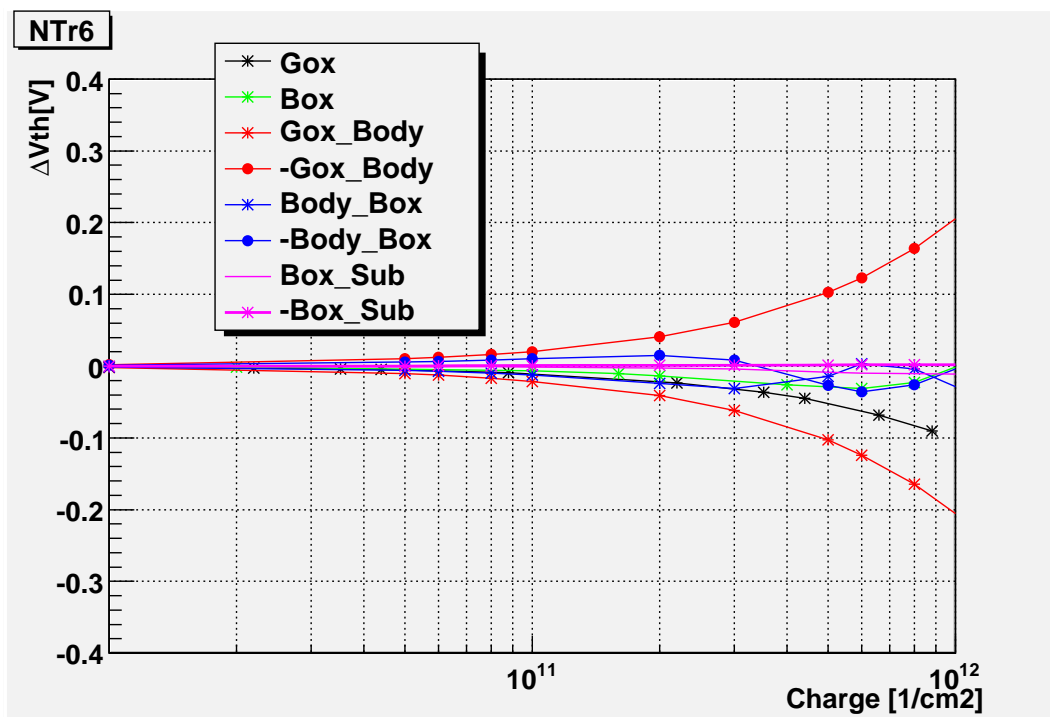


図 4.5: NMOS Tr6 に対する電荷蓄積場所ごとの閾値変化

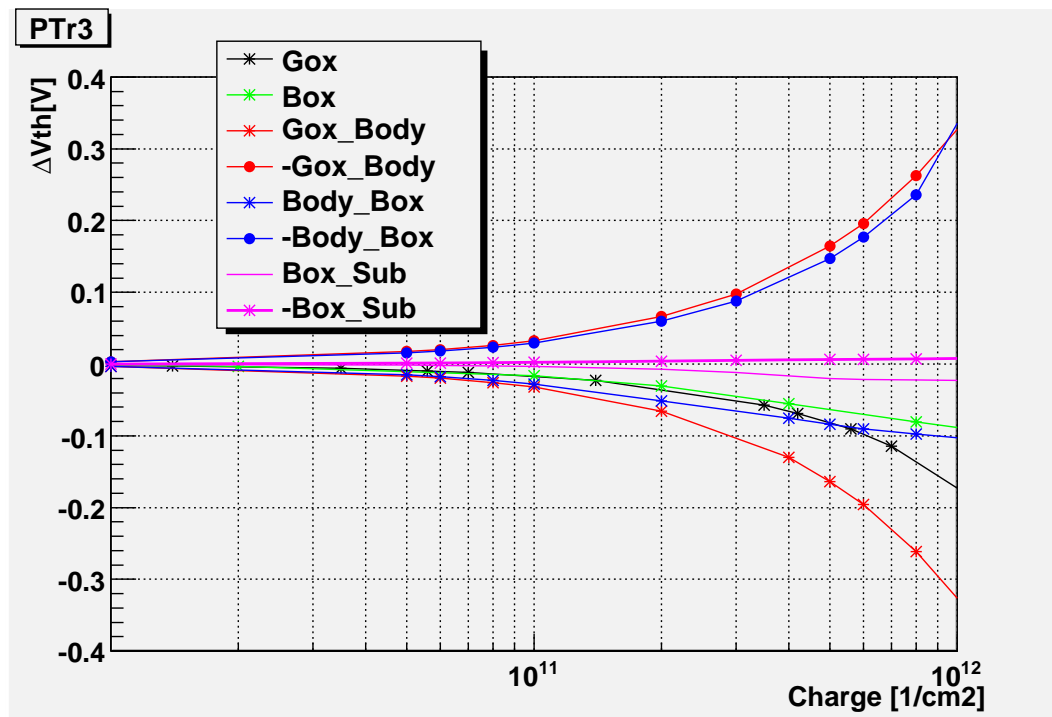


図 4.6: PMOS Tr3 に対する電荷蓄積場所ごとの閾値変化

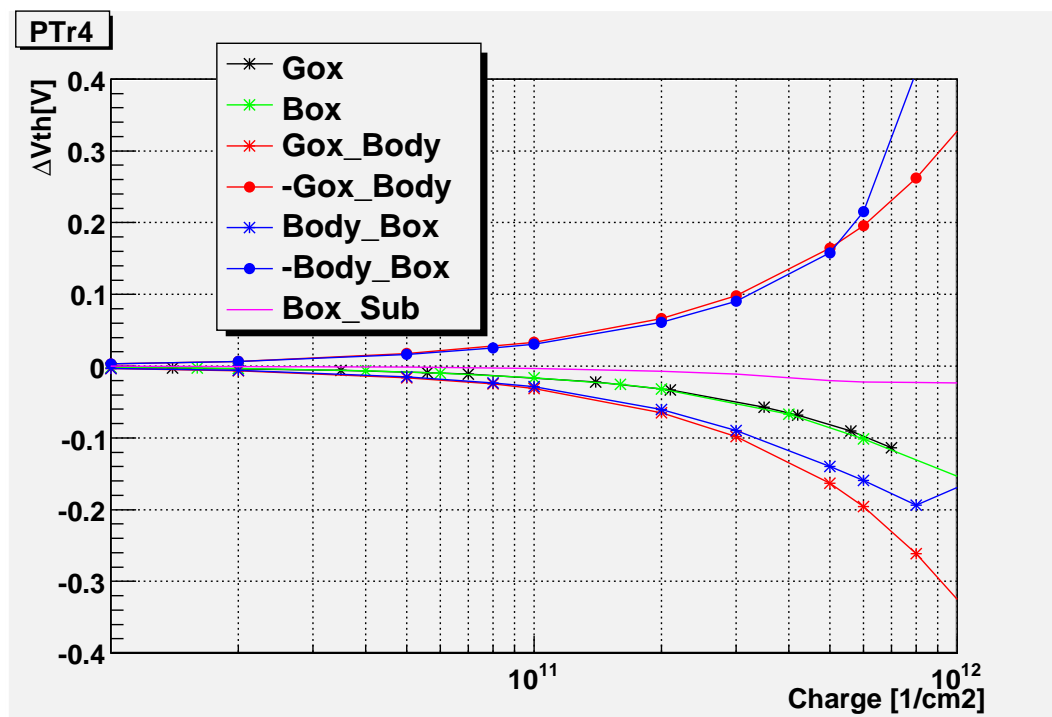


図 4.7: PMOS Tr4 に対する電荷蓄積場所ごとの閾値変化

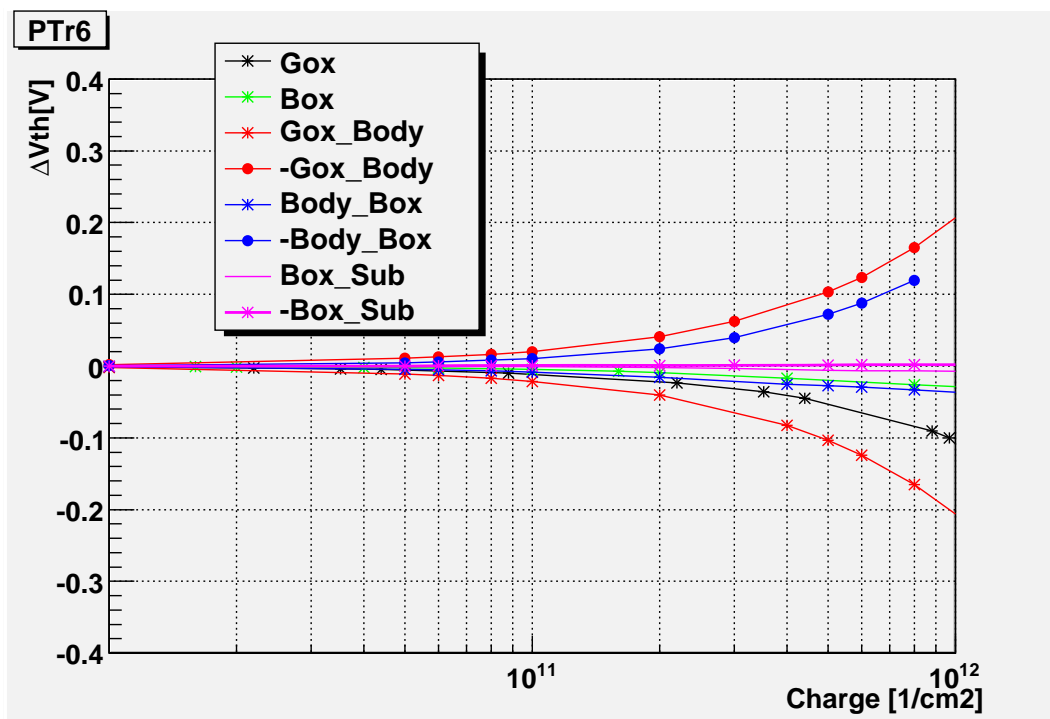


図 4.8: PMOS Tr6 に対する電荷蓄積場所ごとの閾値変化

4.3.3 酸化膜部分の電荷蓄積による V_{th} 変化

前節に示したトランジスタ毎の ΔV_{th} は、面電荷密度 ($1/\text{cm}^2$) の単位では界面電荷が及ぶ効果が支配的である。本節では、二つの酸化膜：ゲート酸化膜 (GOX) と埋め込み酸化膜 (BOX) の効果を体積電荷密度 ($1/\text{cm}^3$) の単位で考える。ここでも NMOS と PMOS の Tr3, 4, 6 を対象にシミュレーションを行なった。これらのトランジスタの違いは、酸化膜の厚さ (Tr3 と Tr4 は IO のため、コアトランジスタである Tr6 より厚い) と、チャンネル部分のシリコン不純物濃度の違いである。シリコン不純物濃度に関しては、前述したように、測定 of V_{th} に合うように濃度を調節した。この評価で用いたトランジスタモデルのパラメータを表 4.1 と表 4.2 に示す。

トランジスタにより異なる ΔV_{th} への効果を理解するため、NTr44, PTr44 として、Tr6 と同濃度の IO トランジスタを仮定し、表にはそれを含めて示してある。

表 4.1: NMOS のトランジスタパラメータ

NTr 名前	不純物濃度 [cm^{-3}]	ゲート酸化膜
NTr4	2.8e17	IO
NTr44	1.2e18	IO
NTr6	1.2e18	Core
NTr3	3.8e17	IO

表 4.2: PMOS のトランジスタパラメータ

PTr 名前	不純物濃度 [cm^{-3}]	ゲート酸化膜
PTr4	3.5e17	IO
PTr44	7.5e17	IO
PTr6	7.5e17	Core
PTr3	5.1e17	IO

NMOS Tr3, Tr4, Tr6, Tr44 (仮想的トランジスタ) モデルへの酸化膜中の電荷蓄積による効果を図 4.9 に、PMOS の酸化膜中への電荷蓄積の効果を図 4.10 に示す。

図 4.9, 4.10 において、不純物濃度が異なるトランジスタ、酸化膜厚の異なるトランジスタを比較すると、BOX 内電荷による ΔV_{th} は、主にチャンネル部シリコンの不純物濃度に依存し、GOX 内電荷による ΔV_{th} は、ゲート酸化膜厚に依存することがわかる。図 4.10 で、BOX の曲線のみが途中から一定になっているのは PMOS の特性で、PMOS キャリアであるホールが BOX に蓄積した正電荷によって反発し、実効的にチャンネルの厚さがせばめられるようになるからである。図 4.11, 4.12 に PMOS Tr4BOX に正電荷を置き、それぞれの閾値電圧を印加したときのホールの濃度分布を示す。図 4.12 より、BOX の蓄積電荷が大きくなると、チャンネルの厚さがせばめられる様子が見られる。

これらの図から指摘できる特徴として、 10^{17} cm^{-3} 以下において、GOX からの寄与は BOX からの寄与より少ない。これは、同じ電荷密度では膜厚が厚い BOX からの影響が大きいためである。仮に、照射によって GOX と BOX には同じ電荷密度で電荷がたまっていくとすると、図 4.9, 4.10 から、低照射量では BOX の影響を受けて、PTr3 と PTr4 に差が見られ、高照射量では GOX の

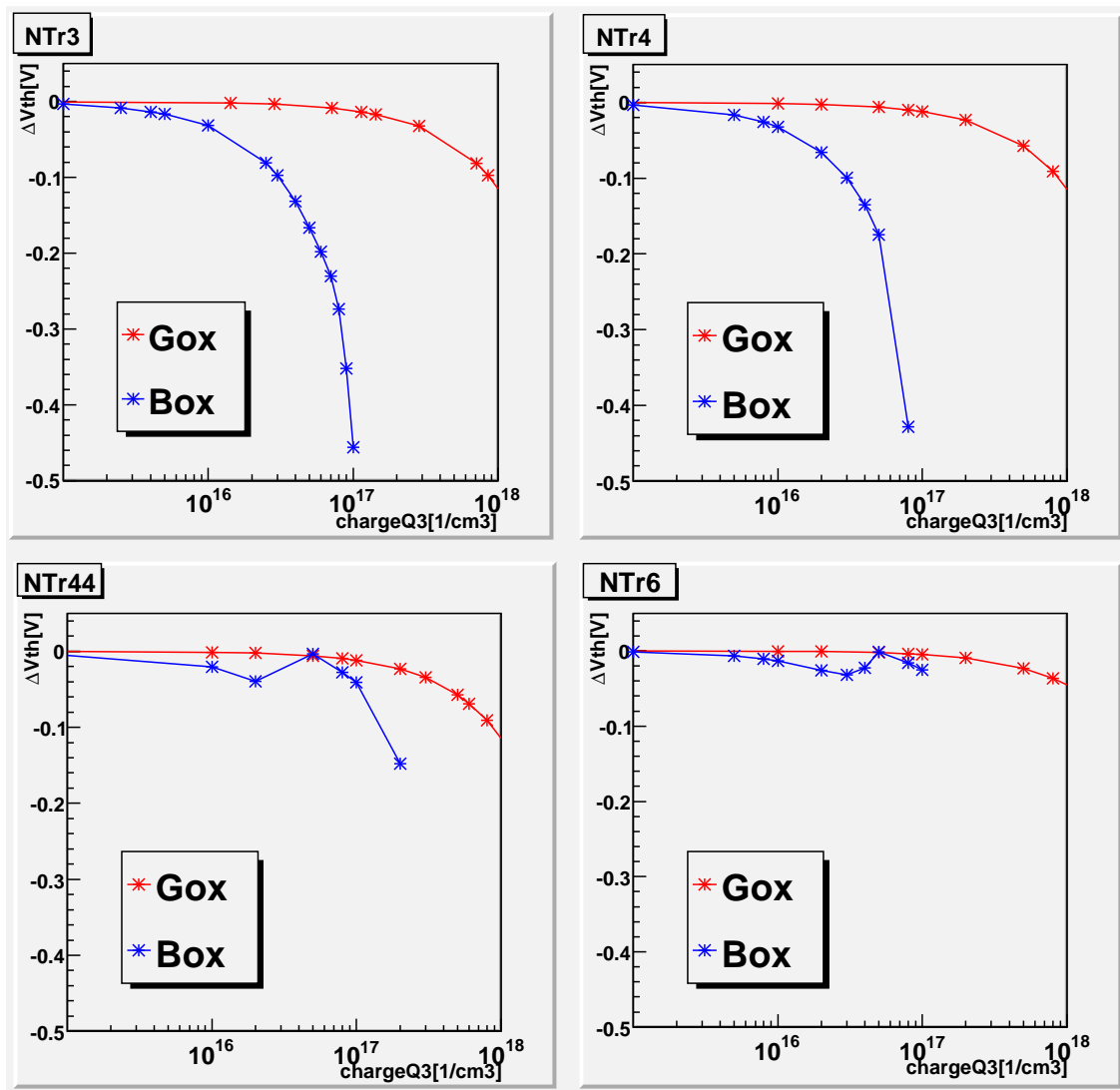


図 4.9: TCAD で NMOS の酸化膜に正電荷を一様に蓄積させたときの ΔV_{th} . 左上:NTr3 , 右上:NTr4 , 左下:仮想的な NMOS(Tr44) , 右下:NTr6 . 縦軸: ΔV_{th} [V] , 横軸:蓄積した正電荷の濃度 [cm^{-3}] , 赤点が GOX , 青点が BOX .

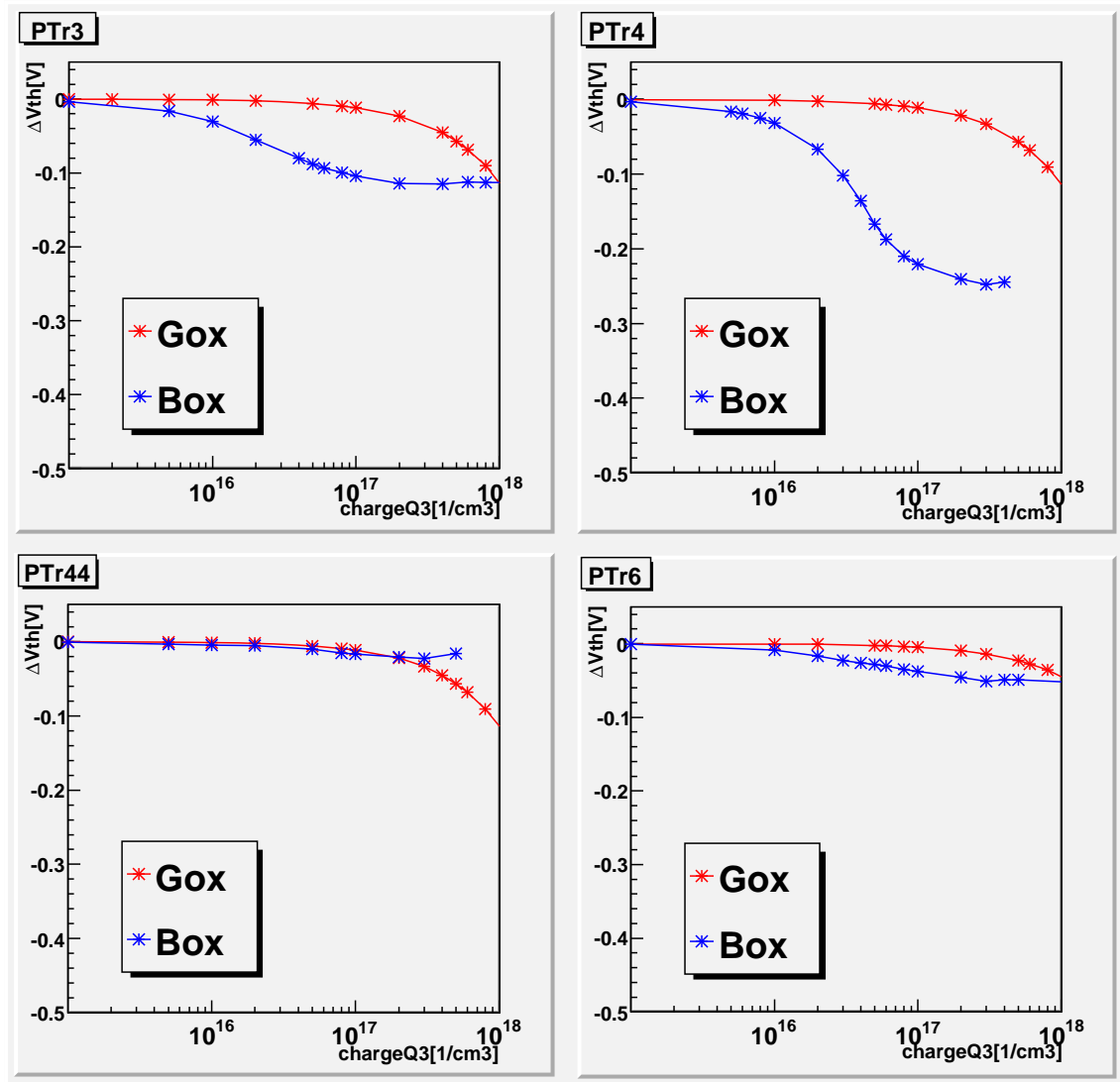
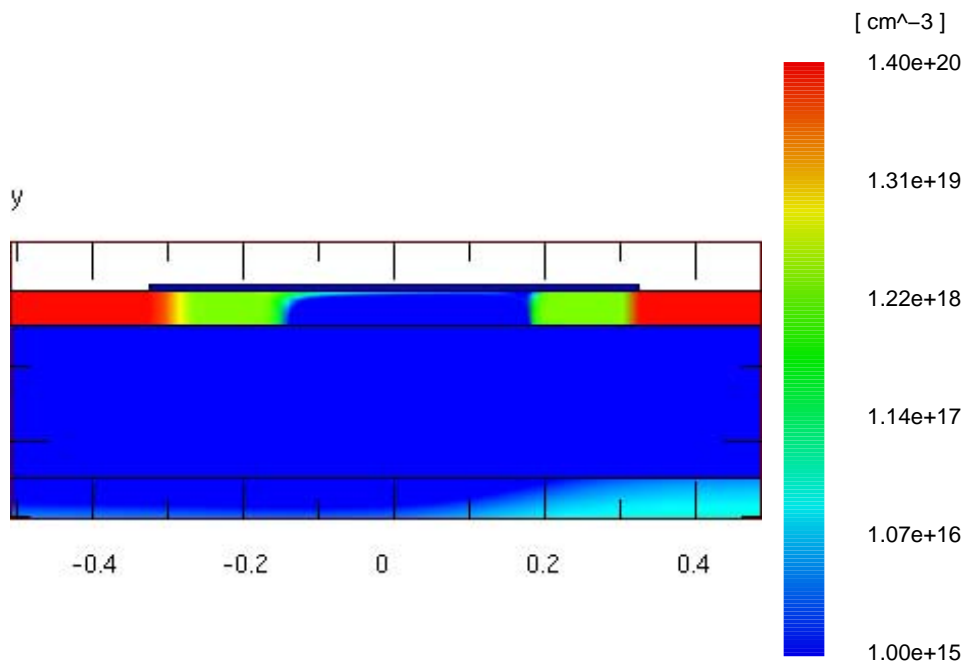
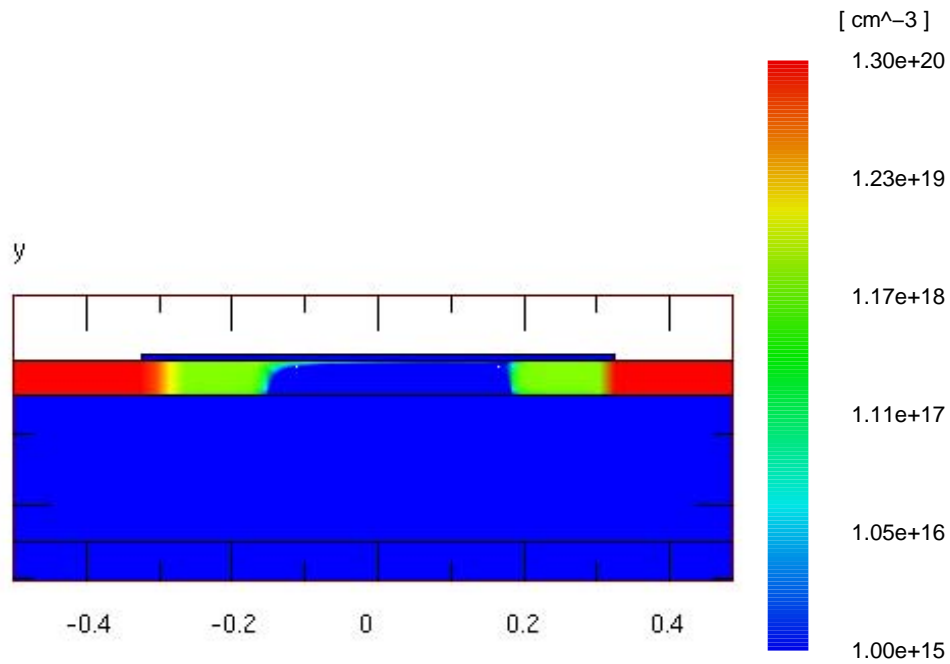


図 4.10: TCAD で PMOS の酸化膜に正電荷を一様に蓄積させたときの ΔV_{th} . 左上:PTR3 , 右上:PTR4 , 左下:仮想的な PMOS(Tr44) , 右下:PTR6 . 縦軸: ΔV_{th} [V] , 横軸:蓄積した正電荷の濃度 [cm^{-3}] , 赤点が GOX , 青点が BOX .

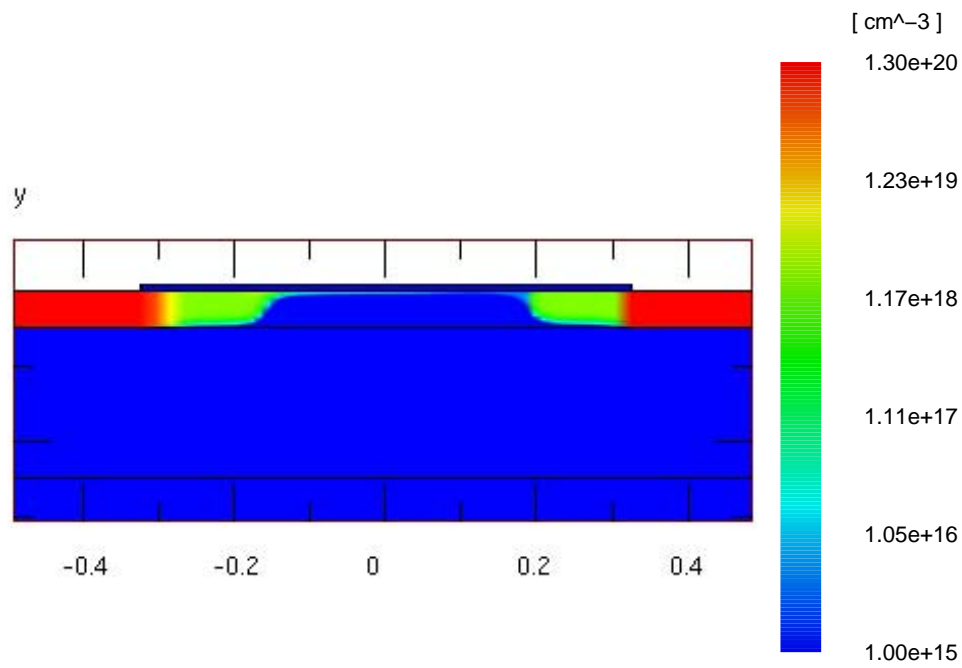


(a) 蓄積電荷密度： $1 \times 10^{16} \text{ cm}^{-3}$, $V_{th}=1.3\text{V}$

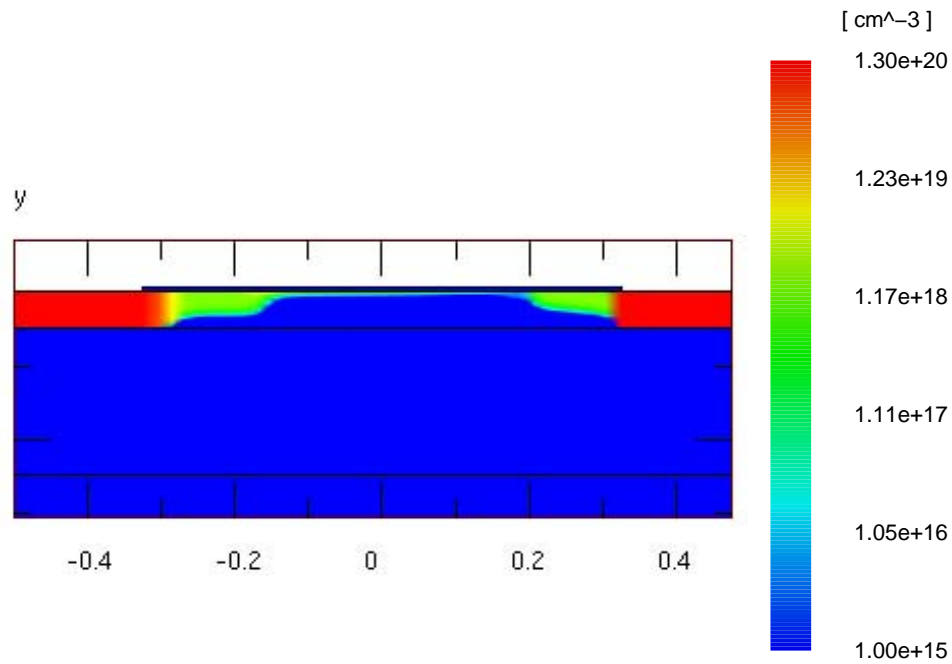


(b) 蓄積電荷密度： $5 \times 10^{16} \text{ cm}^{-3}$, $V_{th}=1.18\text{V}$

図 4.11: TCAD で PT4 の BOX に正電荷を置いたときのホール濃度分布 . 図下の数字は , BOX に置いた正電荷の密度 .



(a) 蓄積電荷密度： $2 \times 10^{17} \text{ cm}^{-3}$, $V_{th}=1.06\text{V}$



(b) 蓄積電荷密度： $5 \times 10^{17} \text{ cm}^{-3}$, $V_{th}=1.06\text{V}$

図 4.12: TCAD で PTn4 の BOX に正電荷を置いたときのホール濃度分布．図下の数字は，BOX に置いた正電荷の密度．

影響を受けて、PTr6 に大きな違いが出ていることが予想できる。GOX と BOX とでは形成過程が異なるため、必ずしも照射によって同量の正電荷が蓄積されるとは限らないが、一般的に nm のスケールの酸化膜厚では、トンネル効果により電荷蓄積が少なくなることも知られている。これらの考察から GOX での電荷蓄積が BOX よりもはるかに多くなることは考えにくく、TCAD の結果からも寄与が小さくなり、少なくとも低照射量では GOX からの寄与は無視してよいと思われる。以下ではこの仮定を採用する。

NMOS でも GOX と BOX に関する影響については同様の仮定ができる。但し、NTr3 と NTr4 とに顕著な差がないため、NTr3 と NTr4 は、酸化膜内電荷からの影響としては照射量とともに同程度に推移し、NTr6 が少なめの変化をする。これは高照射量でも同様であるが、GOX の影響を考慮すべきであるのは PMOS の場合と同様である。

4.3.4 電荷蓄積による S 値の変化

スイング値 S とはサブスレッシュヨルド特性を表すパラメータであり，電流を一桁増やすのに必要なゲート電圧を表している．単位は，[mV/dec]． S の定義 [12] は，

$$S = \frac{dV_G}{d\log(I_{rmDS})}$$

である．FD-SOI のとき，界面の電荷を考慮すると，

$$S = \frac{kT}{q} \ln(10) \left[\left(1 + \frac{C_{it1}}{C_{OX1}} + \frac{C_{Si}}{C_{OX1}} \right) - \frac{\frac{C_{Si}}{C_{OX2}} \frac{C_{Si}}{C_{OX1}}}{1 + \frac{C_{it2}}{C_{OX2}} + \frac{C_{Si}}{C_{OX2}}} \right]$$

と表現できる．ここで， V_G ：ゲート電圧， $C_{it1} = qN_{it1}$ ：GOX-Si 境界電荷容量， $C_{it2} = qN_{it2}$ ：BOX-Si 境界電荷容量， C_{OX1} ：GOX 容量， C_{OX2} ：BOX 容量， $C_{Si} = \epsilon_{Si}/t_{Si}$ (t_{Si} はシリコンフィルムの厚さ)：チャンネル部シリコン容量．

この式から， S 値には，酸化膜の電荷蓄積だけでなく，酸化膜-シリコン界面の電荷が影響することがわかる．

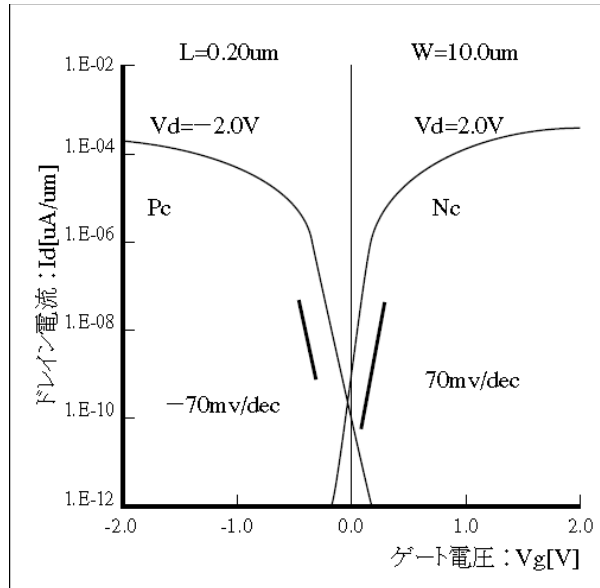


図 4.13: 0.2 μm SOI トランジスタサブスレッシュヨルド特性 [2]． S 値は，直線のサブスレッシュヨルド領域の傾き (曲線横の太直線) の逆数に現れる．

陽子線照射前後のトランジスタの S 値を I_D - V_{GS} 曲線から求めた．サブスレッシュヨルド領域で指数の傾きを a とすると，

$$S = \frac{1}{a \times \log(e)} \times 1000$$

で求められる．図 4.14 に赤線 (NMOS Tr4, 照射量: 1.35×10^{12} 1-MeV $n_{\text{eq}} \text{ cm}^{-2}$) の I_D - V_{GS} 曲線へのフィッティングの様子を示す． $V_{DS} = 1.8 \text{ V}$ では，キャリアの加速が高く TCAD では一部再現できない範囲があるので，閾値電圧以下でのキャリアに与える影響を低減させるため， V_{DS} が小

さい $V_{DS}=0.1$ V の測定データを扱った．閾値電流 ($50 \mu\text{A}$) よりも小さな電流の指数部分 0.2 V 区間を用いてフィッティングした．図 4.14 の場合，黒，赤，緑のように，漏れ電流が小さいものは， $10^{-9} < I_D < 10^{-6}$ A 程度の線形性のよい V_{GS} 範囲でフィッティングする．青，ピンクのように，漏れ電流が大きい場合は，線形性のよい部分をフィッティングする．このようにして導出した NMOS の S 値を図 4.15 に示す．PMOS も同様に図 4.16 に示す．

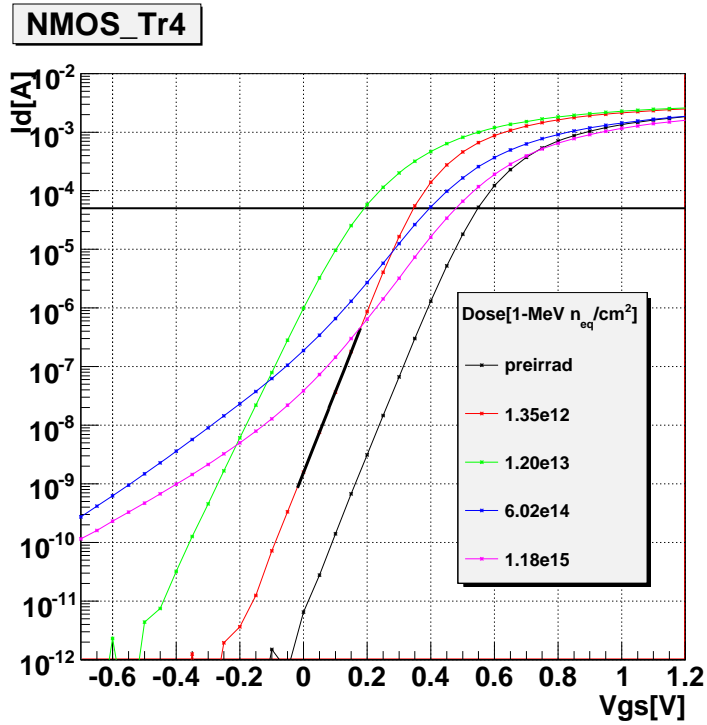


図 4.14: サブスレッシュヨルド領域のフィッティング (赤線)．縦軸：対数 I_D [A]，横軸： V_{GS} [V]．黒横線は，閾値電圧での電流 ($50 \mu\text{A}$)．

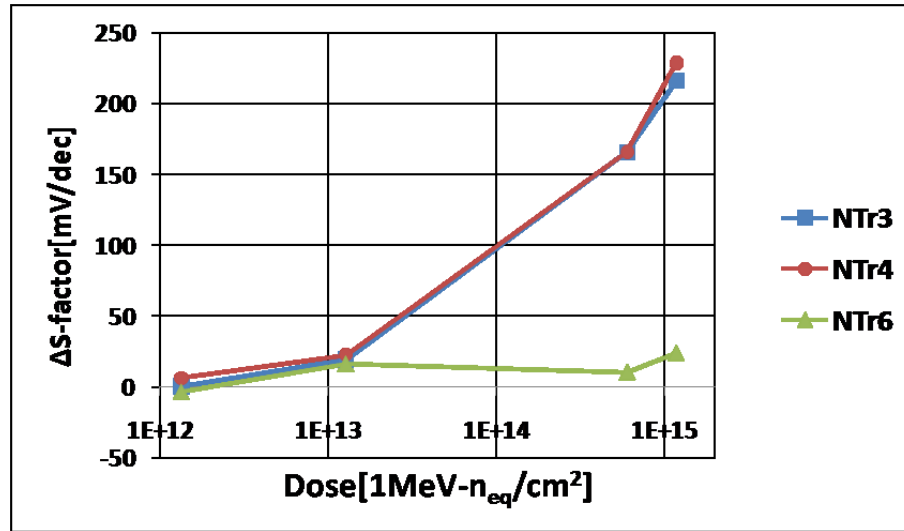


図 4.15: 陽子線照射による NMOS トランジスタの S 値の変化．縦軸： ΔS [mV/dec]，横軸：照射量 (対数)[1-MeV n_{eq} cm⁻²]

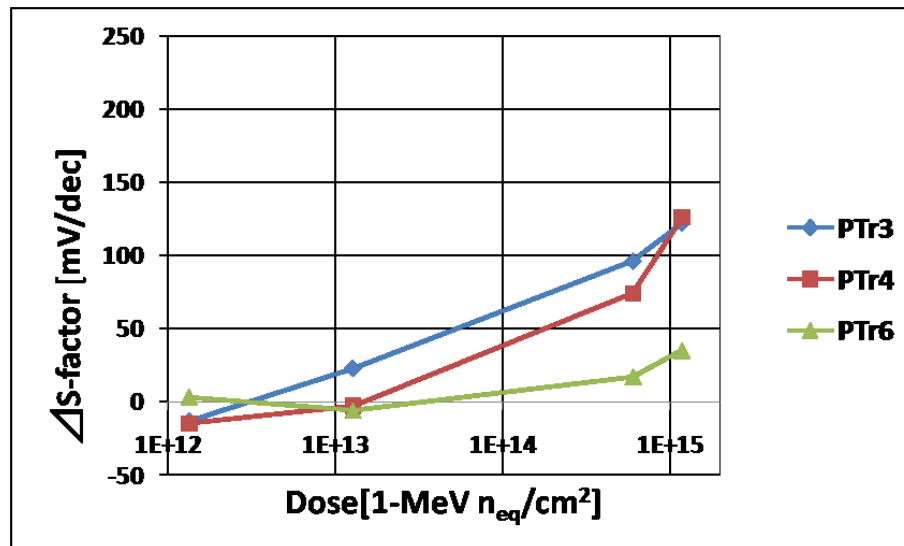


図 4.16: 陽子線照射による PMOS トランジスタの S 値の変化．

4.4 NMOS の蓄積電荷見積もり

NMOS の照射による V_{th} の変化 ΔV_{th} の測定結果を図 4.17 示す． V_{th} [V] は， $I_{ds}=0.1*W/L[\mu A]$ となる電圧で定義する．図のトランジスタは $W/L=500$ であるので， $I_{DS}=50 \mu A$ の時のゲート電圧が V_{th} である．測定データは，BPW なしで $V_{backgate}=0 V$ ， $V_{DS}=1.8 V$ のものを用いた．

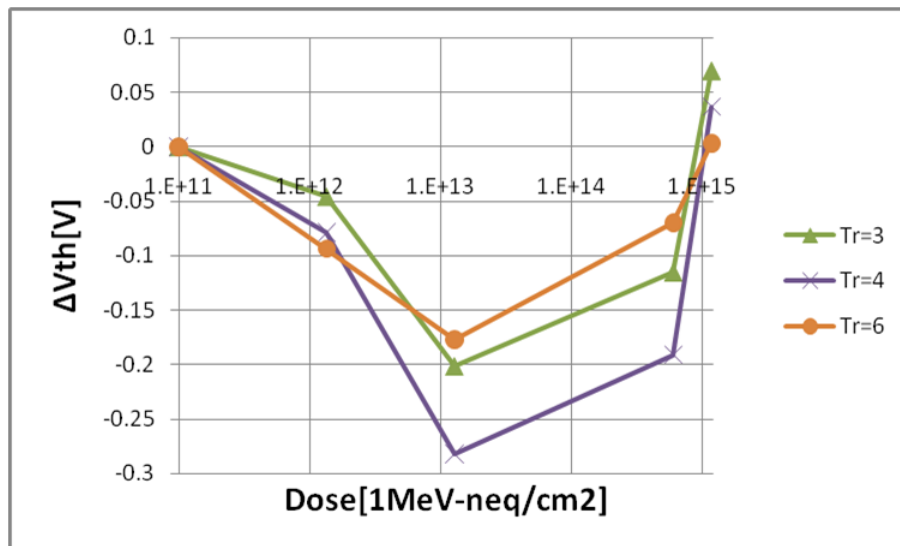


図 4.17: 陽子線照射による NMOS トランジスタの閾値変化の測定．左端のデータは未照射．

4.4.1 NMOS 低照射量での ΔV_{th} の再現

測定された ΔV_{th} を，TCAD で電荷を蓄積させることによって再現することを試みる．まず再現の上で，パラメータを減らすために次のような仮定をした．

- 図 4.3, 4.4, 4.5 に示されるように，BOX-基板 (BOX-Sub) 界面の電荷は， ΔV_{th} にほとんど影響を与えないことから，この界面は無視してシミュレーションを行なう．
- 4.3.3 の最後で述べたように，BOX と GOX 2 つの酸化膜に蓄積させる電荷密度を同じとする．GOX の影響は小さいのでこの仮定でも構わない．
- GOX-Si と BOX-Si はやはり形成方法が異なるため，電荷蓄積が異なる．しかし，図 4.18 に示すように，FD-SOI では両方の界面電荷の影響は個別に電荷をおいた場合の和でよく記述できる．この仮定における界面電荷は，両界面の実効的な平均電荷密度とみなせる．

この仮定に従い，Si-SiO₂ 界面の電荷密度を Q_2 [cm⁻²] とし，SiO₂ の電荷密度を Q_3 [cm⁻³] と表記することにする．

照射量 1.28×10^{13} 1-MeVneq cm⁻² の ΔV_{th} の測定結果について，GOX 厚みが等しい Tr3, Tr4 の差と各値が再現できるような Q_2 , Q_3 を求めたい．そのために，以下のような手順で Q_2 , Q_3 を求めた．

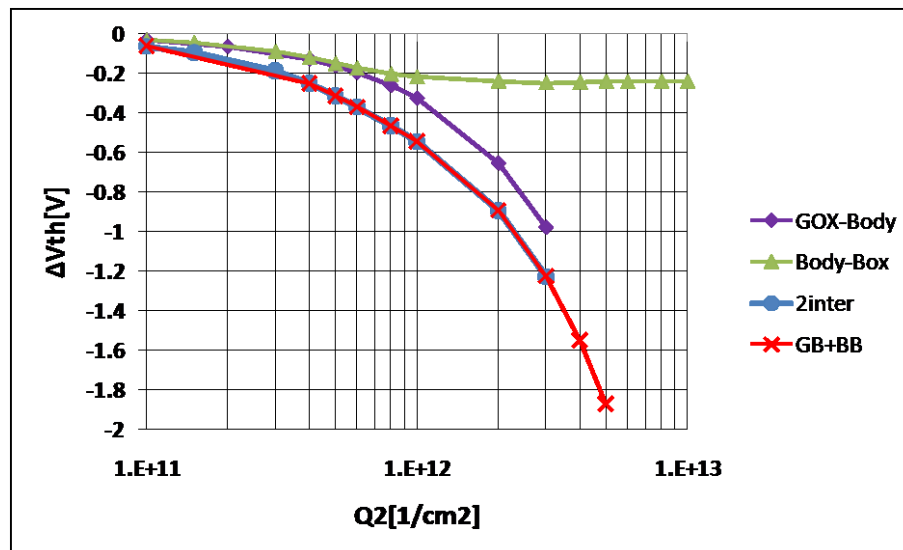


図 4.18: シリコン-酸化膜界面による閾値変化の TCAD シミュレーション (PMOS Tr4) . 電荷を置いた場所を色で示し (紫) GOX-チャンネル部シリコン界面 (緑) チャンネル部シリコン-BOX 界面, (青) 2カ所の界面に等量電荷. 赤は, 紫と緑の値を足し合わせたものである. 二つの界面のトラップによる ΔV_{th} が, それぞれの ΔV_{th} の和と一致していることがわかる.

1. Tr3 と Tr4 の ΔV_{th} の差を再現するような Q_2 , Q_3 の点を TCAD で求める.
2. 求めた Q_3 を与えたときに, Tr3 の ΔV_{th} を再現するような Q_2 を TCAD で求める.
3. 同様に Tr4 についても, Q_3 に対する Q_2 を求める.

これを, 1. で別の組み合わせの Q_2 , Q_3 を求めて繰り返す. この 3 点を Q_2 , Q_3 座標にプロットし, 3 点の交点が, Tr3 と Tr4 の ΔV_{th} の差と, Tr3, Tr4 の ΔV_{th} を再現する電荷密度になる. この手順ではチャンネル密度が異なるので, NTr3 と NTr4 では界面密度 Q_2 のみ異なると考えている.

操作の結果を図 4.19 に示す.

この結果, 照射量 1.28×10^{13} 1-MeV $n_{eq} \text{ cm}^{-2}$ 陽子線照射後, 酸化膜部分には, $7.8 \times 10^{16} \text{ cm}^{-3}$ の正電荷が, 酸化膜とシリコンの境界面には, $1 \times 10^{11} \text{ cm}^{-2}$ の負電荷が蓄積されたと見積もられる.

同様にして, 照射量 1.35×10^{12} 1-MeV $n_{eq} \text{ cm}^{-2}$ 照射後サンプルについても, 酸化膜部分と酸化膜シリコン界面の電荷を見積もった. 酸化膜部分には, $1.09 \times 10^{17} \text{ cm}^{-3}$ の正電荷が, 酸化膜とシリコンの境界面には, $5.01 \times 10^{11} \text{ cm}^{-2}$ の負電荷が蓄積されたと見積もられる.

二つの照射量に対する蓄積電荷量を比べると, 照射量の大きい 1.28×10^{13} 1-MeV $n_{eq} \text{ cm}^{-2}$ 照射後のサンプルの方が, 酸化膜, 境界面ともに蓄積電荷が小さいという数値になった. Q_2 と Q_3 の電荷符号が異なるため, 片方の評価のずれがあると, それを打ち消そうと他方の値もずれる.

2次元で行っている TCAD の評価では, 短チャンネル効果は評価できていない. そのために, 今回は同じ W/L 値の Tr3 と Tr4 採用し, 評価ができていない短チャンネル効果は差をとることで違いがないことを期待した. しかしながら, TCAD ではほとんど NTr3 と NTr4 で蓄積電荷量に対する違いがなく, それに基づきながら, 測定値の差に合わせるように評価をしたために結果の不確か

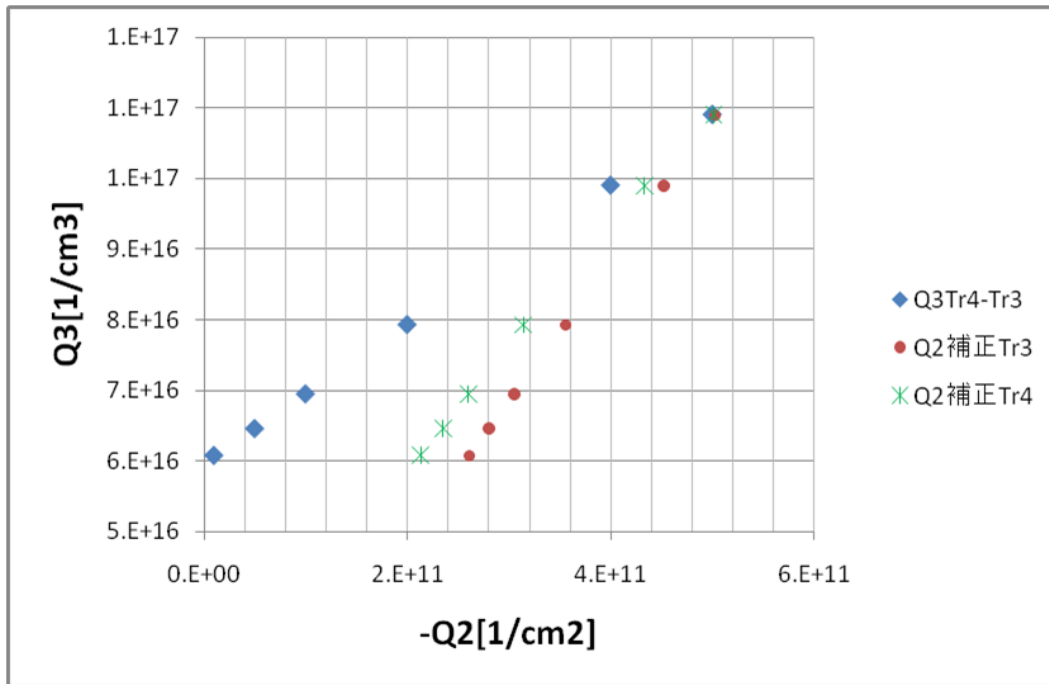


図 4.19: 照射量 1.28×10^{13} 1-MeV $n_{eq} \text{ cm}^{-2}$ の NMOS の ΔV_{th} を再現する Q_2 と Q_3 の組み合わせ．青点は，Tr3 と Tr4 の ΔV_{th} の差を再現する組み合わせ．赤点は，青点の Q_3 をおいたときに Tr3 の ΔV_{th} を再現する Q_2 をプロットしたもの．緑点は Tr4 について同様にプロットしたもの．

さが極めて大きいものと考えられる．評価の不確かさを評価するとともに，別の情報として S 値の測定結果を再現するような Q_2, Q_3 を評価することが必要である．

4.5 PMOSの蓄積電荷見積もり

陽子照射による PMOS の ΔV_{th} の測定結果を図 4.20 に示す．この測定データは，BPW なし， $V_{backgate}=0\text{ V}$ ， $V_{ds}=-1.8\text{ V}$ のものである．

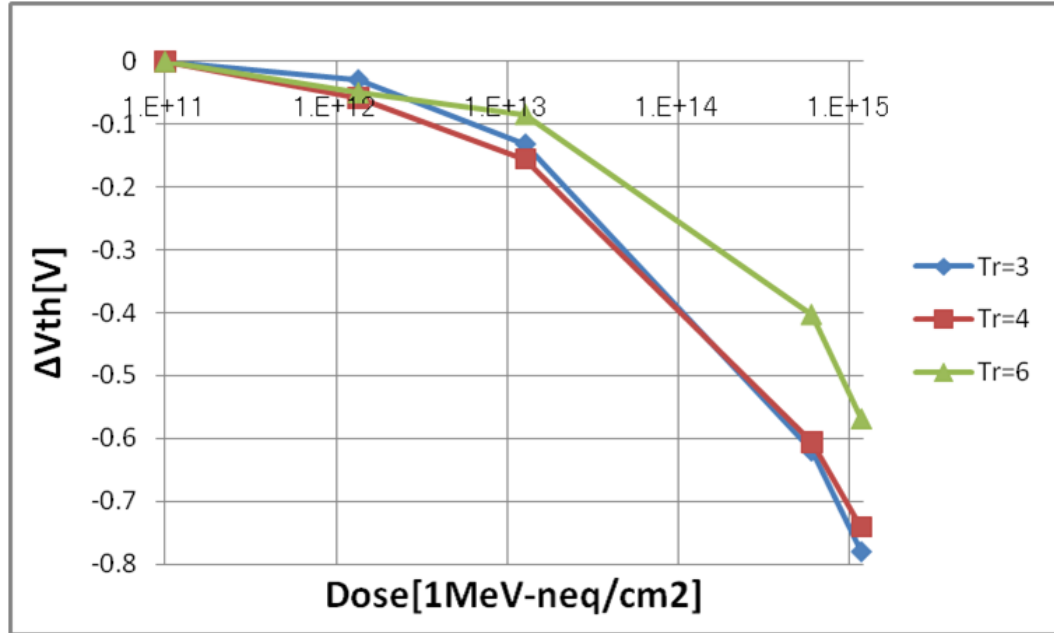


図 4.20: PMOSトランジスタの閾値変化の測定．左端は未照射．

4.5.1 PMOS 低照射量での ΔV_{th} の再現

蓄積電荷の見積もり

NMOS のときと同様，チャンネルシリコン部の不純物濃度のみが異なる Tr3 と Tr4 を用いて，酸化膜部分と酸化膜-シリコン界面に蓄積された電荷をそれぞれ見積もる．TCAD を使ったシミュレーション方法は，Tr3 と Tr4 の ΔV_{th} の差と ΔV_{th} の平均を再現した．これは，2 つのトランジスタの ΔV_{th} を同時に再現する NMOS のときの評価と同じである．

照射量 1.28×10^{13} 1-MeV $n_{eq} \text{ cm}^{-2}$ の測定結果について，NMOS と同じ仮定で Q_2, Q_3 を求めた．Tr3, Tr4 の測定の ΔV_{th} の差と， ΔV_{th} の平均： $(\Delta V_{th}(\text{Tr3}) + \Delta V_{th}(\text{Tr4})) / 2$ を再現する Q_2, Q_3 の組み合わせをそれぞれ求め，プロットして交点を求めた．

操作の結果を図 4.21 に示す．

同様にして，図 4.22 のように照射量 1.35×10^{12} 1-MeV $n_{eq} \text{ cm}^{-2}$ 照射後サンプルについても，酸化膜部分と酸化膜シリコン界面の電荷を見積もった．

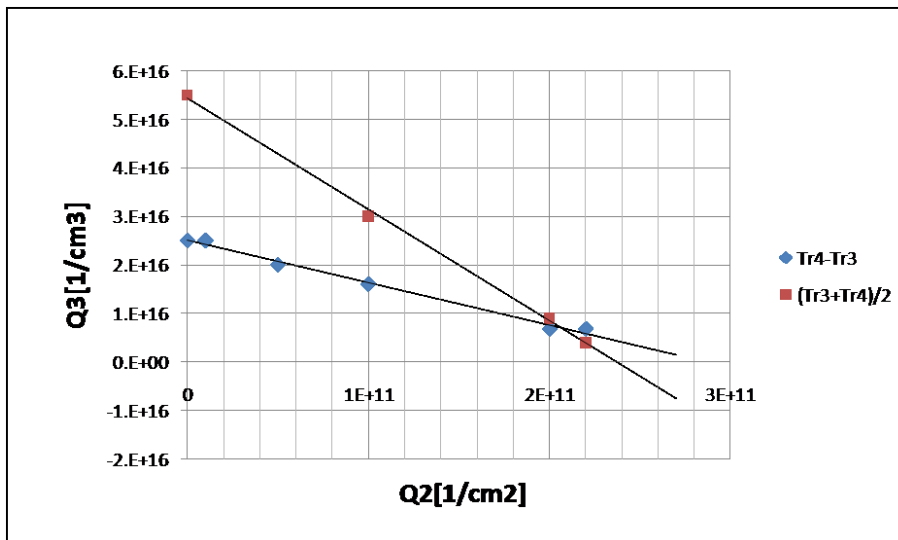


図 4.21: 照射量 $1.28 \times 10^{13} \text{ 1-MeV} n_{\text{eq}} \text{ cm}^{-2}$ の PMOS Tr3, Tr4 の ΔV_{th} の差と平均を再現する Q_2 , Q_3 の組み合わせ．青点は差，赤点は平均の直線である．

酸化膜部分には、 $3.39 \times 10^{16} \text{ 1/cm}^3$ の正電荷が、酸化膜とシリコンの境界面には、 $1.08 \times 10^{11} \text{ 1/cm}^2$ の負電荷が蓄積されたと見積もられた．

二つの照射量に対する蓄積電荷を比べると、 10^{12} から $10^{13} \text{ 1-MeV} n_{\text{eq}} \text{ cm}^{-2}$ の照射で、境界面の蓄積電荷の符号が負から正に変化する可能性は否定できないが、照射量の大きい $1.28 \times 10^{13} \text{ 1-MeV} n_{\text{eq}} \text{ cm}^{-2}$ 照射後のサンプルの方が、酸化膜部分の蓄積電荷が小さいという数値は予測と異なる．統計的处理によって、この結果が理解できるかどうか考察した．

蓄積電荷見積もりの不確かさ

測定 of 統計量を増やすために、BPW なしの結果に加え、BPW 構造あり ($V_{\text{BPW}} = \text{Floating}, 0\text{V}, 1.8\text{V}$ のもの) 全 4 種のサンプルを用いて、測定 of 平均と不確かさを評価した．測定データは多少ばらついているが、低照射量では、PMOS の ΔV_{th} は、BPW の有無に依存しないことが TCAD によって示されている．測定 of ばらつきから、 $\Delta V_{th}(\text{Tr3})$ と $\Delta V_{th}(\text{Tr4})$ の差と平均 of 不確かさを見積もる．不確かさを評価した上で、2 つ of 照射量に対する Q_2 , Q_3 の値 of 不確かさを求める．

TrTEG の測定では、 $V_{gs} = 0.05 \text{ V}$ 間隔でデータをとおり、 $I_D = 50 \mu\text{A}$ をはさむ二点を内挿して V_{th} を求めている．Tr3 の場合で内挿関数 of とりかたや、曲線から of データ点 of ずれなどから不確かさをとめ、

$$\Delta_1 \sim 0.005 \text{ V}$$

と見積もられた．

また、BPW なし、BPW = Floating, BPW = V, BPW = 1.8V のデータの Tr3 と Tr4 の閾値に対して、差 $x_- = \Delta V_{th}(\text{Tr3}) - \Delta V_{th}(\text{Tr4})$ と平均値 $x_+ = (\Delta V_{th}(\text{Tr3}) + \Delta V_{th}(\text{Tr4}))/2$ について、それぞれの中心値を $\langle x_- \rangle$, $\langle x_+ \rangle$ とする．

これら中心値 of ばらつきは、例えば 4 つ of x_- のうちの最大値 $\text{Max}(x_-)$, 最小値 $\text{Min}(x_-)$ とし、

$$\Delta_2 = [\text{Max}(x_-) - \text{Min}(x_-)] / \sqrt{12}$$

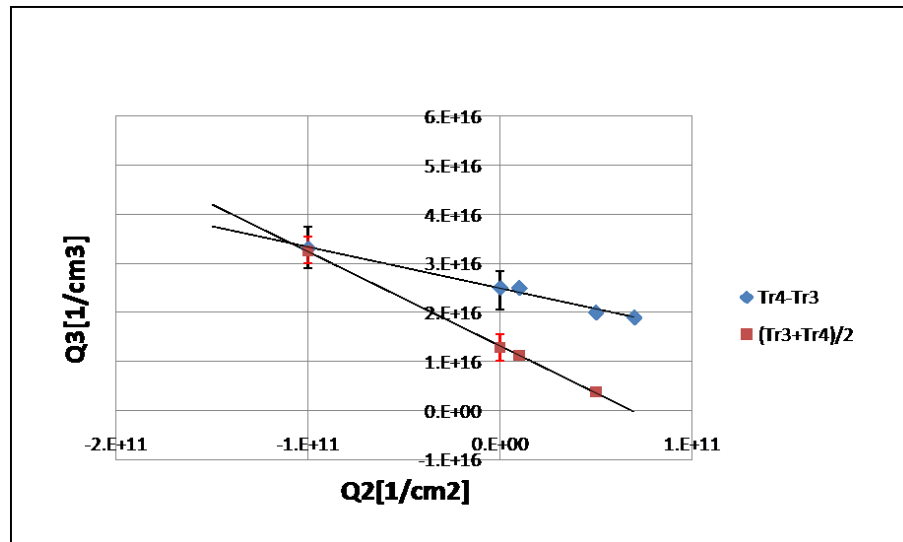


図 4.22: 照射量 1.35×10^{12} 1-MeV $n_{eq} \text{ cm}^{-2}$ の PMOS Tr3, Tr4 の ΔV_{th} の差と平均を再現する Q_2 , Q_3 の組み合わせ .

とした .

$\langle x- \rangle$ の最終的な不確かさは ,

$$\delta x- = \sqrt{\Delta_1^2 + \Delta_2^2 \times 2} \quad (4.1)$$

このとき Δ_2 にかかっている定数 2 は , データの信頼性を表わすファクターである . 同様に , $\langle x+ \rangle$ についても不確かさを評価した .

照射量 1.35×10^{12} 1-MeV $n_{eq} \text{ cm}^{-2}$ において ,

$$\begin{aligned} \langle x- \rangle &= 0.020 \pm 0.008 \text{ V} \\ \langle x+ \rangle &= -0.042 \pm 0.008 \text{ V} \end{aligned}$$

照射量 1.28×10^{13} 1-MeV $n_{eq} \text{ cm}^{-2}$ において ,

$$\begin{aligned} \langle x- \rangle &= 0.020 \pm 0.008 \text{ V} \\ \langle x+ \rangle &= -0.14 \pm 0.01 \text{ V} \end{aligned}$$

この不確かさの範囲内で , ΔV_{th} を再現する Q_2 , Q_3 を TCAD で求めた . その結果 , 照射量 1.35×10^{12} 1-MeV $n_{eq} \text{ cm}^{-2}$ では ,

$$\begin{aligned} Q_2 &= -(1.1_{-0.6}^{+0.5}) \times 10^{11} \text{ cm}^{-2} \\ Q_3 &= (3.3_{-0.5}^{+0.6}) \times 10^{16} \text{ cm}^{-3} \end{aligned}$$

照射量 1.28×10^{13} 1-MeV $n_{eq} \text{ cm}^{-2}$ では ,

$$Q_2 = (2.1_{-0.5}^{+0.5}) \times 10^{11} \text{ cm}^{-2}$$

$$Q_3 = (6.9_{-5.7}^{+4.1}) \times 10^{15} \text{ cm}^{-3}$$

と見積もられた。

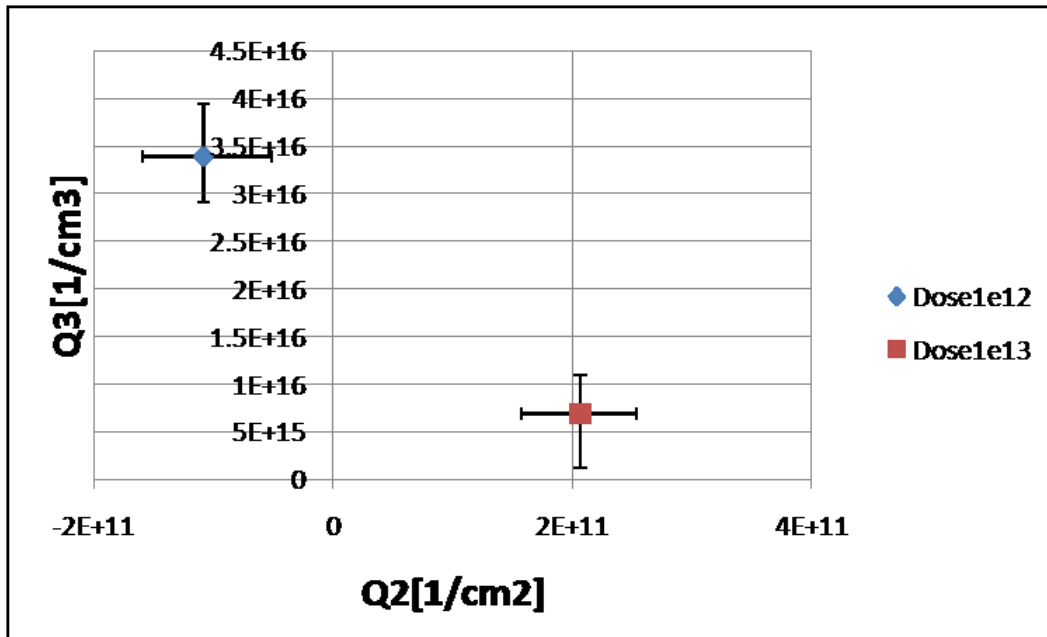


図 4.23: 照射量 1.35×10^{12} , 1.28×10^{13} 1-MeV $n_{eq} \text{ cm}^{-2}$ の酸化膜, シリコン-酸化膜境界面の蓄積電荷の見積もり。

第5章 結論

5.1 TOPPIXNの陽子線照射試験

1.4×10^{15} 1-MeV n_{eq}/cm^2 , 1.3×10^{16} 1-MeV n_{eq}/cm^2 , 陽子線照射を行ない, 照射前後で特性を測った.

- リセット信号応答によって, 照射後は, 回路の動作範囲がシフトすることがわかった.
- レーザー照射試験によって, 1.4×10^{15} 1-MeV n_{eq}/cm^2 照射後も可視光を検出できたことから, バイアス電圧の調整や冷却によって, 検出器として動作する範囲があることがわかった.
- 電圧を検出器の表側と裏側からかけて I-V 測定を行ない, 赤外線カメラによって電流発生の位置を特定した. 照射後も, バイアス電圧を加える電極の周辺で電流が発生している.

5.2 INTPIX 内トランジスタの陽子線照射

INTPIX3 に陽子線照射を行ない, トランジスタの I_d-V_{gs} 特性を測定することにより閾値の変化を測定した. 照射量は 1.35×10^{12} 1-MeV n_{eq}/cm^2 , 1.20×10^{13} 1-MeV n_{eq}/cm^2 , 6.02×10^{14} 1-MeV n_{eq}/cm^2 , 1.18×10^{15} 1-MeV n_{eq}/cm^2 である.

- 照射によって, 閾値が変化の様子がわかった. PMOS は照射量とともに単調に減少するが, NMOS は一度減少してから増加するリバウンド効果が見られた.
- $V_{backgate}=0V$ のときには, 埋め込み P ウェル (BPW) の有無や設定電圧によって閾値変化がみられないことがわかった.

5.3 TCADソフトによる, トランジスタへの電荷蓄積シミュレーション

SOI トランジスタにおける電荷蓄積の様子を理解することを目的に, 陽子線照射による TrTEG の閾値変化を TCAD ソフトウェアによる再現を試みた.

- TCAD シミュレーションによって, BOX の蓄積電荷による ΔV_{th} は, ゲート酸化膜の厚さに依存し, GOX の蓄積電荷による ΔV_{th} は, チャネル濃度に依存することを示した.
- 照射量 1.35×10^{12} 1-MeV n_{eq}/cm^2 では, PMOS の IO トランジスタの酸化膜, チャネル界面の電荷密度として $Q_2 = -(1.1_{+0.5}^{-0.6}) \times 10^{11}$ $1/cm^2$
BOX の電荷密度 $Q_3 = (3.4_{-0.5}^{+0.6}) \times 10^{16}$ $1/cm^3$

の電荷が蓄積すると見積もった.

- 照射量 1.28×10^{13} 1-MeV $n_{\text{eq}}/\text{cm}^2$ では , PMOS の IO トランジスタの
 $Q_2 = (2.1_{-0.5}^{+0.5}) \times 10^{11}$ 1/cm²
 $Q_3 = (6.9_{-5.7}^{+4.1}) \times 10^{15}$ 1/cm³

の電荷が蓄積すると見積もった .

謝辞

本研究をすすめるにあたり、たくさんの方々にお世話になりました。金信弘先生、受川史彦先生には、金曜セミナーや検出器ミーティングの際に的確なアドバイスをいただき感謝しております。また、研究者として学ぶべきところが多々あり、よい勉強になりました。

スタッフの方々には、色々な面でサポートいただきました。ありがとうございました。特に、武内先生、戸村さん、三宅さんには、PC 関係を始め技術的なご指導をいただきました。

そして、直接指導にあたって下さった原和彦先生は、いつも私達学生の教育に、奔走して下さいました。教育はもちろん、精神的にも支えてくださり、感謝の気持ちはここでは、書きつくせません。いつもご迷惑かけてばかりで、申し訳ありません。三年間、本当にお世話になりました。お体を大切に、特に放射線管理区域内での活動にはご注意下さい。

新井康夫先生を始め SOI グループの先生方には、たくさんご指導をいただきました。いつも、稚拙な発表を忍耐強く聞いてアドバイスを下さり、ありがとうございます。グループの恩恵にあずかりながら、あまり還元できなかったことを心苦しく思っております。よい勉強をさせていただき、ありがとうございました。

沖電気工業、OKI セミコンダクタの大野守史様、福田浩一様には、TCAD の技術面でサポートして下さり、大変感謝しております。

研究室の学生のみなさんには、日頃からお世話になりました。秘書の神代さんには、事務手続だけでなく、朝研究室に来る楽しみと、安心感をいただきました。そして、同期のみなさんのおかげで、居心地よい研究室生活が送れました。中でも、3 年間一緒に研究をした瀬賀智子さん、たくさん迷惑をかけました。本当にありがとう。SOI 四年生の小池君、新庄君にもお世話になりました。

最後に、経済的、精神的に支えてくれた両親に心から感謝いたします。

参考文献

- [1] 法元寛, “低消費電力 LSI を実現する SOI デバイス技術”, 沖テクニカルレビュー 2004 年 7 月/第 199 号 Vol.71 No.3.
- [2] 福田保裕, 伊藤秀二, 伊藤眞宏, “SOI-CMOS デバイス技術”, 沖テクニカルレビュー 2001 年 1 月/第 185 号 Vol.68 No.1.
- [3] SOIPIX collaboration group: KEK, JAXA/ISAS, U. of Tsukuba, U. of Osaka, Tohoku U., Kyoto U., Kyoto U. of Education, RIKEN, U. of Hawaii, SLAC, LBNL, U. of Padova, FNAL, Krakow, OKI SEMICONDUCTOR Co. Ltd., OKI SEMICONDUCTOR Miyagi Co. Ltd., <http://rd.kek.jp/project/soi/>
- [4] SOITEC 社 webpage, <http://www.soitec.com>
- [5] B. Dierickx, et al., “Integration of CMOS-electronics and particle detector diodes in high-resistivity silicon-on-insulator wafers”, IEEE Trans. Nucl. Sci., vol. 40-4 (1993) 753.
- [6] LHC webpage, <http://cern.ch/lhc/>
- [7] ATLAS Pixel detector:
http://atlasinfo.cern.ch/Atlas/GROUPS/INNER_DETECTOR/PIXELS/pixel.html
- [8] D. Pitzl et al., “Type inversion in silicon detectors”, Nucl. Instrum. Methods A311 (1992) 98.
- [9] A. Macchiolo et al., “Characterization of micro-strip detectors made with high resistivity n- and p-type Czochralski silicon”, Nucl. Instrum. Methods A573 (2007) 216.
- [10] S. M. Sze, “Physics of Semiconductor Devices”, Wiley-Interscience, New York, 1969.
- [11] TCAD インターナショナル社:
<http://www.tcad-international.com/product/tissien-process.html>.
- [12] Jean-Pierre Colinge “Silicon-on-insulator technology: materials to VLSI”, Springer (ISBN:1-4020-7773-4) 1997.
- [13] K. Hara, M. Kociyama, A. Mochizuki, T. Sega, Y. Arai, et al., “Radiation Resistance of SOI Pixel Devices Fabricated with OKI 0.15 um FD-SOI Technology”, IEEE Trans. on Nuclear Science, Vol/56-5, 2896 (2009).
- [14] 望月垂衣, 「Silicon-On-Insulator 技術を用いた読出し回路一体型シリコンピクセル検出器の開発研究」, 筑波大学数理物質科学研究科修士論文 (2008)

- [15] 廣瀬穰, 「SOI 技術を用いた一体型 Pixel 検出器用読み出しシステムの開発、及び積分型 Pixel 検出器の性能評価」, 大阪大学理学研究科修士論文 (2009)
- [16] 三枝祐司, 「SOI 技術を用いた半導体検出器の開発」, 東京工業大学理工学研究科修士論文 (2008)