

# LSI製造技術の基礎

先端加速器推進部

倉知 郁生

# Contents

1. 自己紹介 職務履歴から
2. 導入
3. 過去30年でのプロセス開発 DRAMを例にとり
4. プロセスフローの詳細説明 0.18-0.25um LOGICプロセスの例
5. 工程管理の課題
6. 今後のLSI開発の方向性
7. まとめ

# 職務経歴 (1)

- 1983.04 沖電気工業(株) 入社
- 1983.08-1991.11 DRAMのプロセスインテグレーション  
1.8/1.6/1.4/1.2/0.8/0.6um DRAM(64Kb/256Kb/1Mb/4Mb)開発  
DRAMのセル設計・評価  
MOSFETの設計・評価(特にホットキャリア/ESD耐性)  
WSix成膜プロセス導入とW-Polycideプロセス構築  
TiN(Ti)成膜プロセス導入とTiNバリアプロセス構築  
台湾系米国DRAM設計会社、ファンダリ立ち上げ
- 1991.12-1993.06 オレゴン州立大学 E&CE (Special Graduate Student)  
酸化膜トラップ・MOSFETホットキャリア劣化・寿命予測  
測定セットアップ構築  
アナログ・デジタル回路設計単位修得  
3 Full Paper + 1 Letter
- 1993.07-1996.09 DRAMプロセス技術課 係長  
0.4um DRAM(16Mb)開発  
DRAMのセル設計・評価  
Self-Align Contact Processの導入・他新規プロセス導入  
0.55um DRAM Process 台湾への技術トランスファ  
MVI(後のPromos)の工場立ち上げ

## 職務経歴 (2)

- 1996.10-1998.03 DRAMプロセス技術課 課長  
0.40-0.36um DRAM(16Mb)開発  
工場への移管・量産立ち上げ  
NANYA(台湾)への技術移管・工場立ち上げ  
0.36um DRAM混載プロセス開発  
MASK-ROM/SRAMセル設計
- 1998.04-2001.04 Flash混載プロセス技術課 課長  
0.5/0.35/0.25um Flash混載プロセス開発(ECU/民生)  
Flashセルのデータリテンション解析  
工場への移管・量産立ち上げ
- 2001.05-2002.03 宮城沖電気(株)開発部 出向・課長  
0.22um Logicプロセス開発  
0.25um Flashプロセス開発(米国SSTからの技術導入)  
中国GSMC創設のための技術移管開始
- 2002.04-2003.09 沖電気工業(株) プロセス開発部 課長・担当部長  
0.22um LOGIC, Emb.-Flash, 0.25um Flashプロセス開発  
GSMC Fab(上海)スタートアップ(Pj-Leader)、技術移管
- 2003.10-2005.03 P-FAB部 部長  
Foundry-out全般の業務(開発・生産維持・購入戦略・在庫管理)  
日本:1、台湾:2、中国:2、その他:1工場

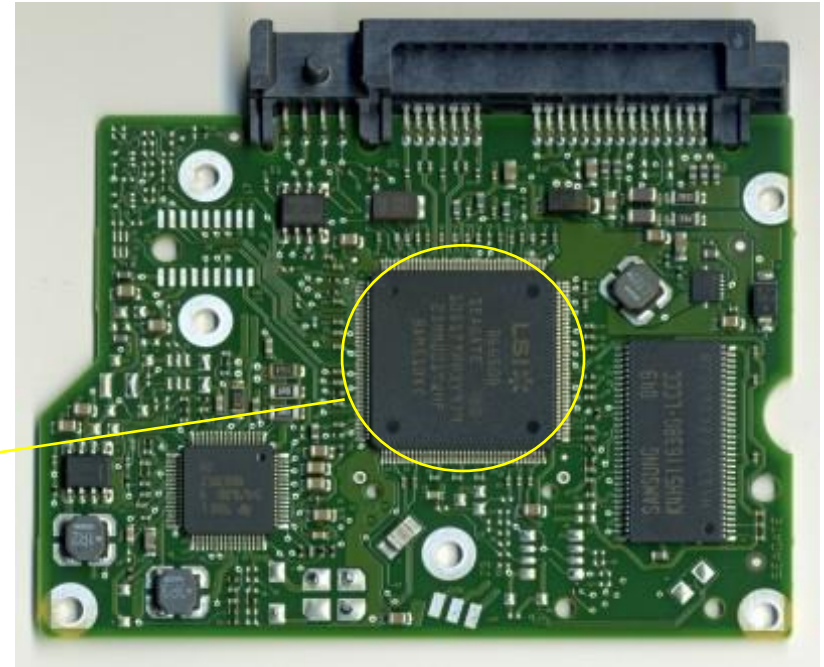
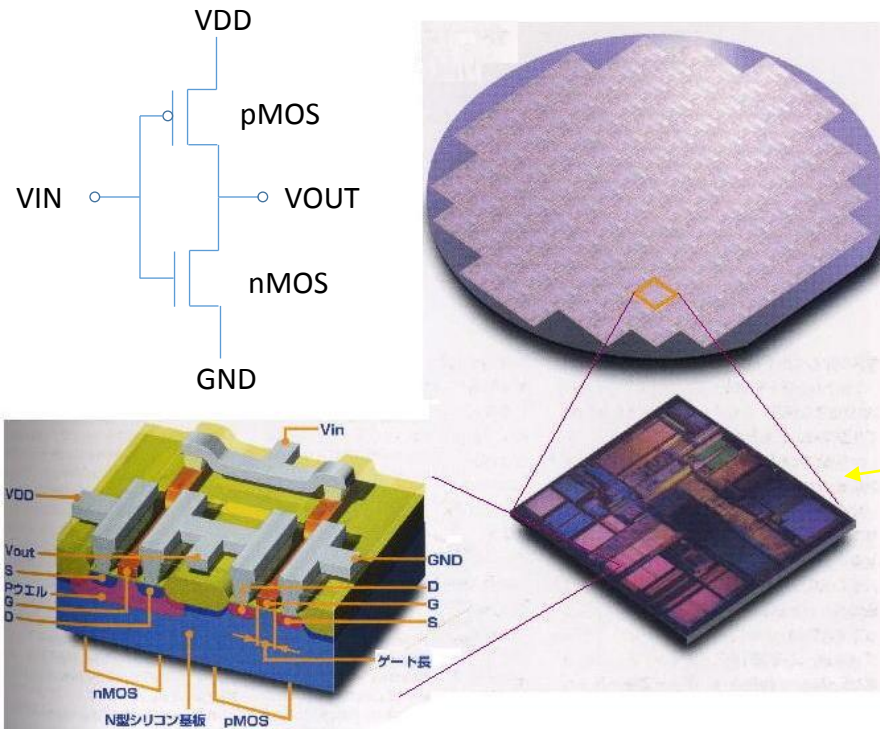
## 職務経歴 (3)

- 2005.04-2008.03 宮城沖電気(株) 開発部 出向・部長  
工場プロセス開発業務のマネジメント  
要素(ホトリソ・エッチング・成膜)技術  
0.15-0.13um NVM、0.22-0.18um LCD Driver  
0.22-0.15um LOGIC、0.35-0.15um SOI LOGIC  
エッチングダメージモニタリング NEDO (Pj-Leader)
- 2008.04-2008.09 沖電気工業(株) WP生産本部 開発統括部長  
新プロセス開発のプランニング・マネジメント
- 2008.10-2011.03 OKIセミコンダクタ(株) デバイス開発部 部長  
OKIセミ プロセス開発全般のマネジメント  
NVM、LCD Driver、SOI、Sensor、HV、TSV  
コスト削減の推進  
TCAD, パラメータ抽出(SPICE)
- 2011.04-2014.02 Powerchip Technology Corp.(台湾・新竹)  
VP Office Program Director  
30nm LP-DRAMプロセスの開発
- 2014.03-Current KEK 先端加速器推進部 特別教授

30年に及ぶデバイスプロセス開発経験、  
DRAMで始まりDRAMで終わる、3umから30nm、64Kbから4Gb

# 導入

開発されている測定器はLSI特性に左右される面が多い。  
ある特性を得るためにLSIをデザインされている方も多い。  
パターンレイアウトしているが、それぞれのパターンがどのようにLSIになっていくかわかりにくい。  
書かれたレイアウトがどのようにLSIになっていき、製造工程でどのように管理されているかを考える一助の提供。



LSIの高機能化・低コスト化を求めると。。。 → 素子微細化  
チップ当たり素子数の増大:高ファンクション  
素子間距離・容量低減:高スピード  
チップサイズ縮小によるコストダウン

微細化の変遷、プロセスフローを解説 LSI製造へのさらなる理解へつなげていただければ。。。。

# この30年でDRAMはどう変わった？（自らの経験から）

	1983年	2012年	
メモリ容量	64Kb	4Gb	(62500倍)
デザインルール	3um	30nm	(1/100) <sup>32768</sup>
セル構造	プレーナセル	スタックセル(シリンダ)	
キャパシタ絶縁膜	シリコン熱酸化膜	High-K絶縁膜	
セルトランジスタ	通常MOS	リセスゲート	
周辺トランジスタ	SD NMOS	LDD CMOS	
素子分離	LOCOS	STI	
平坦化	PSG & Reflow	CMP	
メタル層数	1 (Al-Si)	3 (Al-Cu)	
マスク数	6	~30	
露光機	反射プロジェクション(1:1)	ArF液浸スキャナ(4:1) ダブルパターニング	
ウエハ径	4インチ	12インチ	

# リソグラフィー技術の変遷

露光装置の短波長化と装置精度(アライメント)により、微細化がすすめられた。  
 基になるマスクは縮小露光により見かけ上の寸法精度向上できた。  
 解像度を上げるため高NA化、DOFマージン低下→ウエハ表面平坦化必須  
 マスクでの解像度改善: ハーフトーンマスク、フェイズシフター  
 パターン依存によるパターン寸法変動: OPC処理必須

テクノロジーノード[um]	3	2	1	0.8	0.6	0.5	0.35	0.25	0.18	0.09	0.065	0.045	...
マスク	1:1 マスター	5:1 レティクル					4:1 レティクル						
露光装置	反射プロ ジェクション アライナー	ステッパー g-line	ステッパー i-line			ステッパー KrF	スキャ ナ KrF	スキャナ ArF (Dry)	スキャナ ArF (Wet)				

今まで微細化を進めてきたが、先端では露光装置の高額化(うん10億)、マスクセットの高額化(億円単位)が生産できる製品を限定している。



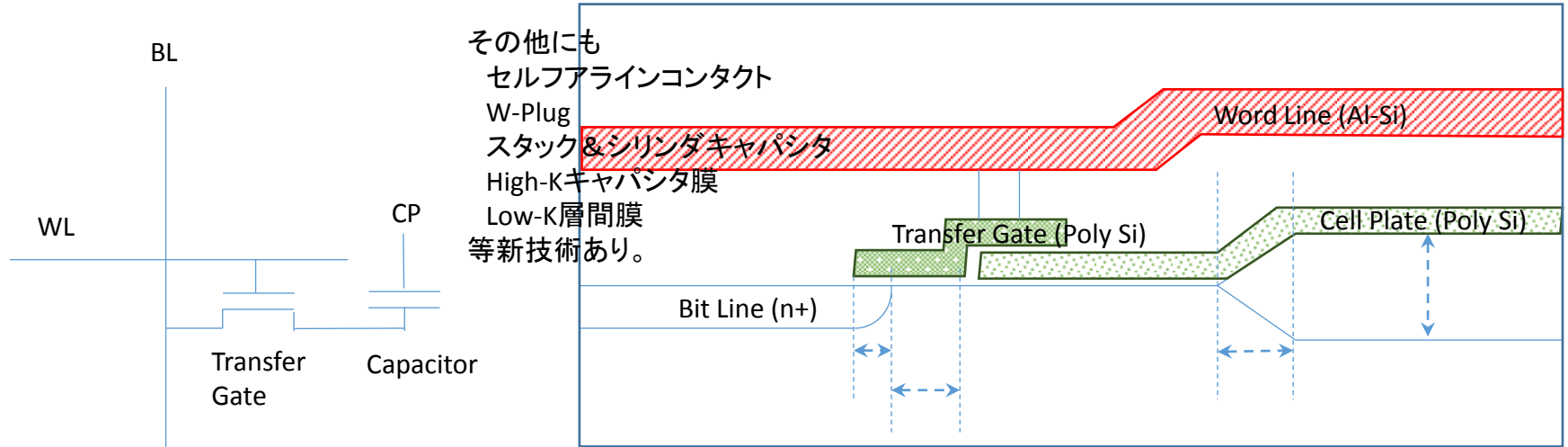
# 30年前のDRAM構造と微細化技術

DRAMセルは30年前から1T1Cで変わっていない。究極のセル。

メタル配線: 低抵抗化・マイグレーション  
Al系→(Cuダマシン)

Poly配線: 低抵抗化  
Poly Si→W-Polycide→(Salicide)→Metal Gate

平坦化: パターニング  
リフロー→SOG→エッチバック→CMP



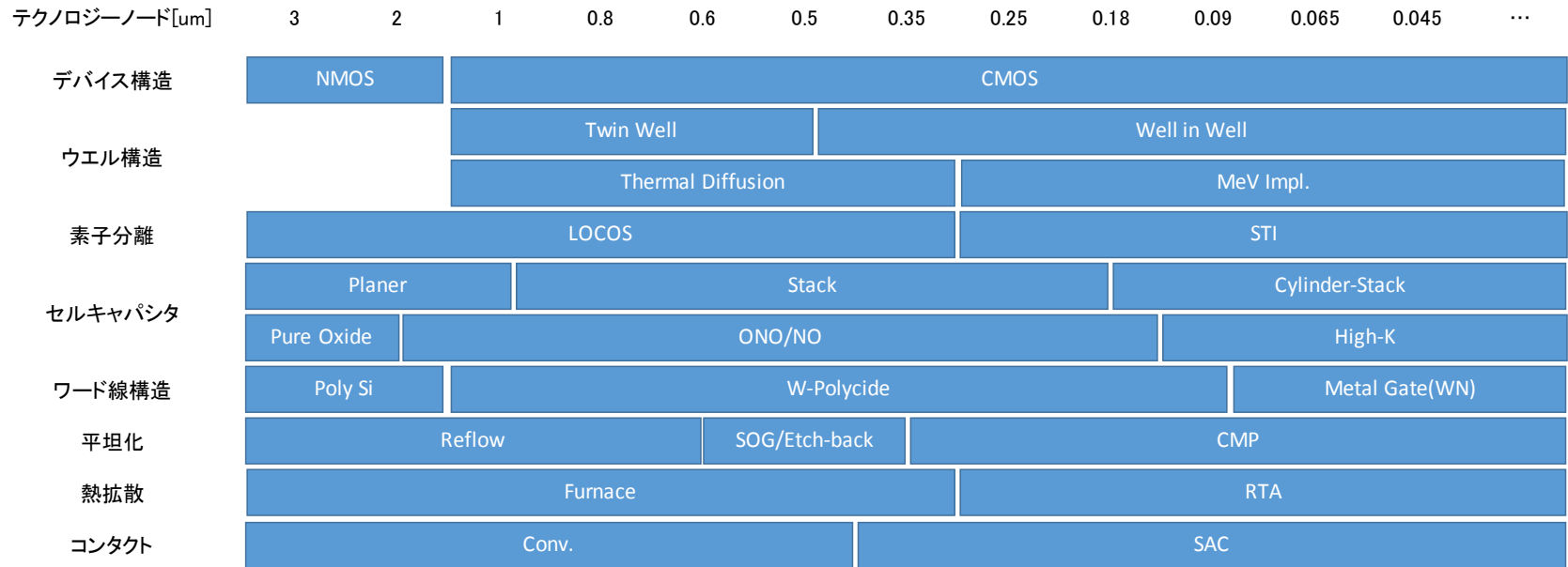
拡散層: むだ排除、低抵抗化  
炉拡散→RTA→Flash Anneal  
(Salicide化)

Tr: Leff縮小  
パンチスルー: チャネル高濃度化  
→ゲート薄膜化  
ドレイン電界緩和: LDD

素子分離: 分離特性維持  
寸法むだ排除  
LOCOS→STI

微細化に伴う特性劣化の改善と更なる縮小化(無駄取り)を進めてきた。

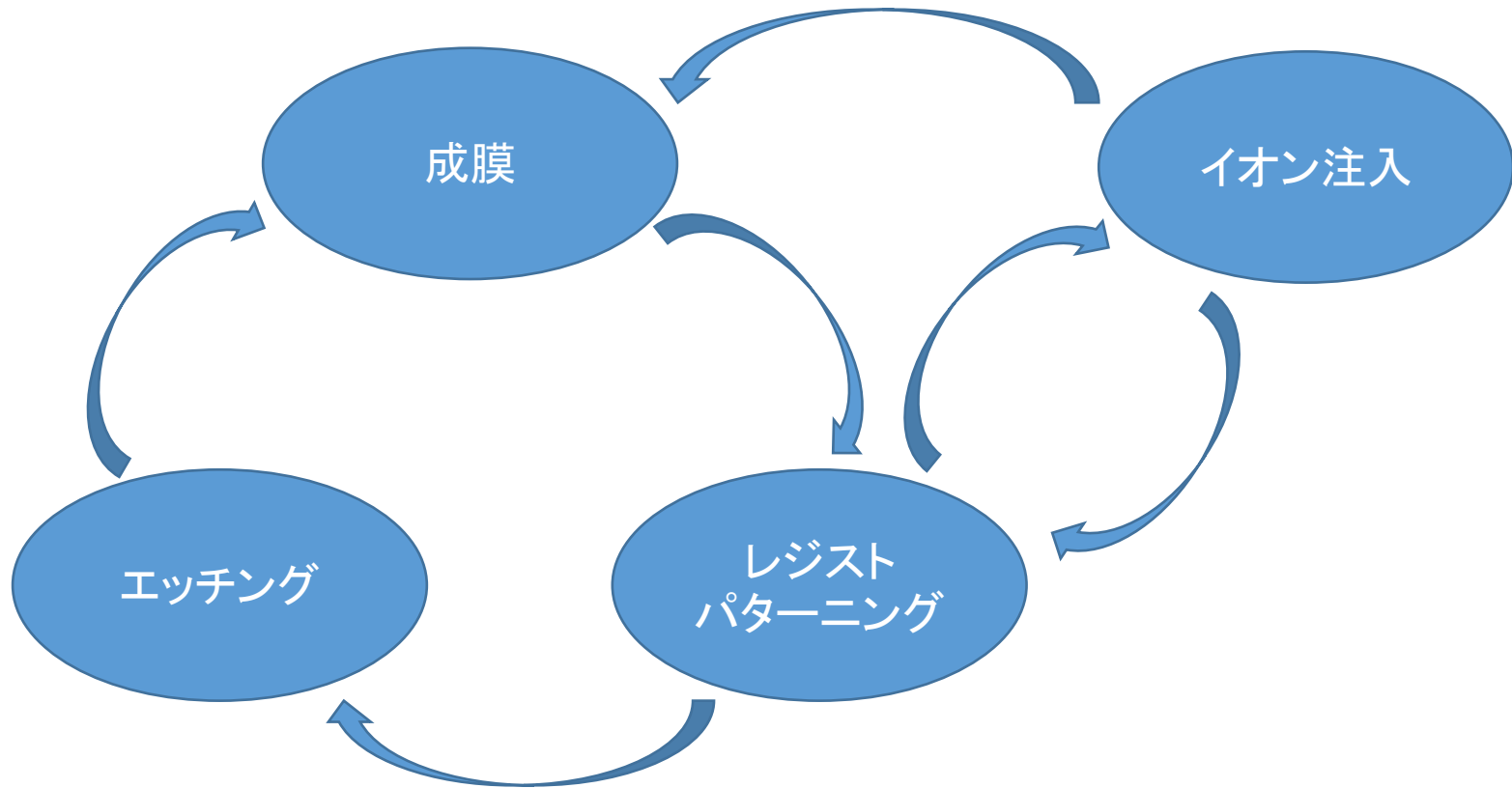
# DRAMプロセス技術の変遷



新構造(セルキャパシタ構造)、新材料導入で特性の維持を行ってきた。

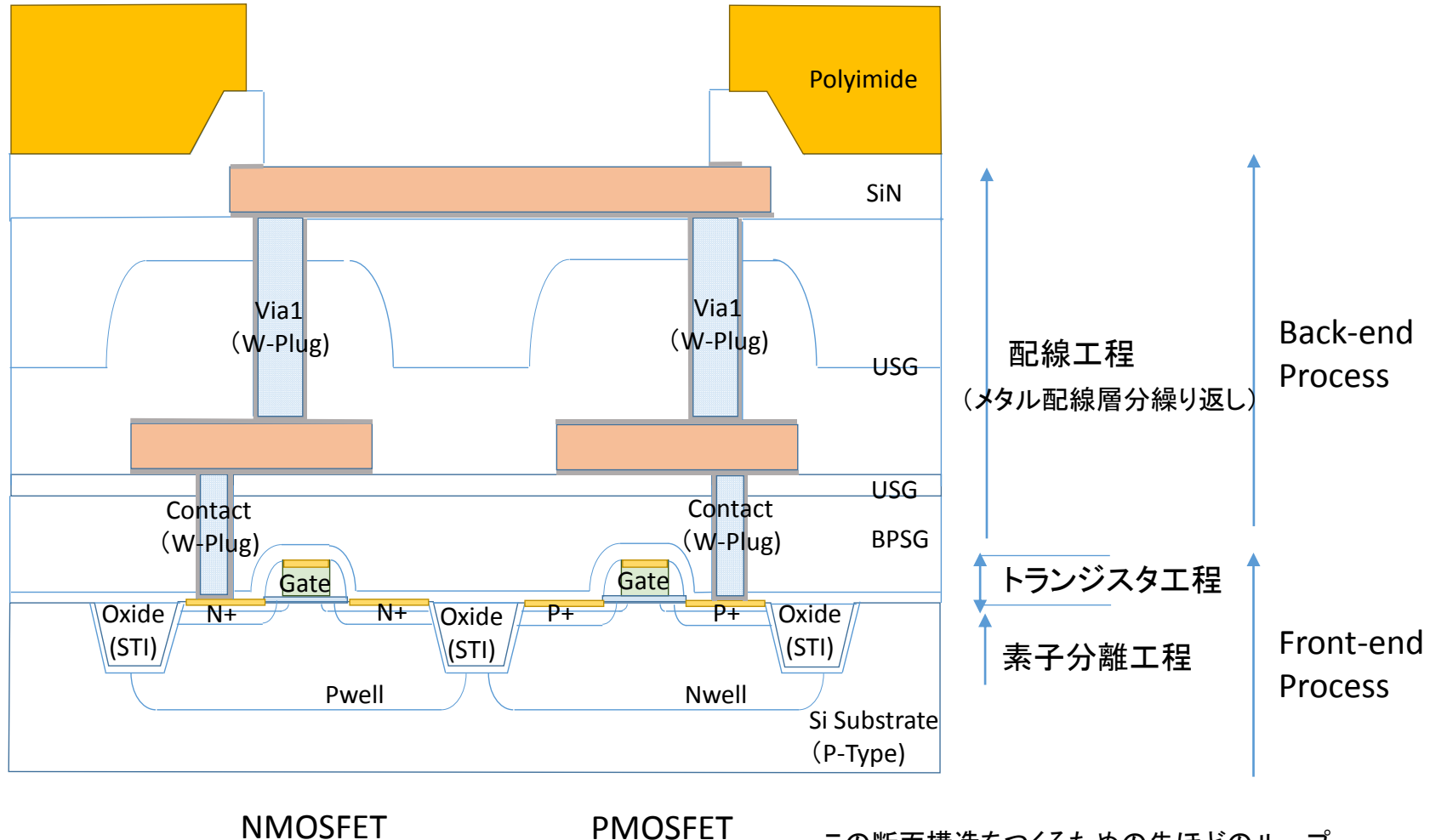
でも基本となるプロセスシーケンスはそんなにかわっていない。

# 基本となるプロセスシーケンス



このサイクル回数は増加したが、結局はこれが元。  
パターン化された層を重ねて構造を作るのがプロセスインテグレーションのお仕事(プロセスフローの設計)。

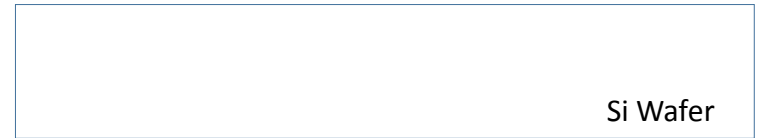
# プロセスフロー例 (0.18-0.25um LOGIC Process)



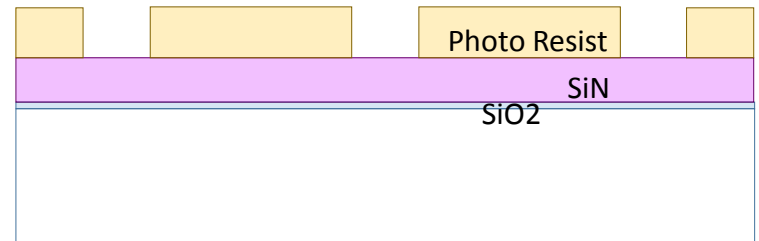
この断面構造をつくるための先ほどのループを作ればプロセスフローは出来上がり。

# Isolation Process (STI) (1)

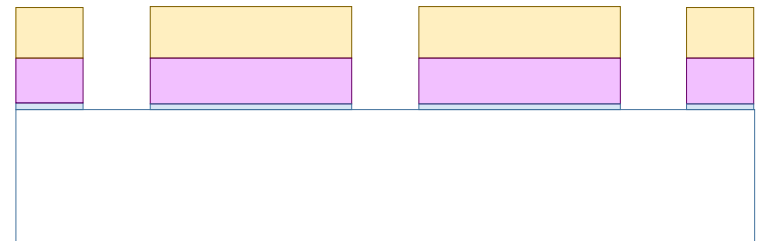
- Si Wafer
  - CZ P (100) ~10ohmcm
  - diam. major 300mm (200mm/150mm)



- (Pre-clean)
- Pad Oxidation (Furnace Oxidation)
  - Thickness Measurement
- Nitride Deposition (LP-CVD)
  - Thickness Measurement
- STI Photo. (Critical Layer)
  - ADI CD Measurement

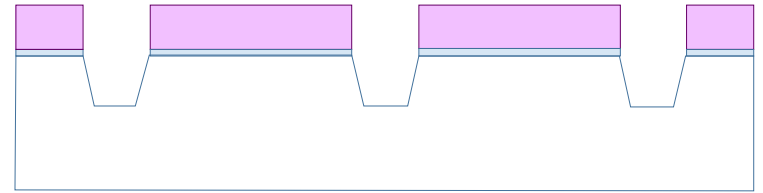


- Nitride Etching (Dry Etcher) EPD
- Oxide Etching (Dry Etcher) EPD
- Resist Removal
  - Ashing
  - H2SO4/H2O2 Dip
- CD Measurement (SEM)
  - Residual Oxide Thickness Measurement

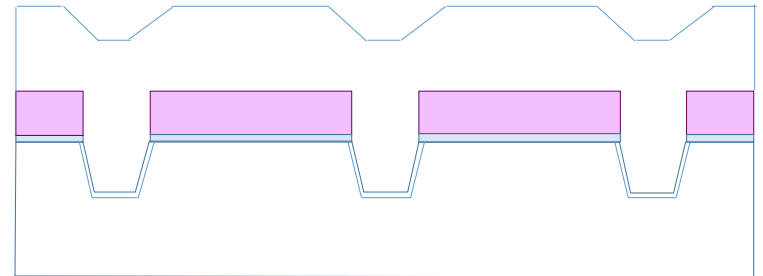


## Isolation Process (STI) (2)

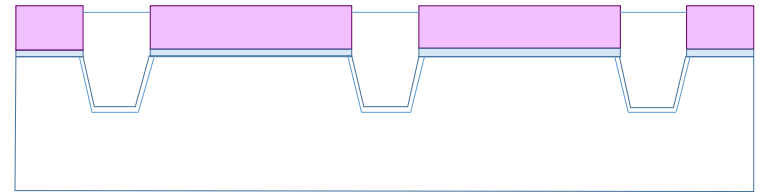
- Si Trench Etching (Dry Etcher)  
Aashing+H<sub>2</sub>SO<sub>4</sub>/H<sub>2</sub>O<sub>2</sub> dip.
- AEI CD Measurement (SEM)



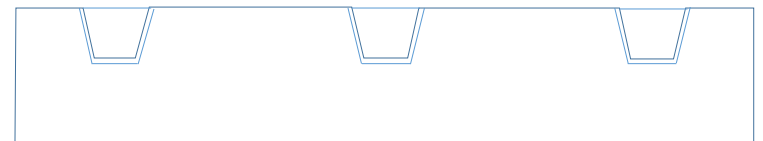
- Pre-clean
- Liner Oxidation (Furnace)  
Thickness Measurement
- HDP SiO<sub>2</sub> Depo. (HDP-CVD)  
Thickness Measurement



- Oxide CMP (CMP) EPD  
Thickness Measurement

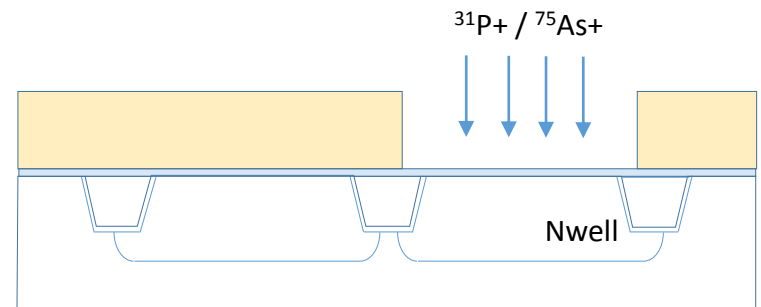
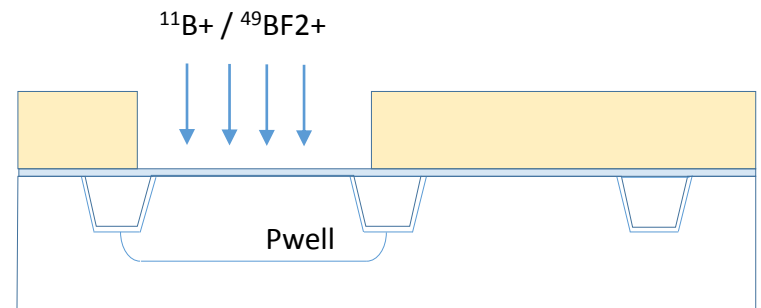
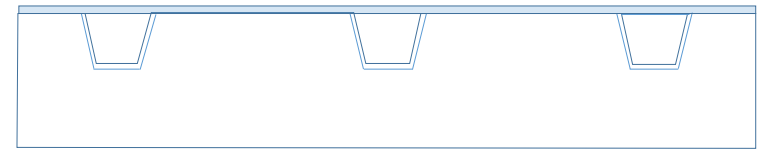


- Nitride Removal (Hot H<sub>3</sub>PO<sub>4</sub>)
- Oxide Removal (Dil. HF)



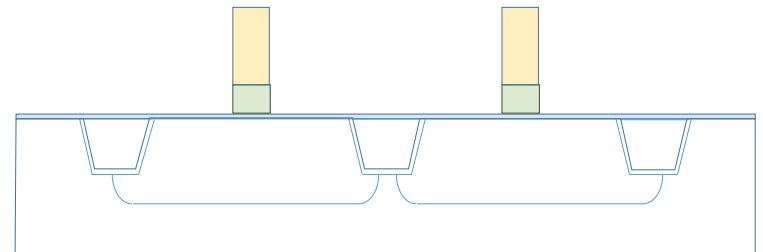
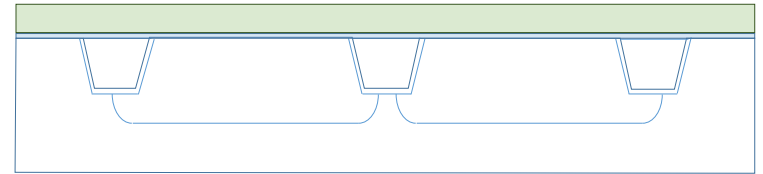
# Well Formation & Channel Doping

- Pre-clean
- Sacrificial Oxidation (Furnace)  
Thickness Measurement
- Pwell Photo.(Rough Layer)  
(CD Measurement)  
(Overlay Measurement)
- High Energy Boron Implant
- Middle Energy Boron Implant
- Vt Adjust Shallow Boron Implant
- Resist Removal
- Nwell Photo.(Rough Layer)  
(CD Measurement)  
(Overlay Measurement)
- High Energy Phos. Implant
- Middle Energy Phos. Implant
- Vt Adjust Shallow As Implant
- Resist Removal



# Gate Formation

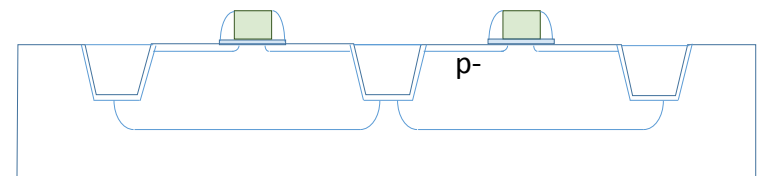
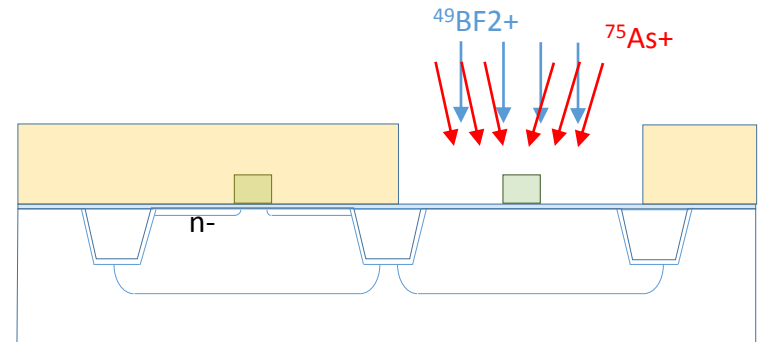
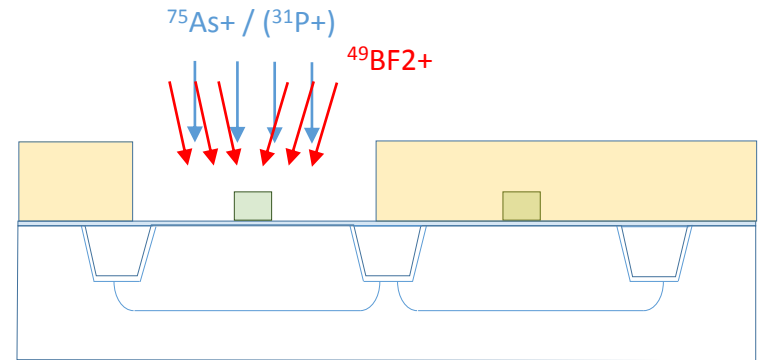
- Sac. Oxide Removal (dil. HF dip)
- Pre-clean
- Gate Oxidation (Furnace)
  - Thickness Measurement
- Pre-clean
- Poly-Si Deposition (LP-CVD)
  - Thickness Measurement
  
- Gate Photo.(Critical Layer)
  - ADI CD Measurement
  - Overlay Measurement
- Gate Etching (Dry Etcher) EPD
  
- Resist Removal
  - Ashing + H<sub>2</sub>SO<sub>4</sub>/H<sub>2</sub>O<sub>2</sub>
- Post-clean
  - AEI CD Measurement
  - Residual SiO<sub>2</sub> Thickness Measurement





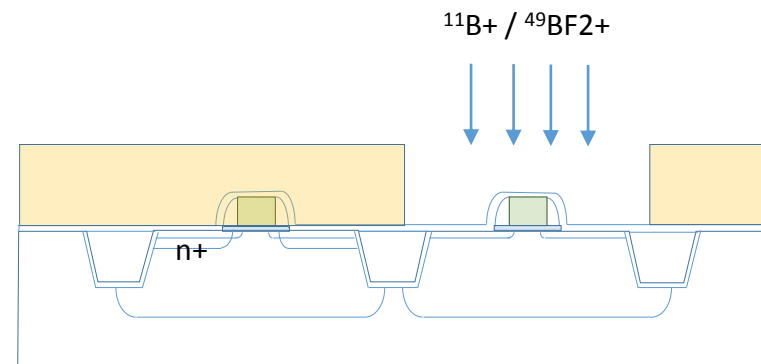
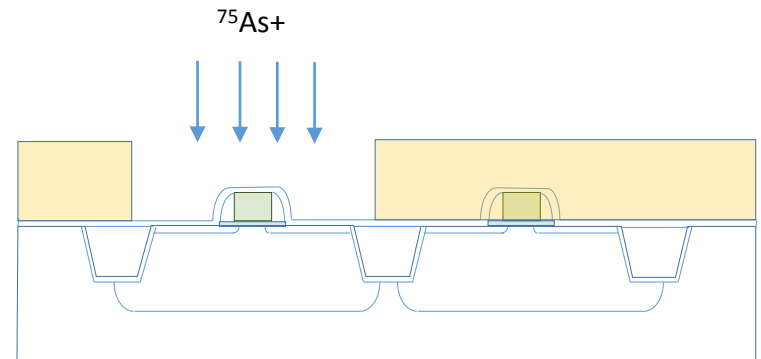
# LDD Formation

- Nch LDD Photo. (Rough Layer)  
(ADI CD Measurement)  
(Overlay Measurement)
- **Pocket Boron Implant (Mid. Current)**
- **Nch LDD P/As Implant (Mid. Current)**
- Resist Removal  
(Ashing) + H2SO4/H2O2
- Pch LDD Photo. (Rough Layer)  
(ADI CD Measurement)  
(Overlay Measurement)
- **Pocket As Implant (Mid. Current)**
- **Pch LDD B/BF2 Implant (Mid. Current)**
- Resist Removal  
(Ashing) + H2SO4/H2O2
- Pre-clean
- Oxide CVD (LP-TEOS)  
Thickness Measurement
- Nitride CVD (LP-CVD)  
Thickness Measurement
- Sidewall Etching (RIE) EPD
- Post-clean  
AEI CD Measurement  
Residual SiO2 Thickness Measurement



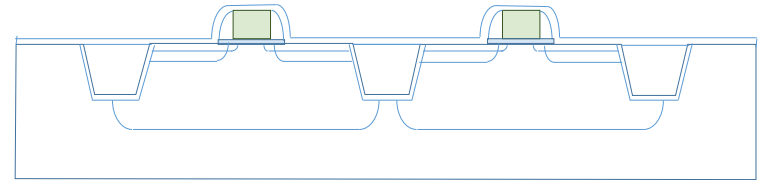
# S/D Formation

- Pre-clean
- Mask Oxide CVD (LP-TEOS)  
Thickness Measurement
- N+ S/D Photo.  
(ADI CD Measurement)  
(Overlay Measurement)
- N+ S/D As Implant (High Current)
  
- Resist Removal  
(Ashing) + APM
- Pre-clean
- N+ S/D Anneal (RTA) 1000-1050C
  
- P+ S/D Photo.  
(ADI CD Measurement)  
(Overlay Measurement)
- P+ S/D B/BF<sub>2</sub> Implant
  
- Resist Removal  
(Ashing) + APM
- Pre-clean
- P+ S/D Anneal (RTA) 900-950C

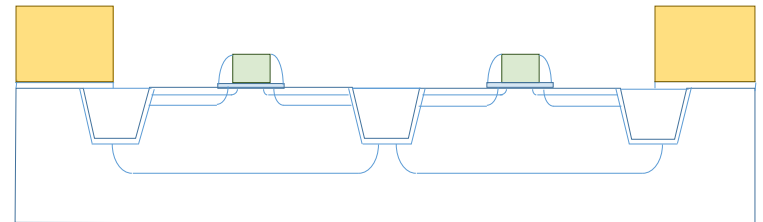


# Salicide Process

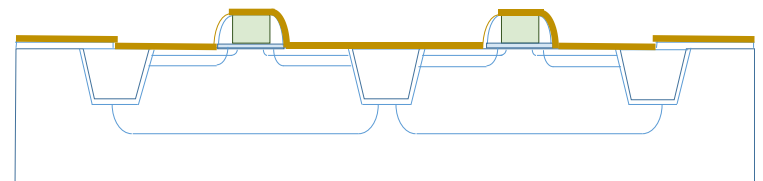
- Pre-clean
- Oxide CVD (LP-TEOS)  
Thickness Measurement



- SAB Photo. (Rough Layer)  
(ADI CD Measurement)  
(Overlay Measurement)
- SAB Etch (Wet/Dry)

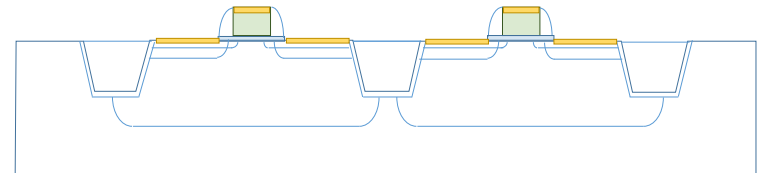


- Pre-clean
- Co Sputter  
RF Etch / Co / ...  
Thickness Measurement



- 1<sup>st</sup> RTA

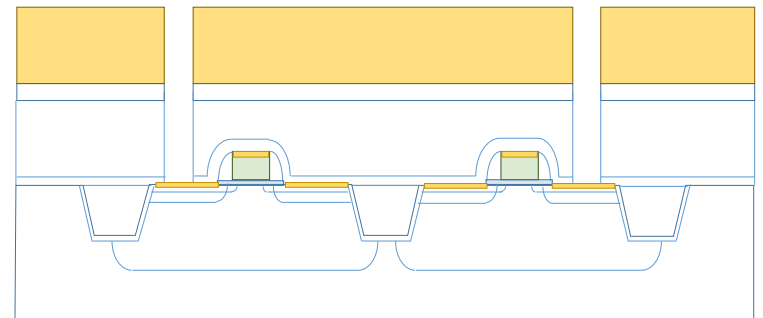
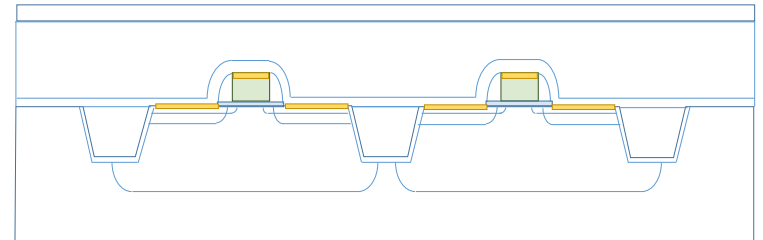
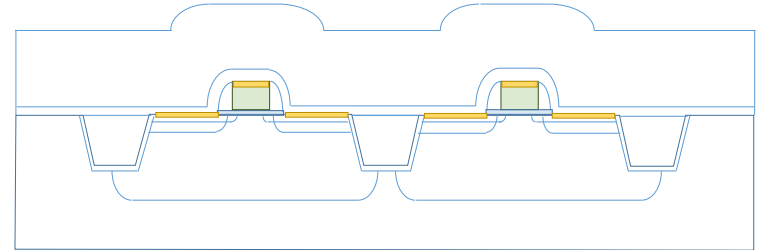
- Selective Etch (Wet)
- 2<sup>nd</sup> RTA



Salicide : Self-align Silicide

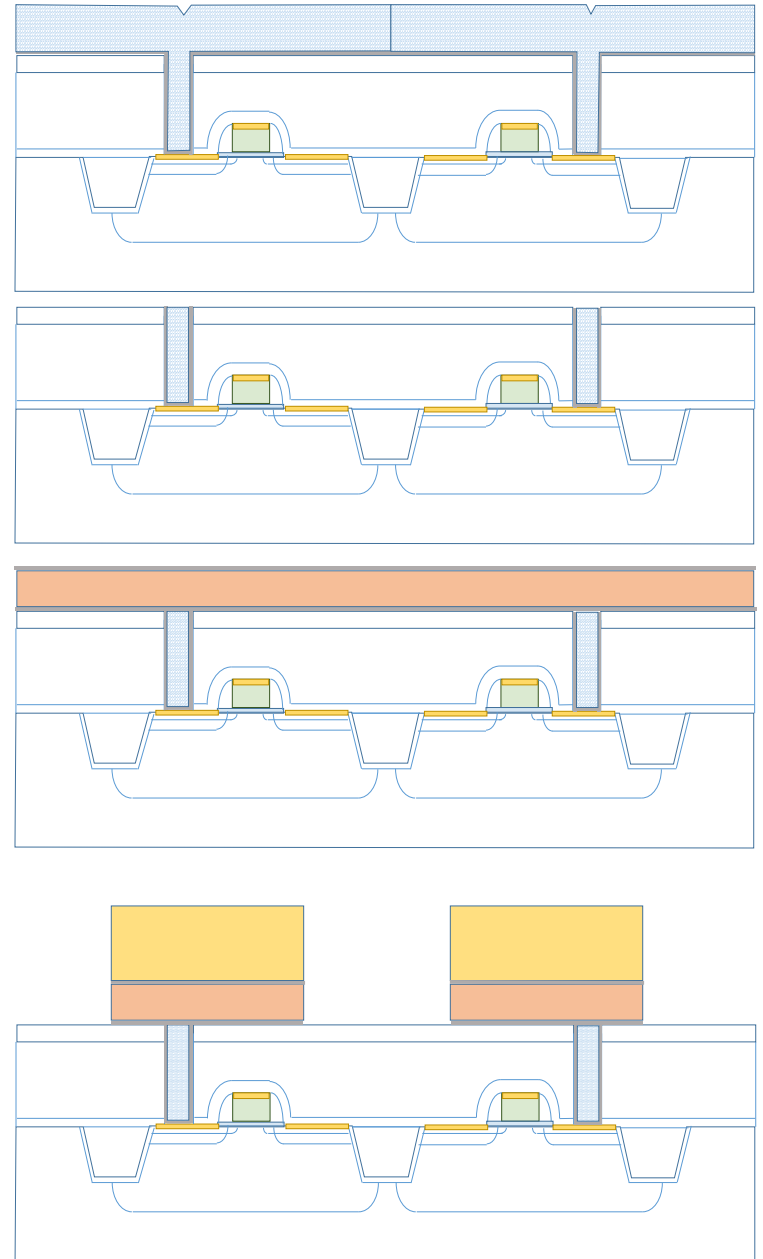
# PMD/Contact Process

- Nitride Deposition  
Thickness Measurement
- Pre-clean
- BPSG Deposition (AP(SA)-CVD)  
Thickness Measurement  
B/P Concentration Measurement
- Pre-clean
- BPSG Flow (Furnace)
  
- BPSG CMP  
Thickness Measurement
- Cap Oxide CVD (p-TEOS CVD)  
Thickness Measurement
  
- Contact Photo. (Critical Layer)  
ADI CD Measurement  
Overlay Measurement
- Contact Etch (Dry Etcher)
- Resist Removal  
Ashing + H<sub>2</sub>SO<sub>4</sub>/H<sub>2</sub>O<sub>2</sub>  
ADI CD Measurement



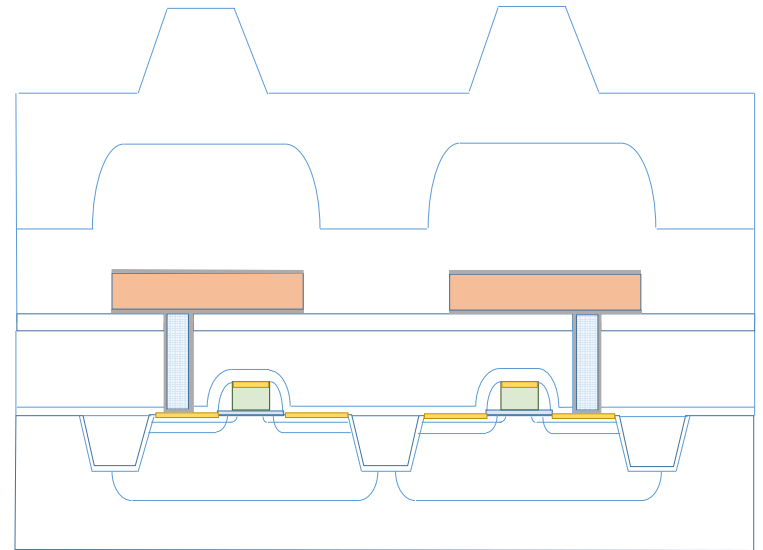
# Contact/Metal 1 Process

- Ti/TiN Depo. (MO-CVD/Sputter)  
RF/Ti/TiN  
Thickness Measurement
- W-CVD (p-CVD)
- W-CMP EPD  
Thickness Measurement
- Ti/TiN Sputter  
RF/Ti/TiN  
Thickness Measurement
- Al-Cu Sputter  
Thickness Measurement
- Ti/TiN Sputter  
(Ti)/TiN  
Thickness Measurement
- Metal 1 Photo. (Critical Layer)  
ADI CD Measurement  
Overlay Measurement
- Metal 1 Etch (Dry Etcher) EPD
- Resist Removal  
Ashing + Organic Stripper  
ADI CD Measurement

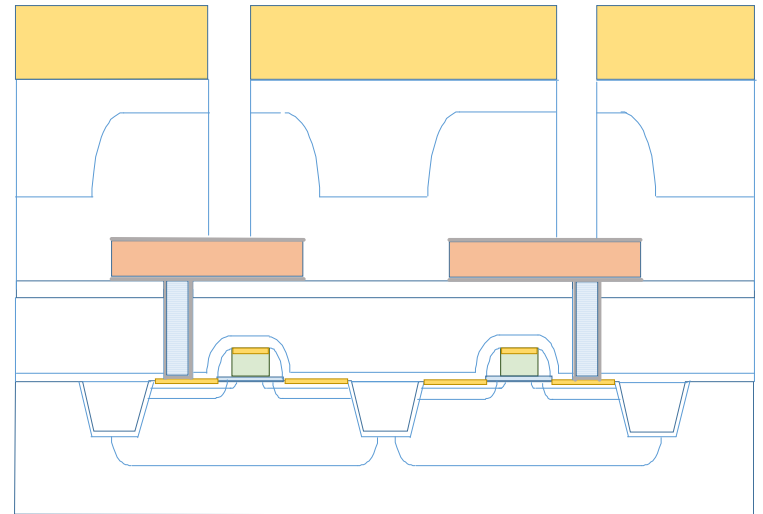


# IMD/Via 2 Process

- Oxide CVD (PE-TEOS)  
Thickness Measurement
- HDP Oxide Deposition (HDP-CVD)  
Thickness Measurement

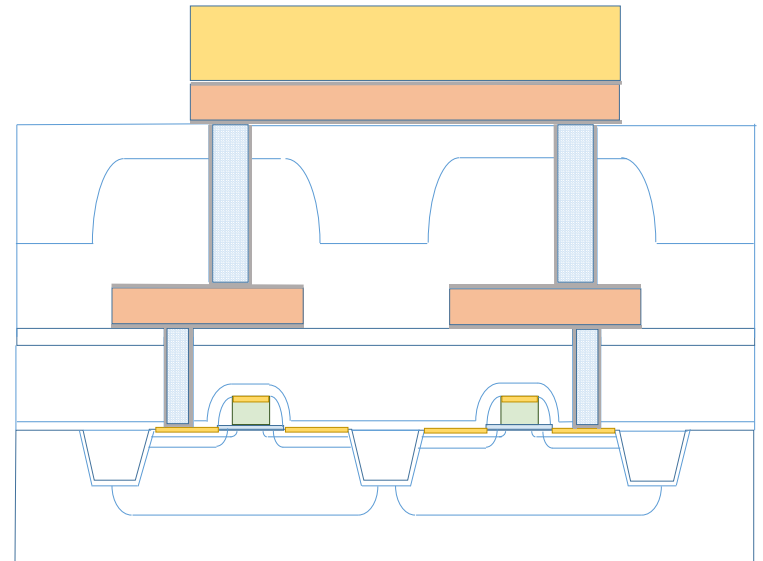
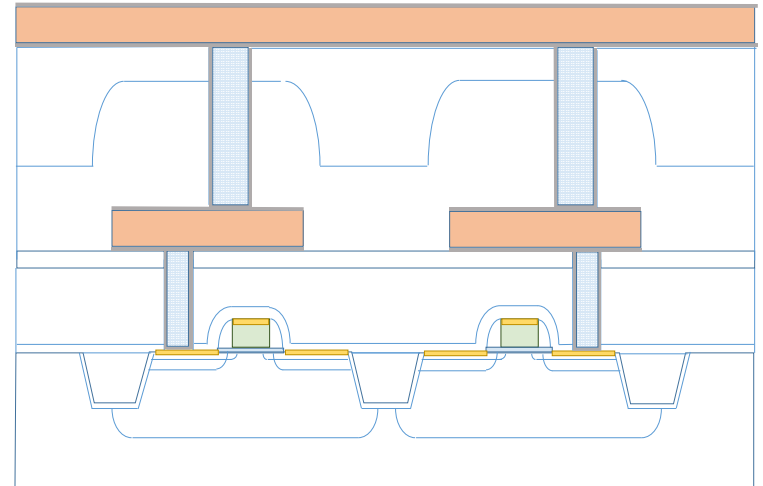


- Oxide-CMP  
Thickness Measurement
- Via 1 Photo. (Critical Layer)  
ADI CD Measurement  
Overlay Measurement
- Via 1 Etch (Dry Etcher)
- Resist Removal  
Ashing + Organic Stripper  
ADI CD Measurement



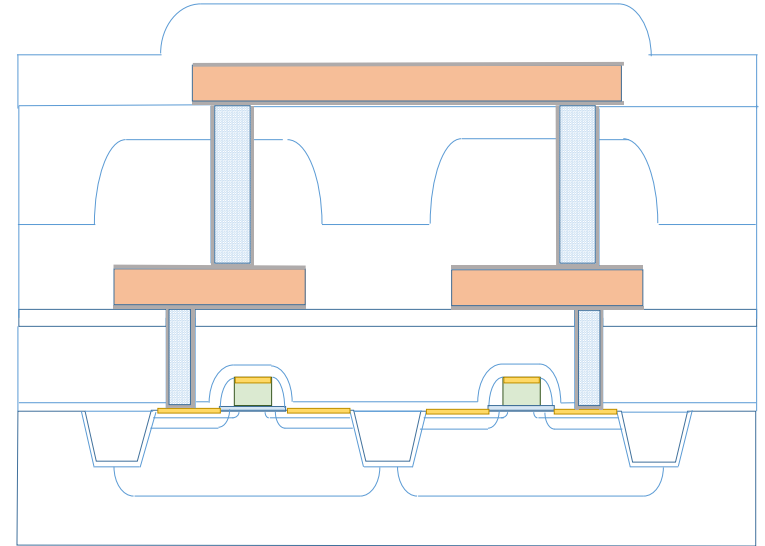
# Via 1/Metal 2 Process

- Ti/TiN Depo. (MO-CVD/Sputter)
  - RF/Ti/TiN
  - Thickness Measurement
- W-CVD (p-CVD)
- W-CMP EPD
  - Thickness Measurement
- Ti/TiN Sputter
  - RF/Ti/TiN
  - Thickness Measurement
- Al-Cu Sputter
  - Thickness Measurement
- Ti/TiN Sputter (Ti)/TiN
  - Thickness Measurement
  
- Metal 2 Photo. (Critical Layer)
  - ADI CD Measurement
  - Overlay Measurement
- Metal 2 Etch (Dry Etcher) EPD
  
- Resist Removal
  - Ashing + Organic Stripper
  - ADI CD Measurement
  
- Sintering
  - H2 Furnace Annealing

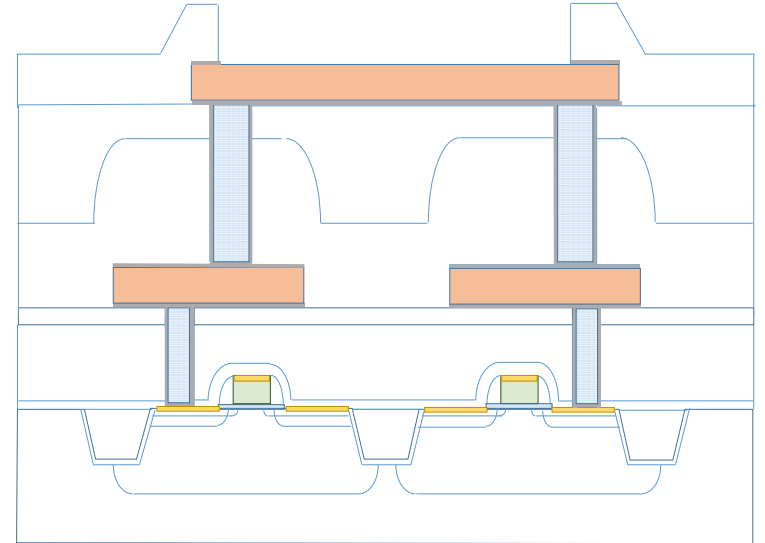


# Passivation Process

- Passivation Nitride Deposition (PE-CVD)  
Thickness Measurement



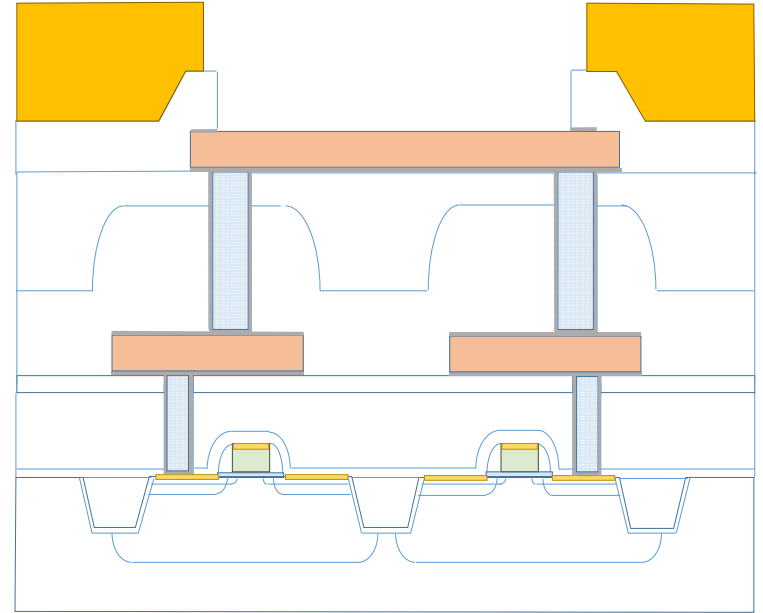
- Passivation Photo. (Rough Layer)
- Passivation Etch (Dry Etcher) EPD
- Resist Removal  
Ashing + Organic Stripper  
ADI CD Measurement





# Polyimide Process & Final Test

- Polyimide Photo. (Rough Layer)
- Polyimide Cure (Furnace)
- Ashing



- WAT Measurement
- CP Test



Assembly Process

# どんな製造装置があるか？

## 拡散・成膜・注入装置編

### 熱拡散装置

処理ロットでの管理項目

ファーネス(炉)拡散 -1200C 分～時間  
 RTA -1200C 秒  
 FLA、LSA -1200C mSオーダー

### 成膜装置

酸化	ファーネス(炉)酸化 枚葉酸化	Dry/Wet酸化 ISSG(In situ Steam Generation)	膜厚、n/k 膜厚、n/k
CVD	(ガスの熱分解)		
	AP-CVD	BPSG, USG	膜厚、n/k、不純物濃度
	SA-CVD	BPSG	膜厚、n/k、不純物濃度
	LP-CVD	USG, SiN, (doped) Poly Si	膜厚、n/k、(不純物濃度)
	(MO-CVD)	Ti/TiN	(膜厚・抵抗)
	(熱+プラズマ)		
	PE-CVD	P-TEOS, P-SiN, P-SiON, W (Wsix)	膜厚、n/k、(抵抗)
	HDP	USG	膜厚、n/k
スパッタ			
	DC Magnetron	Co, Ti/TiN, Al-Cu	膜厚、

### 注入装置

High Energy      ~MeV    1E14cm-2?  
 Medium Current    X00KeV    1E14cm-2  
 High Current      ~100KeV    1E16cm-2

# どんな製造装置があるか？

## ウェット・CMP・エッチャー編

### ウェット装置

### 処理ロットでの管理項目

Pre-clean	APM/DHF/HPM、SPM、Spin/IPA-Dry
Oxide Remove	DHF、BHF
Nitride Remove	熱リン酸
Co Selective Removal	SPM?
Organic Stripper (スクラバ)	EKC-XXX

### CMP

酸化膜CMP  
W-CMP

前後の膜厚  
前後の膜厚

### エッチャー

Active/STI	SiN/SiO <sub>2</sub> , Si	CD-SEM, OCD
Gate	Poly Si	CD-SEM, 残膜厚
Sidewall	SiN	CD-SEM, 残膜厚
Contact	BPSG/USG/SiN	CD-SEM
Metal	Ti/TiN, Al-Cu	CD-SEM
Via	USG	CD-SEM
Pad	SiN, SiON	

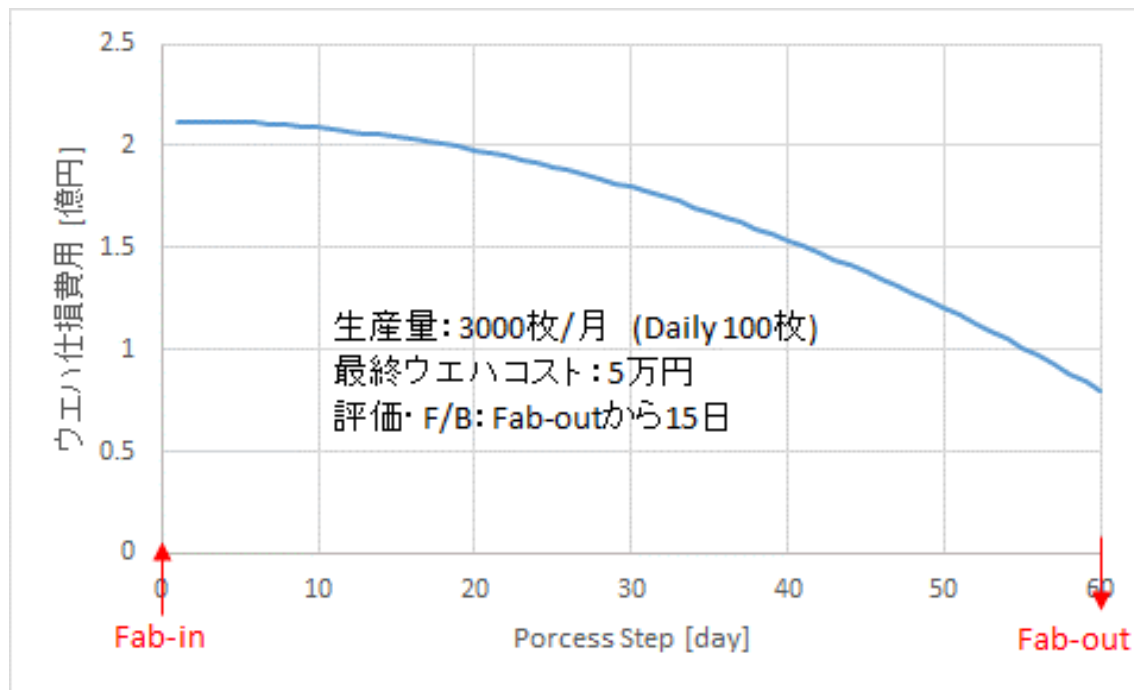
# LSI製造プロセスでの問題点

- (1) 各工程でばらつきを持っている。  
同じレシピを使っても同じ結果ではない(膜厚・CD等)
- (2) 工程が長い  
前フローM2まででマスク15層、実際はM5(MIM)で約30層  
1層2日とすれば60日のリードタイム
- (3) 再処理できない工程がほとんど  
ホトリソは再処理可能だが、他はほとんど再処理できない。  
洗浄でさえ回数制限あるものがある。

各工程での結果管理と細かなフィードバックが重要  
どのパラメータ(CD、膜厚等)がどれだけの許容値なのか定義  
各工程の管理項目(装置・出来栄え)と適切な管理値の設定(SPC管理)

# 不良工程発見の遅延による仕損の見積

量産では定常的にウエハが流れており、最終のテストで不具合がわかっていても既に遅い。  
中程度の生産量・低コスト品でもウエハ仕損費用は億円単位。  
さらにリードタイムが長いので、納期の問題発生、ビジネス損も大きい。



[参考]

8インチ工場1棟の標準キャパ: 35-40K/month

8インチ0.13-0.18umロジックウエハ価格: \$700-1000?

# LSI製造における工程管理例

工場内イントラネット

不良発生時に解析  
可能なレベルの  
データベース

Server

不良を出さない・  
作らない!!

露光時間・  
エネルギー  
DOE...



露光機

圧力  
温度  
ガス流量  
パワー  
時間...

温度  
ガス流量  
時間...

生産設備だけでなく検査設備の充実  
が重要

CD  
形状  
膜厚...



OCD・膜厚計

欠陥マップ



CD SEM

工程内測定器群



欠陥検査装置

測定結果  
SPC管理  
管理限界  
廃棄限界  
出来栄え管理  
と未然防止

インターロック  
日常点検  
条件だし...  
未然防止

生産設備群

成膜装置

# LSI製造プロセスの今後はどうなるか？

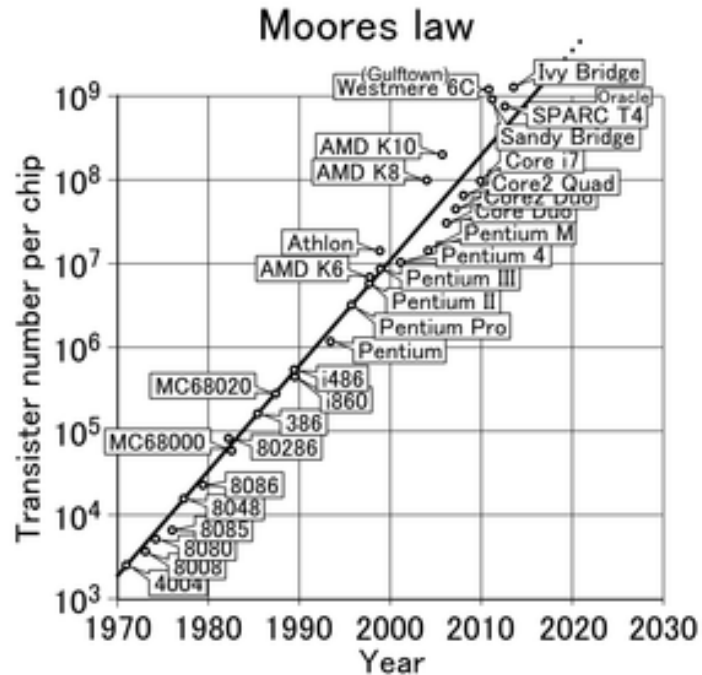
(1)さらなる微細化がMooreの法則に従って進むのか

微細化は止まらないが、スピードは鈍化する

微細パターンニング EUVだが開発遅れ、高額 / ナノインプリント

MOSFETの限界 Bulk CMOS → SOI / Multi-gate

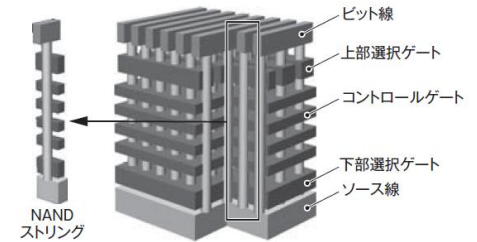
配線系 ?



# LSI製造プロセスの今後はどうなるか？

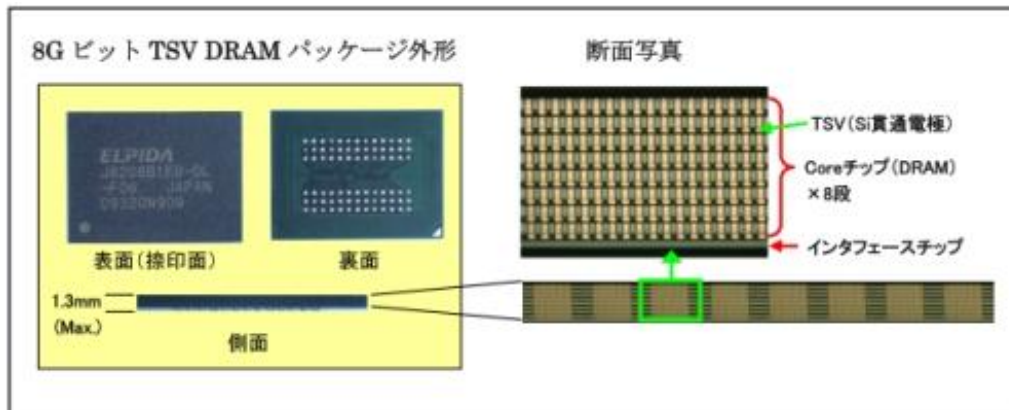
## (2) 3D化の加速

チップレベルの3D化 : 3D-NAND (実用化)



青地他 東芝レビュー 66 pp.16-19, 2011

TSVを用いたチップ積層 : 話題あるが普及せず。MCPコスト差？  
新規ライン必要で、コスト高  
コスト問題解決できれば、進む



TSVもメモリ先行で設備の償却を狙う。  
Wide I/Oが適正アプリもWide I/Oに動  
かず、TSV技術停滞

2009.08



# LSI製造プロセスの今後はどうなるか？

(3) more than Mooreへ

微細化を必要としない、もしくは微細化が技術の中心でないデバイス開発

MEMS系、センサ系

Analog、Power系

信頼性が必要なアプリでは最先端を望まない。

自動車・航空機、産業機器、医療

# 最後に ITRS2013から...

ITRSは某社の陰謀で半導体各社は踊らされていると陰では言われているが

Year of Production	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024	2025	2026	2027	2028
Logic Industry "Node Range" Labeling (nm) [based on 0.71x reduction per "Node Range" ("Node" = ~2x Mx)]	"16/14"		"11/10"		"8/7"		"6/5"		"4/3"		"3/2.5"		"2/1.5"		"1/0.75"	
MPU/ASIC Metal 1 (M1) ½ Pitch (nm) (contacted)	40	32	32	28.3	25.3	22.5	20.0	17.9	15.9	14.2	12.6	11.3	10.0	8.9	8	7.1
$L_g$ : Physical Gate Length for HP Logic (nm)	20	18	16.7	15.2	13.9	12.7	11.6	10.6	9.7	8.8	8.0	7.3	6.7	6.1	5.6	5.1
$L_{ch}$ : Effective Channel Length (nm) [3]	16.0	14.4	13.4	12.2	11.1	10.2	9.3	8.5	7.8	7.0	6.4	5.8	5.4	4.9	4.5	4.1
$V_{dd}$ : Power Supply Voltage (V)																
Bulk/SOI/MG	0.86	0.85	0.83	0.81	0.80	0.78	0.77	0.75	0.74	0.72	0.71	0.69	0.68	0.66	0.65	0.64
EOT: Equivalent Oxide Thickness																
Bulk/SOI/MG (nm)	0.80	0.77	0.73	0.70	0.67	0.64	0.61	0.59	0.56	0.54	0.51	0.49	0.47	0.45	0.43	0.41
Dielectric constant (K) of gate dielectrics	12.5	13.0	13.5	14.0	14.5	15.0	15.5	16.0	16.5	17.0	17.5	18.0	18.5	19.0	19.5	20.0
Physical gate oxide thickness (nm)	2.56	2.57	2.53	2.51	2.49	2.46	2.42	2.42	2.37	2.35	2.29	2.26	2.23	2.19	2.15	2.10
Channel Doping ( $10^{18}/cm^3$ ) [4]																
Bulk	6.0	7.0	7.7	8.4	9.0											
SOI/MG	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1
Body Thickness (nm) [5]																
SOI																
MG	6.4	5.8	5.3	4.9	4.4	4.1	3.7	3.4	3.1	2.8	2.6	2.3	2.1	2.0	1.8	1.6
$T_{BOY}$ : Buried Oxide Thickness for SOI (nm) [6]																
SOI																
CET: Capacitance Equivalent Thickness (nm) [7]																
Bulk/SOI/MG	1.10	1.07	1.03	1.00	0.97	0.94	0.91	0.89	0.86	0.84	0.81	0.79	0.77	0.75	0.73	0.71
$C_{ch}$ intrinsic ( $fF/\mu m$ ) [8]																
Bulk/SOI/MG	0.502	0.465	0.448	0.420	0.396	0.373	0.352	0.329	0.311	0.289	0.273	0.255	0.240	0.225	0.212	0.198

結局はどこまでも微細化を追っていかなければならないか？

# まとめ

- ◆ 過去30年、LSI微細化をプロセス開発としてどのように改良してきたか、実体験をもとに簡単にご紹介した。
- ◆ 0.18-0.25um LOGICプロセスフローをもとにどのようにLSIができていくか詳細に解説した。
- ◆ 製造工程での管理の重要性を示すとともに、工場での管理例を解説した。
- ◆ 将来のプロセスの方向性について、コメントした。

LSIプロセスは非常に長く複雑で、さらに特別な知識も必要とするため敬遠されがちであるが、プロセスを理解し、デバイスが工場でどのように管理されてできているか知ることは、より性能の良いデバイスの実現には重要である。今回のご紹介が何か考えるヒントの一部にでもなっていたいただければと願う。

**ご清聴、ありがとうございました。**