

ASIC 開発に関するプロポーザル

2005.6.21 ASIC R&D グループ

はじめに

この R&D では、これから 2 年間でガス増幅を利用した検出器（主に MPGD）用フロントエンドエレクトロニクス、及びバックエンドエレクトロニクスで製作要求の多い高精度時間測定用回路と電流積分器の実用化を目指す。理由は以下のとおりである。

- 1) 使用頻度が多くかつ他のエレクトロニクスと比較し用途、使用方法が特殊である。
- 2) 高密度実装及び放射線耐性に伴うリスクが少ないため、製造に関するリスクを減らすことが可能である（ピクセル検出器エレクトロニクスなどのように超高密度実装が必要でないためレイアウト、低電圧化のリスクを避けることが可能）これにより実用という観点から比較的短期間で結果をだすことが可能となる。
- 3) 他検出器用読み出しエレクトロニクスへの応用、もしくはシステム ASIC を製作するためによく使用される回路要素を含む。
- 4) 短期間で結果を出し実用化のプロジェクトにつなげるための道筋を描きやすい。システムとして動作させる場合は検出器も含めたデザイン・製作が必要であり、実装技術も含め、必要な R&D 要素をなるべく少なくし我々がアクセスできる技術で問題点を解決できるようにしておくのが望ましい。その点ガス検出器は技術的にブラックボックスの箇所が少なく製作工程のコントロールなどが容易（他の検出器に比べ外的要因に左右されることが比較的少ない）であり、また実装に関しても他の検出器に比べ R&D 要素が少ない。よって我々の技術を産業用に転用することを考えるとシステム開発を行ううえでリスクが少ない。

これらを開発する過程で製作されるアナログ回路ブロックは再使用可能なように構成し、他の用途への展開が容易に可能なように整備していく。このような整備は次に述べる中長期的に見て、プロセスの変更を伴う ASIC 開発及び複雑な機能の実現を短期間で達成するためにも必要である。

これらの製作を行っていく過程においては 3 項目が重要と考える。(I)ASIC 製作途上で具体化していく要素（回路図、レイアウトなど）の再使用可能な知的財産への集約(II)ASIC 設計、製作、テストという一連の製作工程の標準化（モデル化）(III)前述 2 つの項目を行えるような組織の最適化である。長期的に技術の継承と発展を考えるならば、どれかひとつを行い、他は後回しというのではなく、3 項目をうまくバランスをとりながら行っていくべきである。

本プロポーザルは下記に示す構成となっている。

- 1 短期目標
- 2 組織、予算、スケジュール
- 3 運用組織に関する考察と提案
- 4 システム開発に関する考察と提案

よって測定器開発室の短期予算配分のみをレビューする委員は 2 もしくは 3 までを読めば十分である。当該分野（高エネルギー、宇宙関連分野のみでなく検出器システムの他分野への応用を含む）の将来像を考える場合は 3 以降も読み議論を積極的に行う必要がある。また 3 以降はこれから更に議論を行い、その時々、環境に応じて修正しなければいけないものであること（状況に応じて変えていく必要がある）を念頭に置く必要がある。

1 短期目標

1 - 1 概要

短期的(2年)にはガス増幅を使用した検出器用フロントエンドエレクトロニクス、及び実用化要求の多い高精度時間測定器、電流積分器の実用化を目指す。1年目においてフロントエンドエレクトロニクスの基本要素であるプリアンプ、フィルター、アナログ信号出力回路、デジタル信号入出力回路と高精度時間測定器、電流積分器の試作回路を製作し性能を確認する。また1年目においては前述の回路要素を接続し多チャンネル入出力フロントエンドアナログ ASIC を製作し、検出器との接続試験を行い多チャンネル化の問題点を明らかにする。2年目には測定器開発室で行われている他プロジェクトとの連携によりフロントエンド回路のシステム ASIC 化を目指す。ここで製作された ASIC をベースとしたものは増幅度などの調整を行うことで現在多く使用されている多チャンネルの検出器(MAPMT、MAHPD など)および信号処理回路(ADC や TDC を含む)に応用することが可能でありまた中期長期的には多チャンネル半導体検出器などへの応用も考えられる。そのためライブラリ化を念頭に実作業を進めることとする。

1 - 2 経緯、現状

ガス増幅を使用した検出器用フロントエンドエレクトロニクスは従来ディスクリートトランジスタにより製作されていた。しかしながらディスクリートトランジスタの廃品、チャンネル実装の高密度化により必ずしも従来の製作方法が取れなくなってきた。一方ガス検出器は技術の蓄積、価格、大型化に有利、物質量などの観点から色々な分野で広範囲に使用されてきておりユーザー数も多い。また製作、実装密度の観点からみても光検出器、半導体検出器のように、我々が持っていない、もしくはアクセスしにくい高価な技術(例えば半導体プロセス、高密度実装、光電面製作プロセスなど)が比較的少ない。よってシステムとして動作させる(ASIC を製作することも含め)ということを目とした場合には、我々が全体をコントロールしやすいためリスクを少なくできるメリットを持つ。さらに我々の分野独自の技術として発展させる可能性も秘めている(光検出器への応用、ピクセル検出器への応用など)ため、これらを足がかりに他分野へ高エネルギー実験技術の波及効果を謳いアピールしていくことも可能になると思われる。ASIC 製作の観点から概観した場合、検出器容量は大きいもののガス増幅機構があるためアナログ性能は要求仕様を満たしやすく現状の我々の境界条件を考えた場合はじめに手をつけるべきものと思われる。更にガス検出器用フロントエンドで蓄積された技術は、中長期的にみて他の検出器読み出しに応用できるため非常によいグザンプルとなりうる。

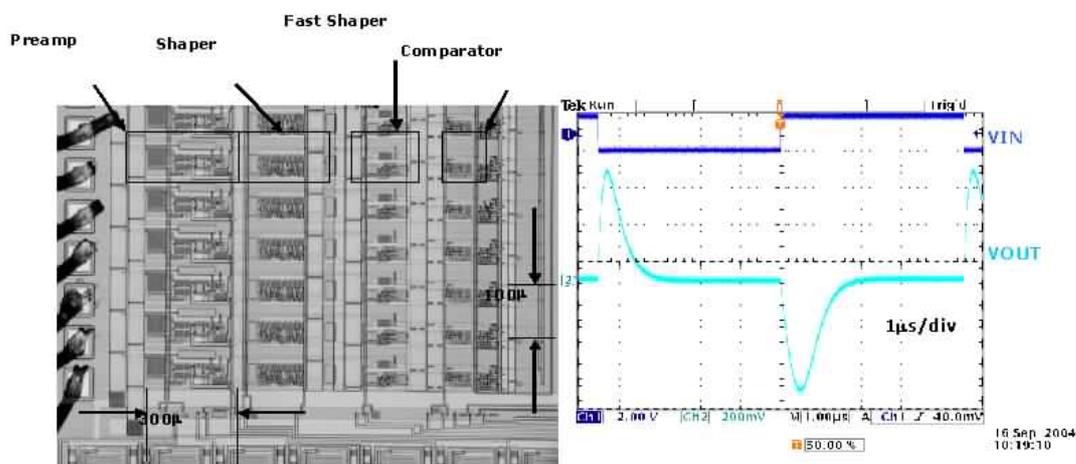


図1 試作フロントエンド ASIC および slow shaper 出力

ガス増幅を使用した検出器は、実装密度の観点からみて2つの流れが存在する。ひとつは信号をワイヤーもしくは比較的実装密度の低いパターンで読み出すもの(現在よく使用されているシリンドリカルドリフトチェンバー、パッド読み出しやストローチューブなど)もうひとつは GEM, u-PIC, Micro-MEGAS などに代表される 500 ミクロンピッチ以下の読み出し電極を持った検出器である。前者と後者では使われ方が違うため要求が異なる。(1-2-1、1-2-2を参照のこと)よって前者は Bipolar プロセスを使用し実現し、後者は 0.6µm CMOS プロセスを使用し実現する。前年度にテスト試作で製作した MAPMT 用 ASIC のレイアウトとテスト結果を図1に示す。これをベースにゲイン及びノイズを MPGD 用に変更し、0.6µm プロセスを使用した ASIC を開発することで短期間に実用可能な ASIC を製作することが可能である。一方 Bipolar プロセスに関しても図2に示すようにトランジスタの基本評価及びプリアンプの動作確認はできているため現状のマンパワーにおいて2年で充分結果が出せると期待される。更に概要で述べたとおり、次年度にピクセル検出器などへの応用を考えると 0.35µm 未満のプロセスへの展開を今年度から考慮し

ておく必要がある。このため 0.25 μ m CMOS のトランジスタ特性、及び MPGD-ASIC のプリアンプ、シェーパー、コンパレータを 0.25 μ m プロセス上に製作しておく必要がある。フロントエンド ASIC に関する全体の流れを図 3 に示す。

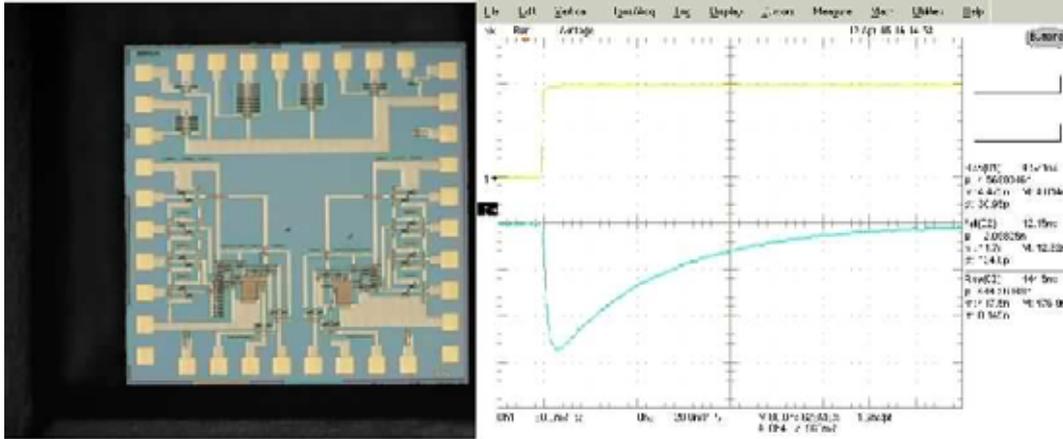


図 2 バイポーラプリアンプ回路およびプリアンプ出力

開発の流れ

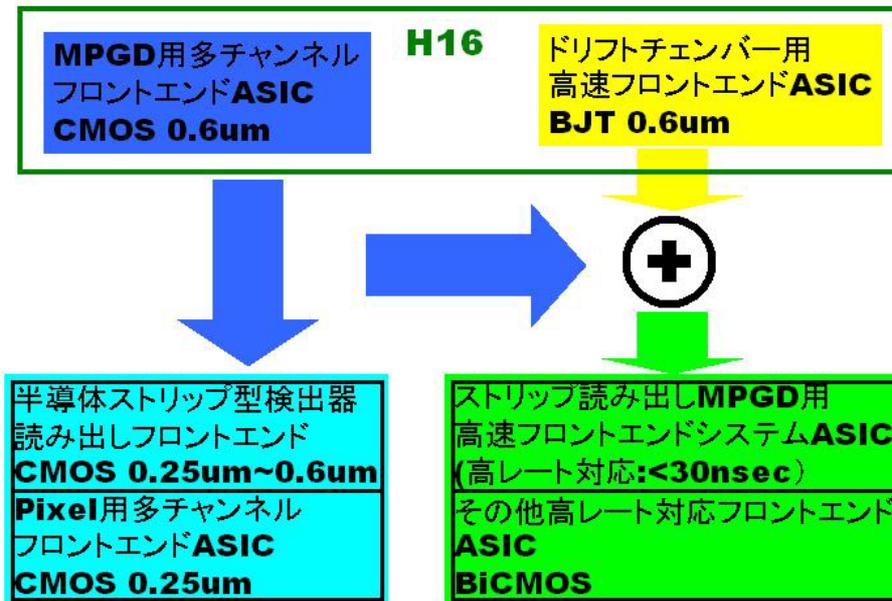


図 3 フロントエンド ASIC 開発の流れ

さて一般にフロントエンドエレクトロニクスからの信号はアナログ情報もしくは時間情報を抽出され位置、入射粒子・光エネルギー識別などに使用される。この処理を行う場合よく使用される回路として上げられるのは電荷積分器と時間測定器である。時間測定器は時間分解能の観点から 1nsec 分解能と 50psec 分解能に大きく分けられ、前者はすでに当研究所の新井氏により開発された TMC が広く一般に広まっている。一方後者は CERN などで作製され市販されてはいるもののユーザーからの要求、価格、及び組み込み用途に使用するときのことを考えると、我々の独自に現在の TMC をベースに新たに開発するべきである。この高精度時間測定回路は Time-Memory-Cell をベースに 25psec 分解能を目指す仕様とし 1 年目では PLL 及びリングオシレータなどの試作を行い 2 年目以降において実用化に向けた後段の処理回路を含めたシステム ASIC の試作を目指す。後段のデジタル処理回路は応用がはっきりしないと設計しづらいため今年度の結果をみつつ JPARC などの固定標的実験用の TOF 検出器に応用できる回路とコライダー実験用の

回路のどちらか一方を実現できるように考える。電荷積分器の必要性は周知の事実であるのでここには記述しない。仕様としてはゲート幅が 100nsec ~ 数 usec で使用できるものを目指す。これは固定標的実験や衝突型実験双方にとって十分な仕様と思われる。外付け回路との整合性も考慮し、0.6um プロセスを使用し製作する。更に多チャンネル化時のゼロデータサプレッション機能の需要も考慮し同期式コンパレータの製作も同時に行い 2 年目において 8~16 チャンネルゼロサプレッション機能つき電荷積分器の試作を目指す。下記それぞれについて詳細を述べる。

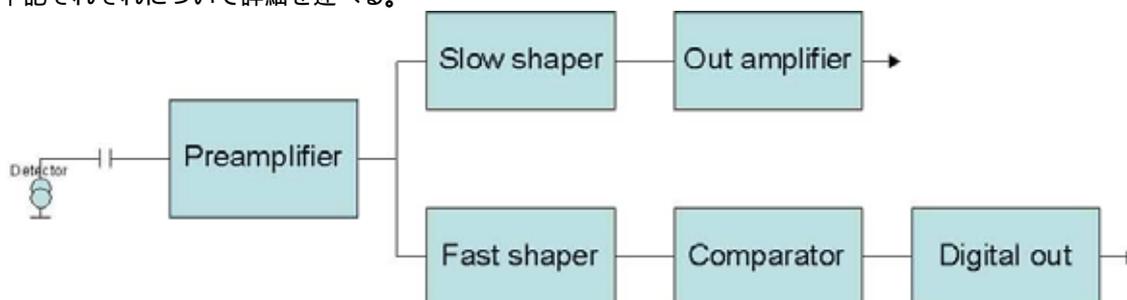


図4 MPGD 用多チャンネルフロントエンドアナログ ASIC の 1 チャンネル分ブロック図

1 - 2 - 1 CMOS マイクロパターンガスチェンバー用多チャンネル ASIC

目標：16~32 チャンネルの MPGD 用フロントエンド ASIC の製作を行う。

用途及び製作理由：マイクロパターンガス検出器（MPGD）用のフロントエンドエレクトロニクスは、実装密度の観点から ASIC で製作しなくてはならない。MPGD は uPIC, GEM を使用した検出器など実際の実験に使用されつつあり読み出しエレクトロニクスの需要が多い。の応用に生かすことが可能であるため製作を行う必要がある。

仕様：ブロックダイアグラムを図 4 に示すように各チャンネルは preamp, slow shaper, アナログ出力部, fast shaper, comparator, デジタル出力部よりなる。プリアンプ回路構成は図 5, スローシェイパーブロック構成は図 6 に示す。プリアンプ部は pMOS 入力のフォールティッドカスコード構成で帰還部はトランスコンダクターを用いている。入力トランジスタは低雑音を考慮しゲート幅が数百ミクロンとしてある。スローシェイパー部に関しては 100nsec ~ 数 usec をカバーするためにいくつかの抵抗及び容量選択用スイッチからなる RC-CR の時定数を決める受動素子と位相補償つき汎用 2 段アンプよりなる。ファーストシェイパー部はピーキングタイムが 30nsec 以下を設計目標とし、その出力がコンパレータに入っておりチャンネルごとの出力の有無を判定する。レイアウトは電源配線間の距離を 125 ミクロンの整数倍に制限し全てのブロックが直線で接続できるようにしておく。このようにすることで同じプロセスを使用する場合には各ブロックを選択しつなぎ合わせ容易に目的に応じたアナログ回路を再構成できる。またこのようにしておくことで、今後新たに製作された仕様性能が異なるブロックとのレイアウトインターフェースも容易となる。シミュレーション結果を図 7 に、仕様のまとめを表 1 に示す。これらは次年度以降ピクセル検出器などへの応用を考慮し 0.25um プロセスにおいても 1 チャンネル分の製作を行う。

次年度以降への展開：~200um ピッチまでのストリップ読み出し用 ASIC であればブロックをつなぐことで必要な ASIC を製作できる。実験環境によってはプリアンプ、シェイパー、ディスクリ、ラインドライバなどをゲイン、フィルター時定数などを変える事で対応可能となる。更に狭ピッチ対応する場合は 0.6um のレイアウトを変える、0.25um プロセスで製作したものの多チャンネル化のどちらかのステップを経て対応が可能である。またピクセル検出器への対応としては、今年度評価した 0.25um トランジスタ特性を使って来年度以降新しい回路を製作することが可能となる。

他の ASIC との関係：

(1) BJT プロセスによる AS,ASD 製作との関連

後述のように数十 MHz のレートに耐えうるストリップ読み出しの多チャンネルガス検出器および光検出器に対してはフロントエンドエレクトロニクスの一部を BJT を使用するほうが効率が良い。よって BiCMOS プロセスを使用することで CMOS プロセスで蓄積されたノウハウと BJT プロセスによって蓄積されたノウハウを結合させ新しいシステム ASIC を製作することが可能になる。

(2) TMC、電荷積分器製作との関連

多チャンネル化を考えた場合は当然アナログ信号、デジタル信号を処理しデータ量を減らし後段へ伝える必要が出てくる。このとき時間測定器としての TMC やアナログ処理ブロックとしての電荷積分器が必要となる。これらを適宜組み合わせることでシステム ASIC を製作していくことが可能となる。

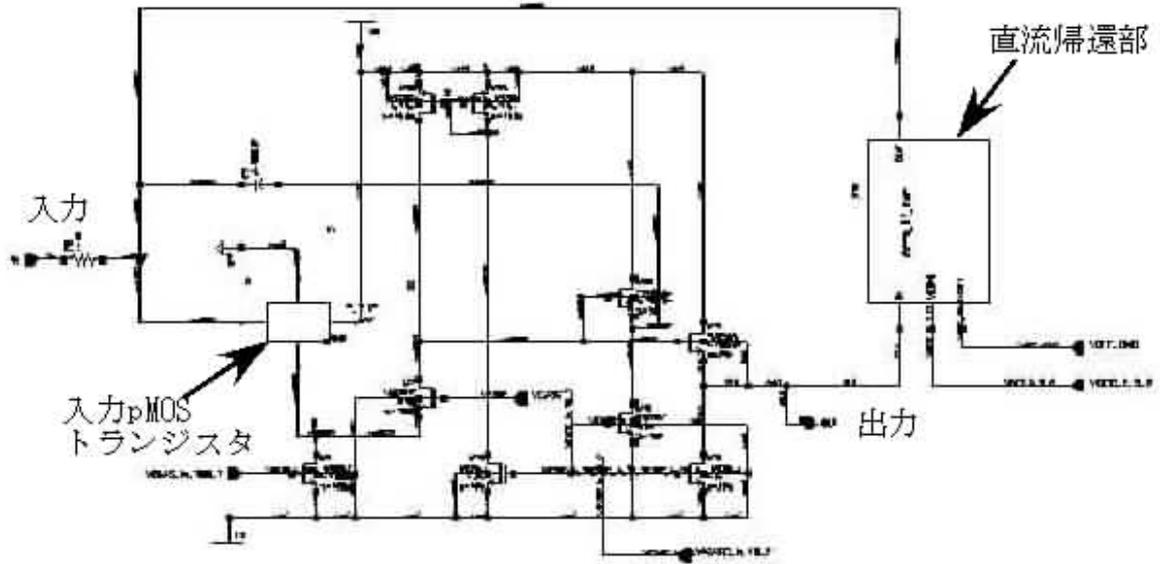


図5 プリアンプ部

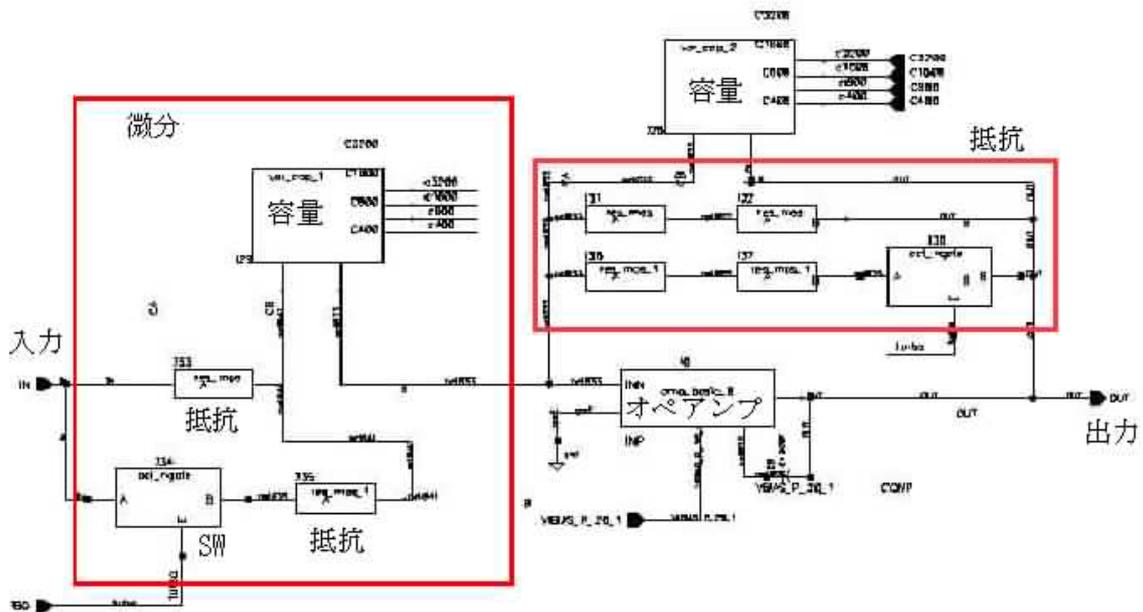


図6 スローシェイパー部

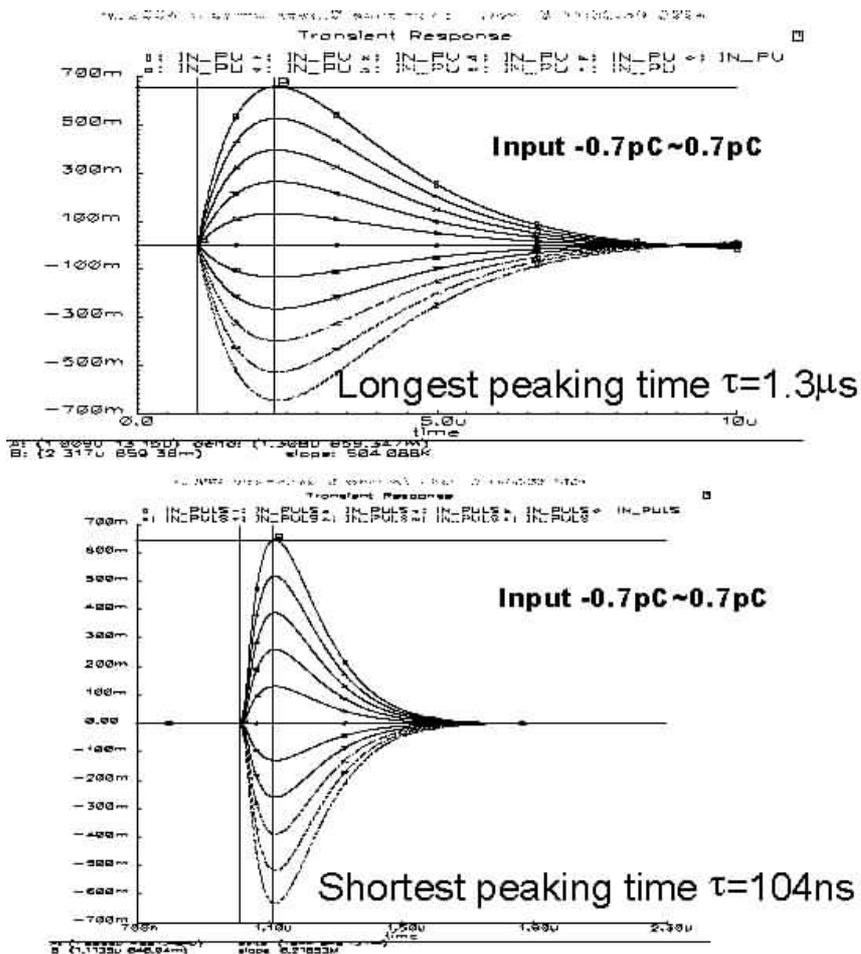


図7 スローシェイパー出力のコンピューターシミュレーション結果

チャンネル数	16 ~ 32channel/chip
入力信号レンジ	-0.7pC ~ 0.7pC
ノイズ	< 2000 e @ Cdet=100pF tp~100nsec
出力ダイナミックレンジ	-2V ~ 2V
耐圧	5V
電源	+2.5V,-2.5V,GND
プリアンプ 時定数 帰還容量	pMOS 入力フォールデッドカスコード 10usec ~ 100usec
スローシェイパー 時定数	RC-CR 100nsec ~ 1usec
ファーストシェイパー 時定数	30nsec 以下
デジタル出力	LVDS (仕様変更の可能性あり)
使用プロセス	0.6um CMOS, 0.25umCMOS

表1 MPGD 用フロントエンドアナログ ASIC デザイン仕様まとめ

プロセス選択

• BJT

- 広帯域増幅器を作りやすい素材 → ゲイン、**Noise**、ユーザーの取り込み
- 低雑音の高速スイッチ製作可 → アナログ+小規模デジタル、**TAC**、**QVC**(ショートゲート)

使用方針

- **BJT**のみで中低密度実装**IC**としての汎用性を追及 → **ASD**、**QVC**など
- **BiCMOS**でシステム化 → **FEシステムASIC**

• CMOS

- システム化しやすい素材である → 消費電力、アナログデジタル混在 → 高密度実装 (**ex. 100ch / cm**) **10ch/cm**は微妙なところ
- 微細加工向き構造 → 多チャンネル化、アクセスしやすい(プロセス数多)

使用方針

- 低消費電力化を追求 → **スイッチトキャパシタ回路**など
- **0.35um**以下超微細化プロセス → **高密度ピクセル**、**ストリップ読み出し**(低耐圧に注意!!)
- 中高耐圧用**CMOS(ex 0.6~0.8um,SOI)** → **使いやすさ(ダイナミックレンジ、耐圧)**

図8 我々の用途とプロセス選択について

1 - 2 - 2 AS(Amp-Shaper) 及び ASD(Amp-Shaper-Discriminator) ASIC

目標: 単年度でドリフトチェンバー、ストローチェンバーなどのガスチェンバー用読み出しフロントエンド ASIC の製作を行う。このとき時定数を2種類用意しひとつは S/N を犠牲にした高レート用フロントエンドエレクトロニクス、もうひとつは S/N を重視したフロントエンドエレクトロニクスの2種を製作する。またそれぞれに対しアンプシェーパーのみのものとそれにディスクリをつけたものの2種、計4種を製作する。使用する BJT プロセスは1年に1回しかサブミットできないため4種を一度にサブミットする。

用途及び製作理由: 高レート用ドリフトチェンバー、ストローチェンバー読み出し用フロントエンドエレクトロニクス集積化の要求は近年多くなってきている。理由として、高輝度衝突型加速器実験、高インテンシティ固定標の実験が増加し今後もこの傾向は変わらないこと、その動向の中で検出器の大型化によるチャンネル数増加及びチャンネルあたりのヒットレートの増加が更にエレクトロニクスの高レート化に拍車をかけており、ディスクリート回路で対応することが困難になってきたことおよびディスクリート素子が手に入らなくなってきたことなどが挙げられる。高レートであることからフィルタの時定数を 10nsec 以下設定することも必要となってきたが、この場合はバイポーラトランジスタを使用したほうが無理なく製作できる。それぞれのトランジスタプロセスの特徴を図8に示す。これからわかるように(また KEK 佐々木氏の製作した ASD-ASIC や PennUniv の ASDQ がバイポーラトランジスタを使用したものであることからわかる)それほど高密度実装が要求されず、システム ASIC 化が必要ない場合は BJT を使用したフロントエンドは CMOS に比べ一般にピーキング時間 10nsec 以下であるような高入射レート用の波形整形を行う場合、検出器容量とノイズの関係からは MOS トランジスタよりもバイポーラトランジスタのほうが有利であるためその利点を発揮できる。これからの実験は入射レートが高くなるため、セルを小さくできないような検出器はパイルアップを防ぐため波形整形においていまままでよりパルス幅の短い整形を要求されるようになる。特にセルサイズを小さくできないガス検出器(MPGDを除く検出器)はこのような処理が必要となる。

仕様: 今回製作する4種のASICのうち、電流アンブ型の回路図を図9に仕様を表2に示す。

将来への発展: 現状バイポーラ(BJT)プロセスを使用したASICのチャンネル数が多くできない理由は主に2つある。ひとつはBJTそのものの使用電流がCMOSに比べて大きいこと。もうひとつはBJTプロセスを使用する場合、信号処理(アナログマルチプレクサ、スイッチ、デジタル回路など)を実装することが面積、消費電流の関係上無理があるからである。このためBJTプロセスを使用したフロントエンドエレクトロニクスは従来のディスクリート素子を使用したフロントエンドエレクトロニクスと同じ多入力多出力ASICにしてあるからである。このうち後者はBiCMOSプロセスの導入により解決することが可能で、結果として16~32チャンネルくらいの高係数率用途のシステムASICを製作することが可能である。更にBiCMOSプロセスの導入によって我々に必要な高速ピークホールド回路、高係数率対応電荷積分器などの

TMC からのデータを処理するデジタル回路は変えていくべきものであるため、我々が基本回路ブロックとして高精度 TMC 回路を自由に使用できる環境を作っておく必要がある。そのためにはこの開発は欠かせない。仕様のまとめを表3に示す。

将来への発展：TMC の一部を他のフロントエンド ASIC に組み込むことが可能になる。

TMC-X R&D

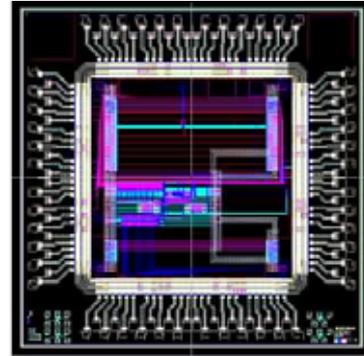
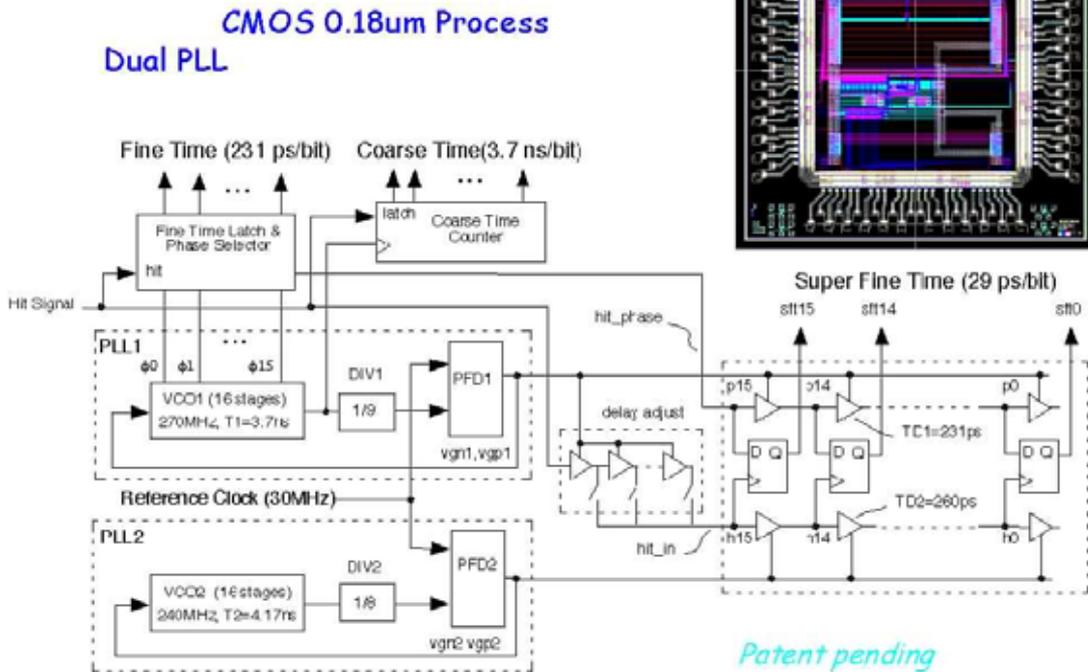


図 10 高精度 TMC 回路ブロック

Super Fine Time Simulation

$$\Delta T = T(\text{Slow}) - T(\text{Fast}) = 30 \text{ ps}$$

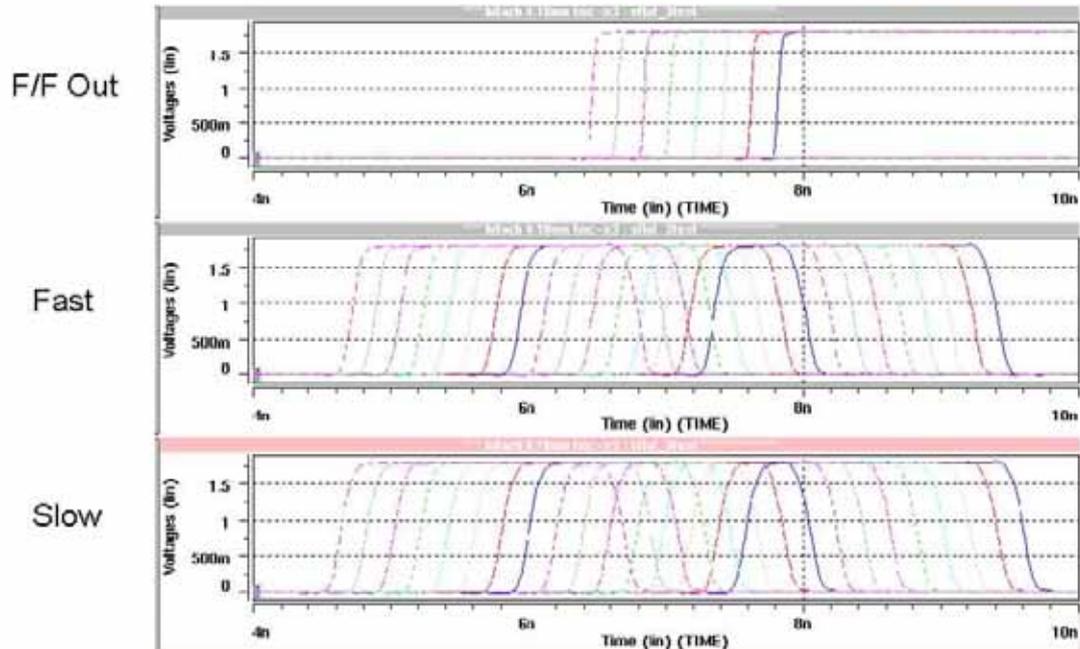


図 1 1 高精度 TMC ブロックのシミュレーション結果

時間分解能	29psec/bit
使用プロセス	0.18um
測定時間：ダイナミックレンジ	未定
電源電圧	1.8V?
チャンネル数	未定
形式	Dual PLL 使用 差動型 TMC

表 3 高精度 TMC デザイン仕様まとめ

1 - 2 - 4 電流積分器

目標：初年度で最短ゲート幅 100nsec の電荷積分器の製作を行う。次年度以降で多チャンネル化高機能化を狙う。

用途及び製作理由：CMOSトランジスタでなければ製作できない回路として、スイッチトキャパシタ回路およびその応用としての電流積分器の用途は広く、低消費電力でCMOSロジックとの親和性もよいためアナログデジタル混在システムASICの一部として頻りに使用されている。例を挙げれば

- 1、電荷有感型ADC(チャージセンシティブADC)
- 2、ウィルキンソン型低消費電力ADC
- 3、サンプルホールド回路
- 4、フィルタ
- 5、パイプラインADC
- 6、チョッパスタビライズドアンプ

などで、通常単体で使用するより信号処理回路の一部としての組み込み用途が多い。このため実際の使用環境では仕様に応じ積分時間、スイッチング速度などのいくつかのパラメータを最適化して製作することが多い。特にフロントエンドASICへの組み込みおよびバックエンドエレクトロニクスが多チャンネル化に向けた開発ではデジタル処理も含め全てをASICへ組み込むため、よく使用する機能ブロックをラ

イブラリとして準備しておく必要がある。特に電流積分器は現在我々が一番よく使用しているアナログ測定回路であり、これは我々の検出器が電流源でモデル化される事実からも必然である。よって短期的には光検出器(PMT:SiPM を含む)用に電荷有感型ADCの一部として電流積分器を製作し実用化させることを目標とする。これにより測定器開発の一部としてのASIC開発の意味がまし、他の開発R&Dとの連携も含めR&Dを推進するための強い動機付けともなる。

仕様：電流積分器のブロック図を図12に示す。これは2つの電流積分器をスイッチで切り替えて不感時間をなくす方法をとっている。それぞれの電流積分器は差動入力差動出力アンプを使用したスイッチトキャパシタ回路であり、完全差動構成であるためデジタル信号フィードスルーなどのコモンモードの影響を軽減することが可能となっている。またスイッチの非線形性の影響も軽減できる。図13にシミュレーションによる動作確認結果を示す。シミュレーション上ではリアリティは最大出力電圧振幅に対し0.1%未満であった。オペアンプ及び電流積分器の具体的なデザイン仕様を表4に示す。

将来への発展：ここでは回路ブロックとして、オペアンプ、コンパレータ、高精度電流源などが出来上がるが、用途に応じて修正を加え使用するなかで、ライブラリとして全体をまとめていく。またこれらを使用しQ2T,T2T,波形レコーダーなどの回路の基本要素として使用することが可能であるため後段の信号処理エレクトロニクスの多チャンネルASIC化に比較的低リスクで臨むことが可能である。またこれらを利用しフロントエンドと結合させ複雑な機能を持つシステムASICを製作することも可能となる。

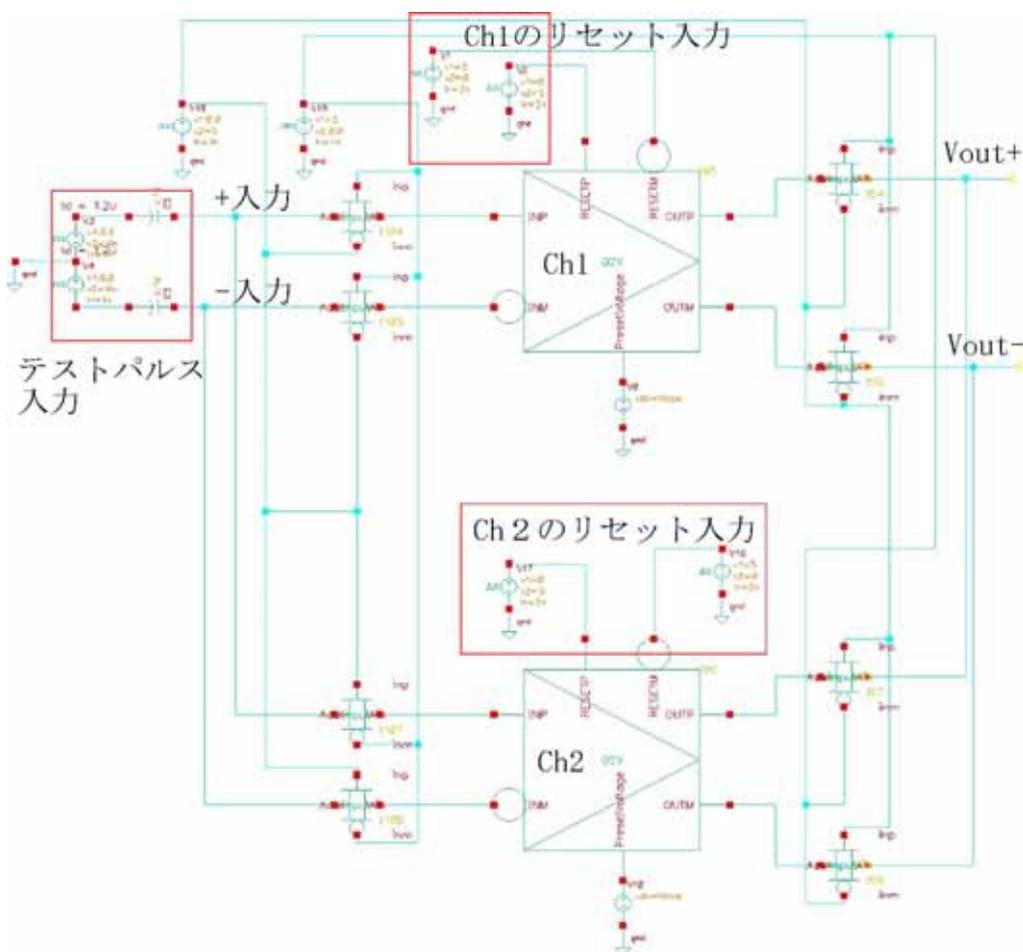


図 1 1 電流積分器の回路ブロック

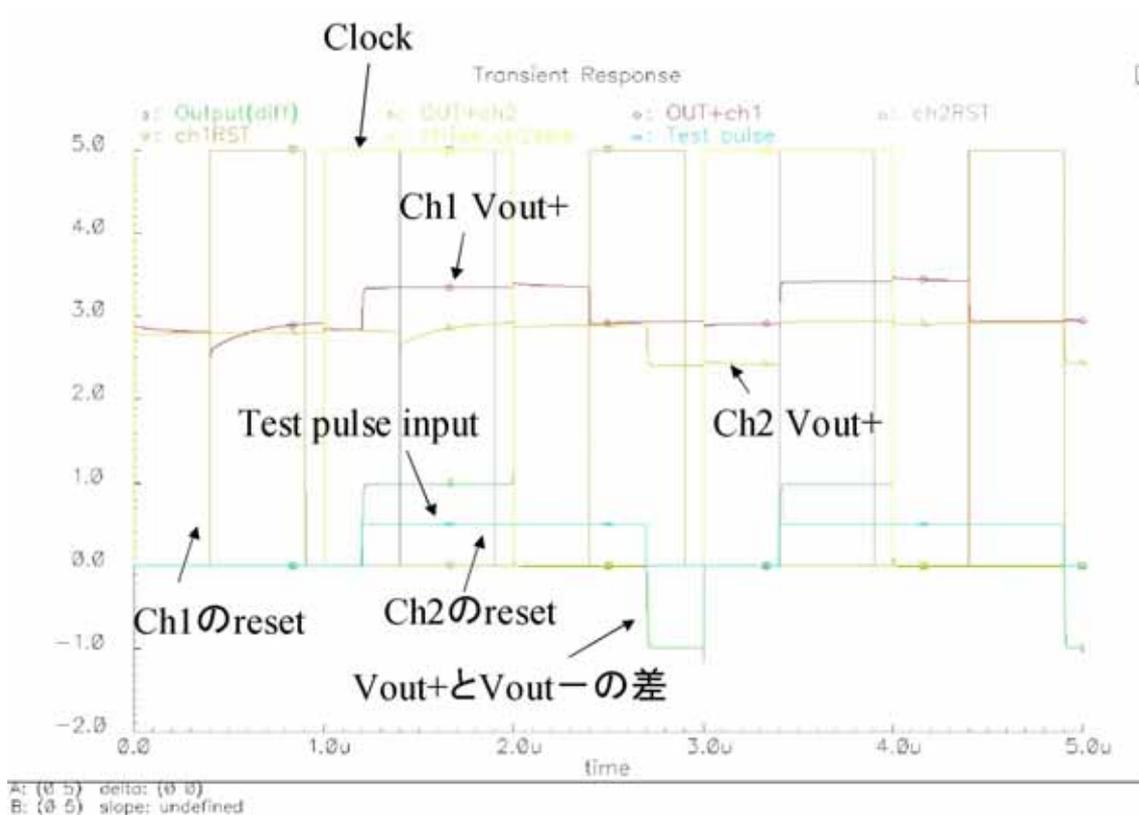


図 1 3 電流積分器のシミュレーション上での動作確認

Gate 幅	100nsec
Input	差動入力
Output	差動出力
Resolution	10bit
Dynamic range	4V (差動)
Integral non-linearity	8bit
電圧	5V
消費電流	2mA 未満
Differential amplifier specification	
Gain	~70dB
Gain bandwidth product	130MHz
CMRR	-100dB 未満
PSRR	-100dB 未満
Ch	未定
機能	外部ゲート入力、クロック同期選択 ゼロデータ圧縮機能

表 4 電流積分器および使用されている差動アンプのデザイン仕様

1 - 3 次年度以降への展開

1 年目で製作される ASIC は、MPGD 用フロントエンドアナログ ASIC16ch 入力 16ch 出力、ドリフトチェンバー用 4chASD-ASIC、25psecTMC の基本回路、電荷積分器である。まずこれらがどのように応用可能かについて述べた後、ライブラリ化の重要性和方向を述べ、その展開とそれらを使用した A S I

Cの開発についてのシナリオを述べる。

1-3-1. 1年目で製作したASICの応用について(短期的視点に立った応用)

u-PIC(京都大)用の読み出しエレクトロニクス及びGEMを使用したMPGDのテスト用回路に関しては、初年度の多チャンネルASICに対し必要であれば時定数などの修正を加えることで実用化可能であると思われる。一方MPGD用フロントエンド読み出しシステムASICの実用化に関しては信号レート及び読み出しピッチに関する他のプロジェクトの結果を見つつ用途に応じて処理回路を接続する必要がある。例えばMPGDを中性子検出器へ応用する場合であれば、アナログ部は初年度製作したものを使用しその後段にコンパレータをつけ、その出力をカウンタでカウントし1マイクロ秒ごとにカウンタ値をメモリにストアしビームOFFの時に読み出せるような機能を持たせることで実験の使用を満たすように出来る。2次元X線イメージング検出器の場合もレート及び読み出しチャンネル数によるが同様の処理でX線画像が取れる。一方ピクセル検出器に行く場合はピクセルサイズによって2つの方向が考えられる。ひとつは前述の回路をそのまま0.25umプロセスに移植しX線一つ一つを分離し処理する方法、もうひとつは全てを積分しそれを読み出す方法である。いずれにせよ初年度0.25umで試作を行うためピクセル検出器への応用も2年目から本格的に開始可能である。

TMCに関しては2年目において多チャンネル化を念頭にゼロデータ圧縮機能をどのように実装するか、及びタイミングコントロールをどのように実装するかなどを、実際の応用(固定標的用か、衝突実験用か、トリガーに対しエッジ検出を行う時間幅や方式をどのようにするかなどは、かなり応用によって異なる)を決めた上で製作することを目標にする。

電荷積分器に関しては、動作を確認し性能が充分であることがわかれば同期式コンパレータを導入しデータゼロサプレスをASIC内部で行い出力するような多チャンネル電荷積分型ASICを製作する。更に余裕があればADCを実装しデジタルバッファを内蔵しデータリンクを通じデータ転送することも考慮に入れASICを設計する。

1-3-2. ライブラリ化について

まず我々にとって必要なASICとは何かを考察しそこからライブラリもしくは知的資源の抽出が意味を持つことを明らかにする。そのうえでどのようにライブラリ化を行っていくかについて提案する。

我々の必要なASICを構築する場合に要求される点は以下のとおりである。

1、多チャンネル化、システムASIC化

高位置分解能検出器の導入、実験装置の巨大化に伴い、読み出しシステムを対応させるためには多チャンネル化が必要で、そこからの帰結としてシステムASICも製作する必要がある。但し多チャンネル化とプロセスの超微細化とは必ずしも同じ方向ではないことを覚えておく必要がある。(例えばVA128chは1.2umで製作されていた)更にここで多チャンネル化といっているのはフロントエンドエレクトロニクスのみではなく後段の信号処理部分も含んでいることを注意されたい。いずれにせよしつてむASICを開発する場合マンパワー、開発期間の点から見て一度製作した回路ブロックなどの再利用化は必要となる。

2、特殊な機能、性能

耐放射線性、精度はそれほどいらぬが広いダイナミックレンジ、産業用センサー処理回路と比較し高速処理(高レート対応)、データ収集の方法などが挙げられる。耐放射線性に関しては、ほとんどのものは気にする必要がないが、積分照射線量が数Mrad未満であれば0.25umプロセスの使用により解決できる。回路及びシステム構成が特殊な場合は、自前で必要なもの(回路図、レイアウトなどの知的財産)を確保することにより問題点を解決できる。逆に特殊であるため、自前の技術の導入を行わないときにはコスト、長期的な観点からみて、ASICおよびシステム開発に関し、デザイン及び技術の導入、保守に問題がおこる。(これはすでにモジュール開発、システムデザインなどに対し我々が経験していることである。)

3、多品種、少量(民生品などと比較して)

量産個数に応じたマルチチッププロジェクトを利用することにより、この問題に関連したコストアップを回避できる可能性を持つ。例えば数十個であれば試作も含めVDECが利用可能であるし、もっと大量になればMOSIS、サイバーシャトルなどのマルチチッププロジェクトのチャンネルを使用すればよい。ここで注意することとして、VDECは教育目的のマルチチッププロジェクトであり、VDECの理念を理解し使用すべきである。それゆえ基本的には量産100個以上のASIC製作には対応していないということ、色々な制約により我々自身が回路設計、レイアウト全てを行わなくてはならない点を把握したうえで使用するべきである。時と場合に応じプロセス、マルチチッププロジェクト及びデザインの方法を使い分ける必要があり、これはすでに述べたように、無制限に会社などに全てを頼るわけには行かないということ及び何かひとつプロセスやマルチプロジェクトで全てが解決できるような単純な方法をとれないことを意味する。これはライブラリを整備するうえで強い制限となりうるため注意しなくてはならない。(例えば量産プロセスへVDECで使用したライブラリを使用することは

不可能であることなどから、V D E CでのA S I C製作は基礎開発に限られ、我々が量産を念頭に置く場合は自前のライブラリを持つ必要がある。)

よって現状では人的資源、知的財産を有効に活用するために、今回のような具体的な開発項目を立ち上げつつ、その中から必要な回路ブロックを選び回路図レベル、レイアウトレベル、回路構成レベルでライブラリを製作していくことになる。このとき重要な点として、回路構成レベルの知的財産以外はプロセスを決めないと作れないという点である。回路構成レベルに関する知的資源の考え方はJAXA池田氏によりすでに提案されており(OpenIP)この方向で進めていくことが望ましいと思われる。一方短期間にある程度の成果を出しながら、ユーザーにとってのASIC製作の閾値を低くするという観点から、回路構成レベルのみでなく、一歩踏み込んで回路図レベル、レイアウトレベルのライブラリに関しても重点的に作業を進めていく必要がある。ライブラリ化を進めた場合の利点は下記のとおりである。

- A) 一度製作したものを再利用可能にしてA S I C開発リスクを減らす
- B) A S I C製作のリスクを減らすことで、新規参入者を増やしアクティビティのアップとライブラリの拡充が図れる。
- C) ライブラリを使用できる応用とそうでないものの区別が明確になり開発すべきA S I Cの仕様が明確になる。

ライブラリを製作する場合はプロセスを決めなくてはならないため、プロセス動向を概観した後具体的に方針を述べる。

ASICの製作を考えた場合半導体プロセスの動向を把握することは必要不可欠である。成長著しい半導体関連の長期的展望を述べるのは困難ではあるが、現状シリコンベースの集積回路の動向に関して言えば現状は大きく言って2極分化の方向にある。ひとつは超微細化、もうひとつは高耐圧化である。超微細化は後者に比べマーケットが大きくデジタル民生関連の製品が牽引し、高耐圧化に関しては車載用エレクトロニクスやMEMS用エレクトロニクス、ハイパワーエレクトロニクスなどの産業製品が牽引役となっている。ここで気をつけなくてはならないことは、超微細化に向けたプロセスは開発コスト、低トランジスタ耐圧、ノウハウの点で我々は今まで以上にアクセスしにくいプロセスになっていくと予想される点である。ここで、はっきりしていることは、ASICを製作する以上産業界の動向を正しく把握したうえで、必要な技術明確にし、それを取り込むもしくは開発する必要があるという点である。

我々の要求と現状での産業用プロセスの発展方向を考えたうえで、現状でありうる方向は次の2つ方向への分化と考える。ひとつは超高密度実装を主体とする超微細技術(0.35um以下のプロセスの使用)のシステムASICへの応用でありこれは半導体検出器(特に耐放射線性を必要とするもの)及びピクセル検出器などへの応用である。この方向は世の中のトレンドを追いつつプロセスが変化すると共にエレクトロニクスを代えていく必要がある。またプロセスが複雑になるためコスト高と製作リスクをどのように下げていくかが重要な鍵を握る。2つ目は超微細技術を要求しない中程度集積技術(現状では0.6~0.8umプロセスで耐圧が5V以上のCMOS、BiCMOS技術)の応用でこれらは高速フロントエンドやそれを含むシステムASIC及びバックエンドエレクトロニクスで5V耐圧を必要とするものの製作が主体となっていく。これはシステムを低リスクで製作するためには必要不可欠の方法でありこの方向でライブラリなどの知的財産をためこむコミュニティーが使用できるようにして、全体のアクティビティの底上げをはかることは現実的な方策であると考えられる。いったんこのような外部の会社や大学などの特許に左右されない知的財産が出来上がってしまうと、これらをほかのプロセスへ展開することも外部へ委託するなどしてプロセスターミネーションのリスクに対応できる。我々はこのような状況を正しく把握し、効果的にプロジェクトを進める必要がある。そのためにも回路ブロックの再利用可能化(ライブラリ化もしくはIP化)を考慮し何を新たに開発し何を保守するかを明確にしなくてはならない。誰がどのように製作し保守するかという組織論は次章以降へまわす。ASICの応用範囲とそれを展開するための半導体プロセスについてのまとめを図14に示す。これは開発が進んだ後に再度見直す必要がある。

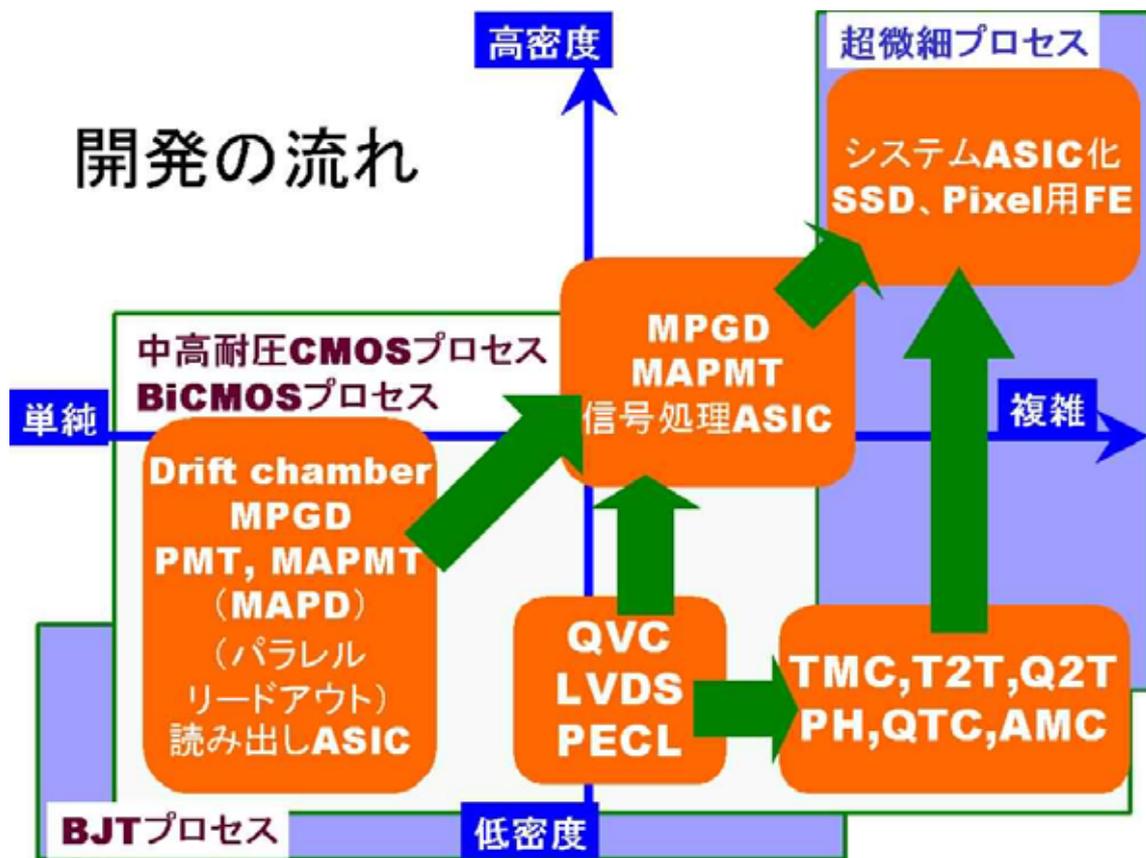


図 1 4 使用プロセスとその用途及びそれぞれの展開：展開の方向を矢印で表してある。

1-3-3. ライブラリ化とその展開

0.6 μ m CMOS プロセスでは、初年度ではライブラリに、プリアンプ、シェーパー、コンパレータ、電荷積分器などが組み込み可能である。これらは2つの方向に発展させられる。ひとつはデジタル回路と組み合わせて MPGD 用フロントエンドシステム ASIC を製作する方向で、いくつかの具体例はすでに述べた。もうひとつの方向としてはゲインを変える事で他の検出器のフロントエンド ASIC を作るためのライブラリにする方向である。具体的にはシリコンストリップ検出器、マルチアノード光電子増倍管、マルチアノードハイブリッド光検出器などが挙げられる。このうち S/N やレイアウトなどの制限が一番厳しいのはシリコンストリップ検出器用フロントエンド ASIC であるが、初年度の知識の蓄積が役立つと期待される。一方ピクセル検出器に関しては、チャンネル密度の観点から 0.25 μ m プロセスに進むのが妥当と思われるが、回路などは一部はそのまま、その他は修正を施すことで 0.6 μ m プロセスの経験を生かすことが出来る。電流積分器に関しては、回路修正により Q-to-T 回路、T-to-T 回路(time stretcher)などが製作可能である。また電流積分器の要素として製作される差動アンプは色々な回路のアナロググレースーバ、ドライバのみでなく、ワイドダイナミックレンジアンプ、波形記録回路、ADCなどの回路にも使用できる。

0.25 μ m プロセスではフロントエンド ASIC と電流積分器を製作する予定であるため、ここからの展開としては、前述のフロントエンド ASIC を高密度化するという方向だけでなく、2次元画像処理用ピクセル検出器用読み出し ASIC の基本要素としての電流積分器が用意できる可能性がある。必要であれば消費電力と実装面積に関し最適化する方向で修正し実際の応用へむけて次年度の後半からデザインに入ることが可能になると思われる。

この方法は回路をトランジスタレベルで設計、製作することに比べれば容易であるためこのプロジェクトにユーザーが参加しやすくなり、デザイン及びデザインの検証用マンパワーを増やすことにつながり、そこから得られる製作物を再使用可能にすることで更にユーザー数が増えるというようなポジティブフィードバックが期待できる。

2 組織、予算、スケジュール

2 - 1 組織表

初年度に関しては下記のような仕事分担で行う。

2年目以降は参加者の要求、力量により開発項目も考慮したうえで組織を変えていく。また作業項目とその運営方法に関しては4章に記述しておく。

	詳細仕様決定	デザイン及びレイアウト	レビュー(デザイナー以外の人間)	試験
CMOS-MPGD 用 ASIC (Piotr, 田中)	京都大、KEK	Krakow、KEK	KEK、京都大	京都大
ASD-ASIC(谷口)	神戸大、大阪大、KEK	KEK	KEK、神戸大	神戸大、大阪大
高精度 TMC(新井)	KEK	KEK	KEK	KEK
電流積分器(田中)	神戸大、信州大	KEK	KEK、神戸大、信州大、BINP、Krakow	神戸大、信州大

現状参加が決まっているスタッフのみを列挙する。(あいうえお順)氏名の後の括弧内は担当回路を示す。
 KEK：新井康夫(TMC)、斉藤正俊(トランジスタ TEG 試験)、佐々木修(ASD)、島崎昇一(ASD)、谷口敬(ASD)、田内一弥(TMC)、田中真伸(CMOS-MPGD:0.25um,電流積分器)、藤田陽一(トランジスタ及び電流積分器)

京都大：谷森達、窪秀利(CMOS MPGD-ASIC)

神戸大：川越清以(電流積分器)、折戸玲子(ASD)

信州大：竹下徹(電流積分器)

大阪大：青木正治(AS)

アルチザネットワーク：内田智久(CMOS-MPGD、電流積分器、デジタル関係全般)

Krakow：P. Kapusta(CMOS MPGD-ASIC:0.6um)

BINP：V. Aulchenko(電流積分器)

現在はこのプロジェクトの立ち上げを迅速に行うためにデザイナーおよびレビューアを限定しているが(現状：新井、佐々木、谷口、藤田、Kapusta、田中、田内、内田)今年度後半以降は徐々にユーザーを積極的に取り込めるようにしていく予定である。現在レビュー、デザインなどに関しては、メール、ミーティングを開いて情報交換をかねて連絡を取り合っているが将来デザイン、レビューに関し参加希望者がいれば自由に参加できるような体制を作っていく必要がある。効率化の観点からひとつの回路に関するレビューを行う人数、連絡の取り方、遠隔地も含めてミーティングをどのように開催するかなど決める必要がある。しばらくはメールとWiki(BLOG)の使用(<http://rd.kek.jp/project/asic>)の内部情報のページを参照のこと：但しNDAを締結しないと閲覧不可のページが存在している)及びKEKでのミーティングでの意見交換により作業を進めていくなかで作業、組織の問題点を洗い出していく予定である。考慮すべき点としては、新規参入のマンパワーの教育などに新たに人的資源を投入しなくてはいけなくなること及びワークスペースの確保、情報の共有化、守秘義務の徹底、知的資産の取り扱い、企業との共同研究などどのように具体化するかを検討する必要がある。

2 - 3 スケジュール(2005年度のみ)

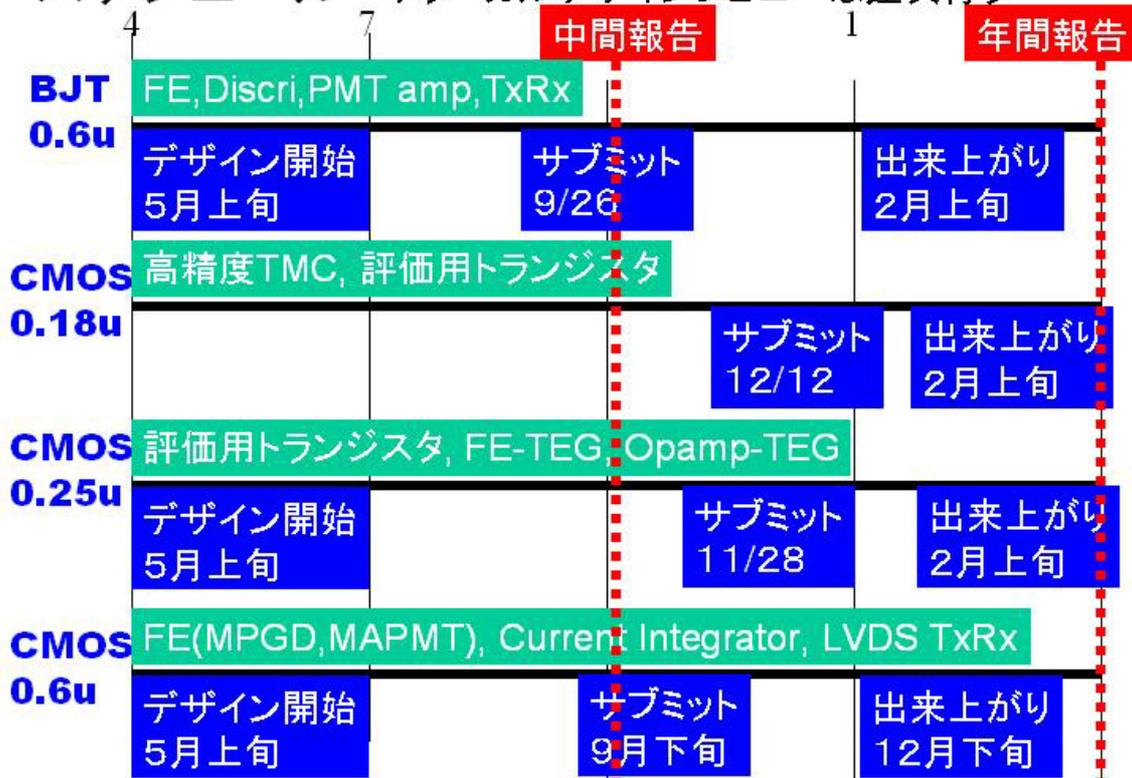
ここには4月の時点でのスケジュールを提示してある。下記のスケジュールは、交付額及び交付時期により修正する必要があることを理解されたい。現状では実作業を考えた場合6月からデザインを始めたのでは遅いため、ここに記述されているスケジュールにしたがって(0.25umに関しては会社との交渉が遅れNDA締結及び開発ツールの入手が遅れるなど諸事情により、デザイン開始がこのスケジュールから1~2ヶ月遅れとなっている)作業を開始している。

仕様策定に関しては、各大学、研究所と連絡をとりほぼデザイン仕様は決定している。仕様変更もしくは決まっていない仕様パラメータはデザインを進めていく中で各大学、研究所と共同で決定していく。詳細なデザインレビューは設計者間で逐次行うこととしている。デザインに関しては、MPGD用フロントエンドエレクトロニクス、ドリフトチェンバー用高速アンブリーパー回路、高精度TMC、電流積分器はデザインが開始されている。5月20日には電流積分器、及びMPGD読み出し用フロントエンドアナ

ログ ASIC の中間レビューを行った。また今年度から新たに試作を行う 0.25um プロセスに関して、会社より供給されていない基本要素（ボンディング用パッドなど）の製作およびノイズ特性を測定するためのトランジスタ TEG などデザインも製作を始めている。中間報告、年間報告に関してはこのプロジェクトに特化した報告会を設けるのか、それとも他のプロジェクト、研究会と合同で行うのかは未定である。

前述のように現在はこのプロジェクトの立ち上げを迅速に行うためにデザイナーを限定しているが今年度後半以降は徐々にユーザーを積極的に取り込めるようにしていく予定である。これに伴い年度後半から年度末にかけて組織作りに関する問題点（情報の共有化、教育、知的財産の取り扱いなど）を明確にしながらか具体策を検討していく。

スケジュール テクニカルデザインレビューは逐次行う



3 運用及び組織に関する考察と提案

前章まで、ASIC 製作に関し具体的な目標を挙げスケジュールなどを提示し、かつそこからの展開として、ライブラリなどの知的財産を蓄積し整備することが重要であると述べた。ここでは上記の目標を達成するために必要な組織の運用方法について開発プロセスを分解し、外部（会社など）のマンパワーなどに頼れるものとそうでないものを明確にし運用のモデルを提案する。

これによって全体の流れが整理され外部、内部双方からみて現状と評価、人員増強の必要性などがわかりやすくなる。さらにより一般的な R&D(ASIC 開発に限らない)への応用も可能になる。

ひとつの ASIC を起案し製作が完了するまでに行う工程としては、仕様策定、デザイン（回路設計、レイアウトなど）、レビュー（必要であれば再設計）、製作、テストが一連の流れであり我々が積極的に関与できるものはこのうち仕様策定、デザイン、レビュー、テストである。少なくともこれらは我々が理解し積極的に関与すべきものである。以下理由を挙げる。

- ・ 仕様策定を外部委託した場合は我々の必要な仕様を含め外部に正しく伝える必要があるが、この場合開発期間、コストなどを含めリスクを考慮した仕様を書き下す必要がある。また ASIC はシステムの一部であるためシステムデザインが決まってどの部分を ASIC 化するかを最適化する必要があるが、その作業を行う場合は更に広範囲の知識を必要とするため我々の行いたいことの全体を理解してもらう必要が出てくる。ASIC 製作の場合はシステム設計も同時に行う場合が多いため、システム設計に必要な広範囲な知識を持ち我々の必要とするシステムが何かを良く理解している人間がどうしても必要となる。この人的資源の不足は ASIC 開発者の不足と同じくらい緊急に解決しなくてはならない問題である。
- ・ デザインに関して、レイアウトは比較的外注しやすい項目であるが、回路設計に関しては前述のとおり少なくとも一部の特殊な機能は理解した上で我々が維持しないと長期的にみて問題が起こる。更にはデザインの最適化は仕様作成者とデザイナーの密な連携によっているため、仕様変更などによりコスト増、製作期間の長期化などの問題点が起こりうる。よって仕様策定時に回路構成も含めた具体的な提案を行うか、もしくはデザイナーと同程度の知識を持ち詳細なテクニカルレビューを頻繁に行うことができる体制を我々が持つ必要がある。この部分に関してのひとつの提案として出されているのがライブラリ化である。ただしすでに述べたようにライブラリが万能でないため、他の部分に比べ人的資源の投入はプライオリティが高くなる。
- ・ テストに関してはデジタル ASIC はアナログ ASIC に比べテスト仕様を書き下しやすいが、我々が製作しようとしている ASIC はシステム ASIC であるためアナログデジタル混在であり実際使用して問題点を洗い出すことが必要となるため全てのテストを外注することは不可能である。しかしながら仕様ははっきりしていれば、よほど特殊な機能でない限り測定装置、場所、人を選ばないため人員を確保しやすく現状でも大学、研究所間の共同作業で補完できる。

よって組織の点から見ても仕様策定、デザイン、レビュー、テストは我々が関与していかなくてはならないことがわかる。

今までの議論ではっきりしたように重要なのは開発と人的資源の確保と必要な開発の明確化(外部委託可能な部分の明確化)を同時に行っていくことである。どのように行っていくかを明確にするために ASIC の開発とは何かを考えてみると

1、システムへの組み込み

2、新しい機能もしくは回路構成の開発、デバイス（トランジスタやプロセス）の開発と応用

に分けられるがほとんどの場合我々にとって必要なものは1である。この場合我々の使用する検出器、信号処理が決まっているため、使用する回路ブロックは定型化されているものがほとんどで、それを使用トランジスタに応じて最適化することで要求を満たすことが可能である。つまりトランジスタレベルでの回路開発を頻繁に行うような開発は多くない。よっていくつかの決まった要素を回路図、レイアウトなどのレベルで維持していくことで対応可能であると考えられる。更にこのような過程（教育も必要）を通じて ASIC 開発への敷居を低くしていけば人的資源も確保でき、必要な開発は何かに関しても明確となる。ここまでで開発を通し何を行うかが明確になったため現状においてどのような方法をとればいいのかの提案を図 15 にまとめた。

実現に向けて

ASIC 開発及び ASIC 製作環境の整備維持のプロセスモデルは図 15 に示されているが、これらを行う人間から見た場合（タスクシェアの観点から）JAXA 池田氏の提案では ASIC を作りたい人（ユーザー：仕様策定者）、実際に ASIC を作る人（デザイナー）、レビューする人に分類しそれぞれが 3 ずつみ状態で ASIC を製作することで開発ルーティンを問題なく動かせるとしており、将来的には望ましい形であると思われる。現状を見た場合、人的資源の欠如から短期的にはこのような運営方法は困難があるため、仕様策定においてデザイナーの関与は必要となる。このような状況においては問題を起こさないためにもユーザーとデザイナー間で十分な意思の疎通が可能な状況にする必要がある。このコミュニケーションを通じユーザ

一も ASIC を作るうえで必要な技術の習得、技術知識の教育をとおし技術の難易度の判断などが出来るようになり、要求していることの技術的、金銭的、時間的難易度を考えながら全体を最適化できるようになるはずである。これを行うことで長期的に見て人的資源が確保できるのみでなく、組織としても調和が取れたものになると思われる。

現状で未解決の問題

一方技術の維持の観点からは、開発、ライブラリなどの維持、教育（特に無形のを維持するためには教育が必要）ツールの維持などに人員を割く必要がありこれらの人的資源をどのように供給するか、維持するかは重要な課題である。これらの人員はある程度高度な技術知識を必要とするため評価及び技術的な面白さが満たされない限り長期確保は困難である。（つまりサポートと研究、R&Dの両立をどのように行うかである）これはマネジメントがどのように行われるかに強く依存するためこれ以上は議論しない。更に注意しなくてはいけないのは、人的資源を外部（大学、企業）に求めるとき、コスト、知的財産などの問題がこれに絡み更に複雑になるため、自由な研究活動が阻害されないように、問題を起こさないようなガイドラインを設けておく必要もあるが、むしろ重要なのは、この事実はある程度の人的資源は我々の側で確保する必要があるということを示していることである。

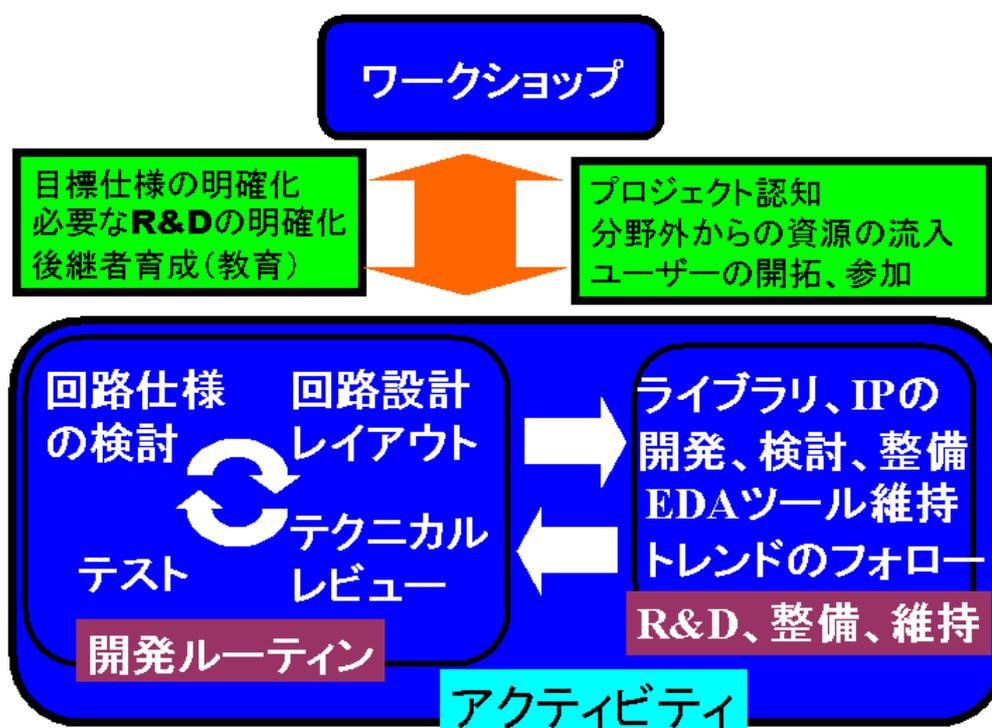


図 1 5

4 システム開発に関する考察と提案

ここでは ASIC を出発点とし検出器システム開発（最終目標）を行う場合必要となる技術に関し考察を加える。前章までで ASIC の製作に関し議論してきたが、システムを構築するといった観点から考えると ASIC の製作が完了すれば全て終了というわけには行かないことは明白である。例をあげるならば、実装の仕様（メカニカルな仕様、実装方法）で ASIC のパッド配置や形状などが変わってくる。システムを製作する場合どの部分を ASIC にし、どの部分を電子基板に落とすかという決定もコスト、マンパワーなどその時々によって変更する必要がある。よってシステム製作の観点から ASIC 製作技術のみでなく他の技術も含め議論しどのような方向に進むかを決めなくてはならない。この事実は次のことを我々に言っている。ASIC を使用したシステム化の途中でわれわれが得るノウハウは回路技術のみでないことに注目し我々の技術レベルを引き上げようとする意思が重要であり、技術の選択と取り込みをシステムティックに行う必要がある。この意味で ASIC 開発とシステム開発は仕様策定上切り離せないというだけでなく、将来の戦略などを考えるうえでも切り離すことはできない。よって ASIC 開発だけでなくシステム開発の重要性を認識すべきである。

これから以下にどのようなことを考慮すべきかを現状理解できている範囲で述べていく。技術開発項目を最適化するために、開発、維持のコストを考えたうえで産業用技術を使用するという立場をとり、何が特殊であるかを列挙することで関連技術の洗い出しとその必要性についてかんがえる。

1、 検出装置の特殊性

(ア) チャンネル密度が高いため検出器とエレクトロニクスの一体化が必要

民生用デジタルカメラ用 CMOS ピクセル検出器、スキャナー用ヘッドなどの画像処理関係のフロントエンド ASIC を除けば多チャンネルエレクトロニクスは民生分野では必要とされていない。逆にいうと半導体ピクセル検出器に関しては民生技術が一部使用できる(ただし特許も含め色々な制限が付く)。ここで必要な技術は実装技術である。問題となりそうな点は材料の熱膨張率の違いによる応力の変化、大面積 2 次元実装時のイーロドの低下などである。

(イ) 容量性負荷を持つ検出器である

産業用には主に電圧出力の検出器が容量値の小さい検出器が多く使用されており数十 pF~数百 pF を持つような検出器は通常使用されない。よってフロントエンドエレクトロニクスの低雑音化、信号処理など特殊となりうる場合がある。しかしこれはエレクトロニクスのデザインの問題であるため更に必要な他の技術は見当たらない。(あえて言えば JFET などの低雑音デバイスの開発である)

(ウ) システムの大型化、分散化、高ハーメティシティー化による多チャンネル化分散化

速度、規模など個別に見ると産業技術で達成されているものに比べ我々に必要としている仕様は容易に達成できそうであるが、産業技術と大きく違うのはそれらを全て同時に満たさなければならぬ点である。例えば数十 MH のクロックに同期させて数十~数百 m² に分散したデータを収集し、かつデータ圧縮を行う必要がある。圧縮を行わない場合チャンネル数が多いためにデータ転送のバンド幅は TB を超えることも起こりうる。つまり重要であるのは個々の要素の開発能力のみでなくシステム的设计(要素の組み合わせの最適化)が重要でありかつ本質的であるということである。

2、 使用環境の特殊性

(ア) 物質量が小さいことが望ましい

我々の分野以外では X 線測定システム(例えば X 線透過窓)は低物質量を必要とするが、他ではあまり見当たらない仕様である。よって検出器の材料、読み出しラインなどの低物質量化は我々自身で行っていかなくてはならないものである。

(イ) 耐放射線性

消費電力 S/N の観点より検出器近傍にエレクトロニクスを実装することが多いそのため耐放射線特性が重要となる。宇宙分野、原子力分野では材料の R&D および評価が精力的に行われている。

(ウ) 広い範囲(場合によっては数 km のオーダー)の分散環境である

これはすでに 1(ウ)において述べた。システム設計の能力のほうが必要とされる。

3、 信号処理の特殊性

(ア) 精度はそれほどいらぬがダイナミックレンジは広い

これは主に dE/dx や全エネルギーを測定する必要があるということにより起こるものである。信号帯域としては速ければ数十 MHz のアナログ信号に対しダイナミックレンジとしては 12bit~20bit 必要である。(PMT からの信号など)民生用ではこのような帯域の信号はビデオ帯の信号でありそれほどダイナミックレンジは必要ない。これを満足させるためには、回路構成及びシステム構成を考慮する必要がある。

(イ) 事象を分離するための時間間隔が短い。高ルミノシティー化、高強度化に伴うシステムのパイプライン化、マルチヒット化

これは加速器実験に特徴的なシステムへの要請である。したがって我々が開発していくべきである。

(ウ) 収集すべきデータを選択する必要がある。ただし実験ごと、時期により最適化する必要があるため変更可能にしない(柔軟性を持たせる)

この部分は(イ)とも関連し、システム設計時に考慮されなくてはならない。柔軟性を持たせるという意味ではモジュール化、FPGA の積極的な導入で解決できるので、鍵はシステム設計をどのように行うかである。

(エ) データの流れが 1 方向である。またそれをまとめる(CPU 及びデータストレージを通して)必要がある

CPU、データストレージなどは自己開発せず民生技術を使用することが前提であるため、重要なのはどこで民生技術との 1 線を引くかである。これはコスト、トレンドにより変えていくしかないが現状ではイーサーネットで分離することが、合理的であると思われる。

4、分野の特殊性

(ア) 長期間保守する必要がある

これは実験の長期化、大型化などから要求される事項であり、正しいコストおよびトレンドの把握を行う必要がある。これらはシステム設計に生かされる必要がある。

(イ) 単発的かつ汎用品と比較して数量が少ない

民生品のような月産数千～数万個というような製作個数ではなく、かつ実験ごとに仕様が変わるためそのたびに外部に発注をしているとコスト増になってしまう。一方全てをオーダーメイドしてメンテナンスできるような人的資源は現状存在しない。よって適度な共通化、再利用を考慮に入れたシステム設計が必要となる。

上記をまとめると低物質量、大面積高密度実装、耐放射線技術という材料及び実装技術に対する特殊な要求と多チャンネル高速分散同期データ収集の開発保守に関する要求の2つに大きく分類できる。

前者に関し実装技術以外は比較的用途が限られるため関連する分野と連携をとり情報収集およびR&Dを進めていく必要がある。またこれらを進めていくうえで蓄積された技術及び知識は外部に対し提供できるものとして考えられる。(耐放射線の評価の肩代わり、評価に関するノウハウ、材料、プロセス、などに関する知識の開示などの提供は可能となりうる。)実装技術に関しては大面積である必要がなければ民生用、産業用の技術を取り込めるため情報収集を充分に行った後材料、用途に応じ外部技術を取り込むことが可能である。このときプリント基板加工製作、IC実装技術のフォローと会社とのコストも考慮した提携は必要である。他の可能性としてKEKのワークセンターなどと協力し微細加工技術、実装技術を独自のものとして発展させていく可能性もある。

後者については我々が行うべきこと、産業技術を取り入れることを明確に分けた上でシステム設計をすることが一番重要である。どのような技術で我々のシステムと産業界を分離するかは議論があるであろうが一例を挙げておく。図16を参照されたい。横軸は我々のシステムのデータの流れに沿っており、左側に検出器右に行けば行くほどソフトウェアに近くなる。縦軸は特殊な技術の度合いを示す。上に行けば行くほど我々が保守していく必要がある技術である。横軸を(1)検出器、材料(2)エレクトロニクス要素(3)エレクトロニクス要素の組み合わせ及び関連技術(4)CPU、ストレージ、ソフトウェアに分け以下議論していく。

(1) 検出器、材料、実装

加速器実験において、残念ながら近年日本で我々が主導で開発された検出器、材料、ノウハウはほとんどない。これは組織の長期的戦略の欠如や社会貢献に対する認識不足などが挙げられる。ともかく現状では光検出器、半導体検出器は浜松フォトリソにほとんどを頼っており、かろうじてアエロジェル、ガス検出器(MPGD)などが我々主導で開発されたものと言ってよくこれらに関するノウハウは外部に提供できるしこれからも技術を蓄積していく必要がある。光検出器、半導体検出器に関してどのような戦略を立てるかはこれからの議論による。少なくとも低物質量材料、耐放射線材料の知識ノウハウに関しては関連するコミュニティも含め、持っている必要があるのは明確である。

(2) エレクトロニクス要素

いままではディスクリットトランジスタ、オペアンプなど産業用に市販されている要素を組み合わせで我々の必要な仕様を満たしてきた。これはある意味システムのデザインに含まれるものであった。しかしながら近年これでは必要なシステムをくみ上げることが不可能になってきたため集積回路技術を使用せざるを得なくなってきた。しかしながら開発費用、期間などを考慮すると以前よりリスクが大きくなってきている。このような状況ではいくつかの難形を作ることで再生産性、保守性を高めかつ新規開発を明確にする必要が出てくる。このためには製作物をライブラリとして再利用できるような環境を整える必要がある。

(3) エレクトロニクス要素の組み合わせ及び関連技術(システム)

前述の要素をシステムとしてくみ上げる場合、要素をくみ上げるために回路基板、電源、クレート、ケーブルなどの要素と技術が必要となる。我々の仕様環境を考えた場合低雑音電源以外はR&Dの要素はほとんどなく、必要なのはこれらの要素の標準化である(このときコスト、メンテ、産業技術の動向などは当然考慮されなくてはならない)その中で重要と思われるのは基板のサイズとそれによって決まるクレートの仕様である。コストおよび長期使用を考慮した場合、ユーロラック規格(特にVME6U、VME9U)が最適であると考えられる。(4)と関連しデータ転送にネットワークを使用した場合はバックプレーンは必要ないとおもわれるが電源分配を考慮した場合はアナログ用途も考慮し+5、+3、3は最低必要と思われる。これらの電源を供給するような規格はないためすでに存在するバックプレーンを持ってきても変更が必要となる。さて現状でよく使用されているものとしてはVME系列バックプレーン、PCIバスバックプレーンACTIバックプレーンがある。このうち後者の2つは主に通信系で使用されており、高速のデータ転送を考えた場合は選択肢に入るが現状ネットワークを使用するという仮定((4)参照)を入れると必要ない。更に通信系の規格特にシステム関係は日進月歩で変化しており、いったんこのような規格を取り入れてしまうと規格が廃れてしまったりした場合一度

製作したモジュールなどが使用できなくなるだけでなく、メンテナンスコストが増大する。(TKO や FASTBUS、CAMAC などの例からもわかる)一方 VME は FA (Factory-Automation) 関係で使用されておりいったん工場などの設備に組み込まれてしまった場合、運転は長期間に及ぶため規格自身の急激な変化が起こる可能性は少ない。

(4) CPU 関連、ソフトウェア

現状我々はパーソナルコンピュータをベースにシステムを安価に構築できるようになってきておりしばらくはこの傾向は変わらないと思われる。よって特に重要なのは演算処理装置 (CPU) とのインターフェースの標準化と使用するオペレーティングシステム (OS) の共通化である。これらは民生用途で開発されてきておりその変化は速い為これらの標準化、共通化にはトレンドとコストを考慮した選択がなされる必要がある。これに関する考察は内田のプレゼンテーションを参考にされたい。ここではネットワークをベースとする案を提示する。ネットワークをベースとした場合の利点は言うまでもなく CPU や OS との親和性がよいことである。但しパフォーマンスを最大限まで出そうとした場合の packets 制御、長いレイテンシが問題となりうる。しかしながら近年 FPGA の高機能化、デジタル ASIC 製作費用の低下などにより前述の問題点は解決できるようになってきている。(具体的には内田の博士論文およびプレゼンテーションを参照のこと) よって現在はフロントエンドにデータバッファを持たせ、Ethernet を用いたデータ転送によりデータ収集を行うというフレームワークが最適と思われる。ソフトウェアに関しては現状 LINUX が一番将来性があるため LINUX 上でデータ収集の標準データ収集ソフトウェアフレームワークを作ることが重要といえる。このフレームワーク中には多 CPU システムのブートアップ制御、メッセージパッシングシステムを含むスローコントロール系、データ転送、イベントビルドを行うデータ収集系が最低含まれる。これにオンラインデータ解析部及びマンマシンインターフェースを入れるかはこれからの議論であろう。

上記をまとめると、耐放射線性、低物質量に関する技術蓄積と情報収集は必須であり、これらの項目を含め検出器に関しどのような戦略でどのように知識を蓄積するかを明確にするべきである。一方検出器を含むシステム設計及び要素設計に関してはマンパワー、開発、保守費用の有効化を考慮して、雛形を製作しそれをもとにシステム開発を行うのが望ましいと思われる。この概念は例えば ASIC で言えばライブラリや IP であったり、システムで言えばクレートの規格などである。ここでは VME 規格、Ethernet、LINUX などをキーワードとしている。例えば具体的な提案システムとしては COPPER システム (<http://www-online.kek.jp/~daqplatform> 参照のこと) が挙げられる。

最後に長期的な戦略としてこれらを外部に対して提供できるものがあるとすれば以下の項目がリストアップできよう。

- 1、耐放射線
評価及び技術、情報提供
- 2、材料、実装
技術の提供 (検出器を含む材料に関する知識、技術)
- 3、システム製作
検出器システム設計
必要なノウハウの提供 (ASIC、モジュール、その他)
測定に関するノウハウの提供と提案及びコンサルタント

残念ながら 1 及び 2 は現状提供できるものはあまりないと思われる。逆に我々が必要なものを材料ベースから組織的に研究開発しその中から外部に向けて発信できるような状況にしていくのがよいであろうと思われる。3 に関しては可能であるが方針としては、ユーザーが何を測定したいかを理解しそれにあう方法を提案することが一番望ましい。つまりユーザーが行っている測定方法を改良せずに多チャンネル化、多機能化を図るのではなく我々が構築してきたシステムのよいところを組み込みながら提案するという事である。こうすることで材料や要素の提供でなく我々が培ってきたものを外部に還元できたと言えるようになる。