

SOIコンソ便り

CONTENTS

1. トピックス
2. 第2回研究会報告
3. SOIPIX誕生物語(その5)
4. 今後のスケジュール
5. 編集後記

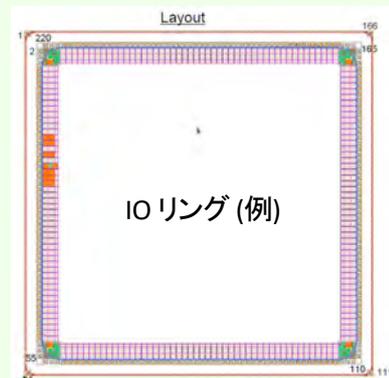
1. トピックス

1.8V IO Libraryのリリース

0.2 μ m FD-SOI CMOSプロセスでは今まで3.3 VのIO Libraryのみ準備されておりましたが、デバイス内部の動作電圧が1.8 Vであったり、高速動作要求やIOセル高さの縮小から、1.8 V IO Libraryの開発が待望されておりました。IO Libraryの開発には、特に静電破壊から保護するESD保護素子をどうするかにノウハウがあり、単なる回路設計と違い、開発のハードルが高くなります。今回、3.3 V版のESD保護設計にも携わった方にも監修を頂き、1.8 V IO Libraryを設計することができ、ユーザーにリリースするに至りました。

Library中に存在するIOセルは3.3 V版と同等の種類IOセルを準備致しました。またIOセル高さも縮小されております。今後、1.8 V単一電源でデバイス設計されたい方にはお使いいただきたく宜しくお願い致します。IOリングも準備させて頂いておりますので、IO Library使用のご参考にしていただければ幸いです。ご不明の点等ございましたら、KEK 倉知或は担当の高柳までご連絡下さい。

Status	1P8 IO Library		IO セルリスト	Status		
1.8V対応	Cell name	Type	Description	schematic	layout	test/str
<input type="checkbox"/>	io1EN_SMA_1P8	Input	1.8V LVTTL Digital Input Buffer with Y'PB	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	io1END_SMA_1P8	Input	1.8V LVTTL Digital Input Buffer with Y'PB and Pull Down T1-T1-DRAWN 8V1	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	io1ENOP_SMA_1P8	Input	1.8V LVTTL Digital Input Buffer with Y'PB and Pull Down T1-T1-DRAWN 8V1 Enhanced Y'PB	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	io1FAC_SMA_1P8	Output	For static Digital Output Buffer (Hex)	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	io1FOS_SMA_1P8	Output	Tri-state Inverting Digital Output Buffer (Hex)	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	io1VDDIS_SMA_1P8	Power	1.8V Power cell for core transistors	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	io1VSS_SMA_1P8	Power	Ground cell for VDDIS	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	ioCORNER_SMA_1P8	-	Corner Cell	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	io1_SMA_1P8	Input/Output	Analog pad with protection diodes and resistor	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	io2_SMA_1P8	Input/Output	Analog pad with protection diodes	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	io1_SMA_1P8	Input/Output	Direct analog pad	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	io1_SMA_1P8	Input/Output	Digital bidirectional Input/Output (Hex) Buffer	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	io1_SMA_1P8	Input/Output	Digital bidirectional Input/Output (Hex) Buffer with fast return path from A to Y	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	io1_SMA_1P8	IO ring	IO ring cell	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	io1_Mat_SMA_1P8	-	IO ring cell. Layer change in M1 power line	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	io1ORBUF18EN_SMA_RR_VT	Output	Analog output buffer	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	io1ASIS_SMA_RR	-	Analog buffer bias circuit	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	io_1_SMA_1P8	-	Analog buffer layout example	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	io1_SMA_1P8	IO ring	IO ring for 2.6mm chip (PGA17B)	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	io1_SMA_1P8	IO ring	IO ring for 2.6mm chip with 200um bias spacing for pad (PGA17B)	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	io1_SMA_1P8	IO ring	IO ring for 4.5mm chip (PGA17B)	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	io1_SMA_1P8	IO ring	IO ring for 4.5mm chip with 200um bias spacing for pad (PGA17B)	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	io1_SMA_1P8	IO ring	IO ring for 6.0mm chip (PGA20B)	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	io1_SMA_1P8	IO ring	IO ring for 6.0mm chip with 200um bias spacing for pad (PGA20B)	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	io1_SMA_1P8	IO ring	IO ring for 6.0mm chip with 200um bias spacing for pad (PGA17B)	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

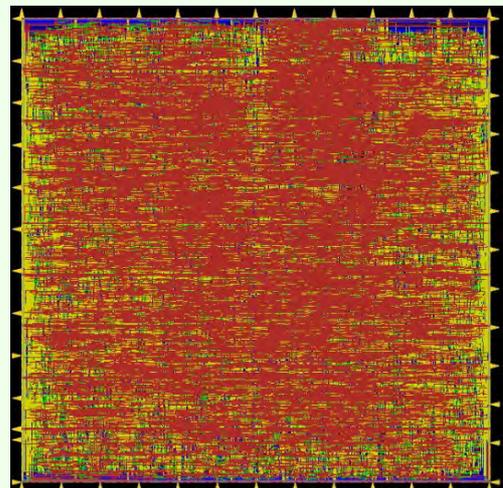


Digital Library 試用

フランスのIPHCグループによるDigital Libraryの第1版が完成し、電通大のCong-Kha Pham教授により8bit RISC CPUのVerilogからの合成・自動配置配線が試みられた。第1版という事でいくつかのトラブルがあったが、右図のように無事レイアウトが作成され、シミュレーションも行われた。

今後もさらに改良が加えられ、セルの数も増やしていく予定です。

Digital Libを使用して合成されたRISC CPUレイアウト



2. 第2回研究会報告

3月23日に実施を予定しておりました第2回研究会を5ヶ月遅れでVirtualにて9月3日に開催いたしました。3月に延期した時点では6月以降になればCOVID-19の終息も見えてきて研究会も実施できるのではと考えておりましたが、予測が甘く、第2波での発症者増加で開催が後ろ倒しとなってしまいました。WEBでの開催となりましたが、経験もなく、その下準備にも少し手間取ってしまいました。

今回の研究会では、SOIセンサ技術の特徴を実際に開発されている方からコンソ会員の方へお伝えする事を最大の目的とし、今後のSOIセンサ技術を使った開発へつなげていくための皆様への情報のインプットになればと計画致しました。下記のプログラムで示されていますようにプロセスからピクセル検出器の実用例、構成素子であるSOI-MOSFET、新型Photo Diodeに関するお話と我々のコンソーシアムで扱っている話題を幅広く集めました。

ラピス宮城の三浦様からはラピス様のご紹介とSOI素子の特徴とそれを活かしたアプリケーション、更に裏面処理に関しての最新のトピックスが紹介されました。T-Microの元吉様からは最近の3次元積層技術全般に関してや、特にSOIで用いている μ バンプのお話、産業技術高専の山田先生からはその3次元積層技術を使い試作したピクセルセンサの評価結果がレビューされました。KEK倉知からは極低温動作や放射線耐性の良いSOI-MOSFET、東京理科大学の萩野先生からは新センサとなるPDD構造での放射線耐性のお話を聞くことができました。WEB会議へのご登録者は46名で、ほぼ40名程度のご参加を頂き、初めてのWEB研究会でしたが盛況に実施することができました。 (倉知)

プログラム

- 13:30-13:40 はじめに KEK 倉知郁生
- 13:40-14:10 SOIのプロセス技術とアプリケーション ラピス宮城 三浦規之
- 14:10-14:40 3D量子イメージセンサ実現のためのプロセス・デバイス技術 T-Micro 元吉真
- 14:40-15:10 国際リニアコライダー実験にむけた3次元積層技術を用いた高位置・時間分解能ピクセル検出器 産業技術高専 山田美帆
- 15:10-15:30 Break
- 15:30-16:00 SOI MOSFETでの特殊環境下動作への挑戦 KEK 倉知郁生
- 16:00-16:30 Pinned Depleted Diode構造を持つX線SOIピクセル検出器の放射線耐性の検証 東理大 萩野浩一
- 16:30-16:40 まとめ KEK 新井康夫



研究会WEB画像



SOIPIX誕生物語

～その5 紆余曲折～

無事最初の試作チップでイメージデータが得られた事で、2006年4月にStanford Linear Accelerator (SLAC)で開催された国際会議で初めての報告を行った。KEKが新しいピクセル検出器の開発に乗り出した事をアピールする事が出来、海外の研究者の興味を引くことも出来た。

しかしながら、バックゲート効果等センサーに付随する様々な課題を解決するためには、専用ランを行う必要があると考え、各種会議で参加者を募り、2006年末には国内外の研究者からの設計を集めたMulti Project Wafer (MPW)ランを独自に行う事が出来た。このランには、国内大学の他米国のLBNL研究所, Fermilab研究所, Hawaii大学からの参加も得ることが出来た。ちなみに、2007年3月に最初の研究会をKEKで開きましたが、この時米国の研究者はインターネットを通じたりリモート参加でした(音声のみですが)。

順調にスタートしたかに見えたSOIPIX開発だが、2007年春にはそれまでプロセスを行っていた八王子の試作ラインが閉鎖されることになってしまった。いろいろと交渉の末、SOIの量産を行なっている宮城沖電気(株)(現ラピスセミコンダクタ宮城)の0.2 μ mラインを使わせていただく事になり、0.15 μ mプロセスから移行する事になった。

なんとかSOIPIX開発を継続することが出来、ユーザーの数も次第に増え、2008年1月にはLBNLの研究者等と宮城沖電気の工場を訪れた(写真)。その時の開発部部長が現コンソ代表の倉知であったが、実はSOIPIX開発には反対であった、、、



写真. LBNLの研究者(後列左から3, 4番目)と宮城沖電気(株)を訪問(2008年1月)。前列左から3番目が倉知、6番目が新井。

(続く)

KEK 新井康夫

4. 今後のスケジュール

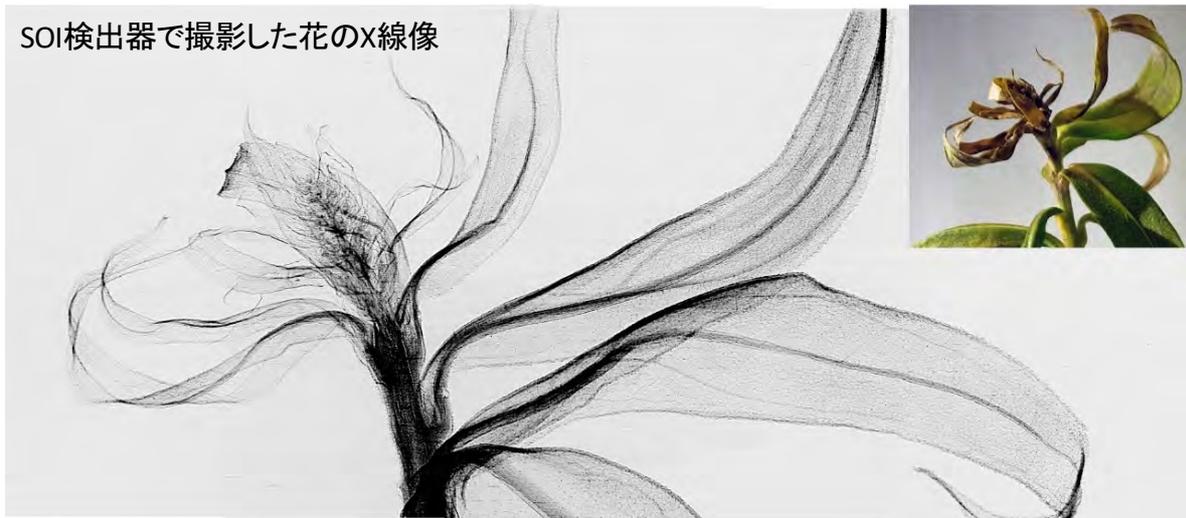
2020年

- * 12/10-11 SOI設計講習会（予定）
- * 11/20 R2年度MPWラン GDSデータ締切り

2021年

- * 3月末 R2年度MPWラン 試作ウエハ納品

SOI検出器で撮影した花のX線像



5. 編集後記

東京ではコロナ蔓延も終息への道のりがまだ見えなく、この夏は急に猛暑となり熱中症になれる方も増加、本当に特別な夏で一生記憶から消えない夏になりました。やっとここ数日は秋らしく清々しい日々になってきて、コロナ感染者も若干ですが減少傾向かな？というこのごろです。ただ、この状況は人々に大きな影響を与えているようで、芸能の方でも自ら命を絶った方が報道されております。それぞれに事情があって他人には計り知れないものがあるのでしょうか、容姿や能力・財力ふくめ自分よりもずっと多くのものを持っているはずなのに、本当に残念で仕方ありません。われわれのコンソ活動も2年目に入り活動を加速化していきたいところですが、なかなか思うように進まず、ジレンマに陥りそうです。ただ、この状況がずっと続くわけではなく、必ず次の明るい世界があると信じて、前を見て前へ進むことに全身全霊を傾ける努力が何よりも重要なのでしょう。皆様、こんな状況ですが前へ向かって頑張ってください。次回、年末・年始あたりに発行できればと思います。（倉知）

コンソーシアム入会は <http://rd.kek.jp/project/soi/conso/nyuukai.html> からお願いします。

