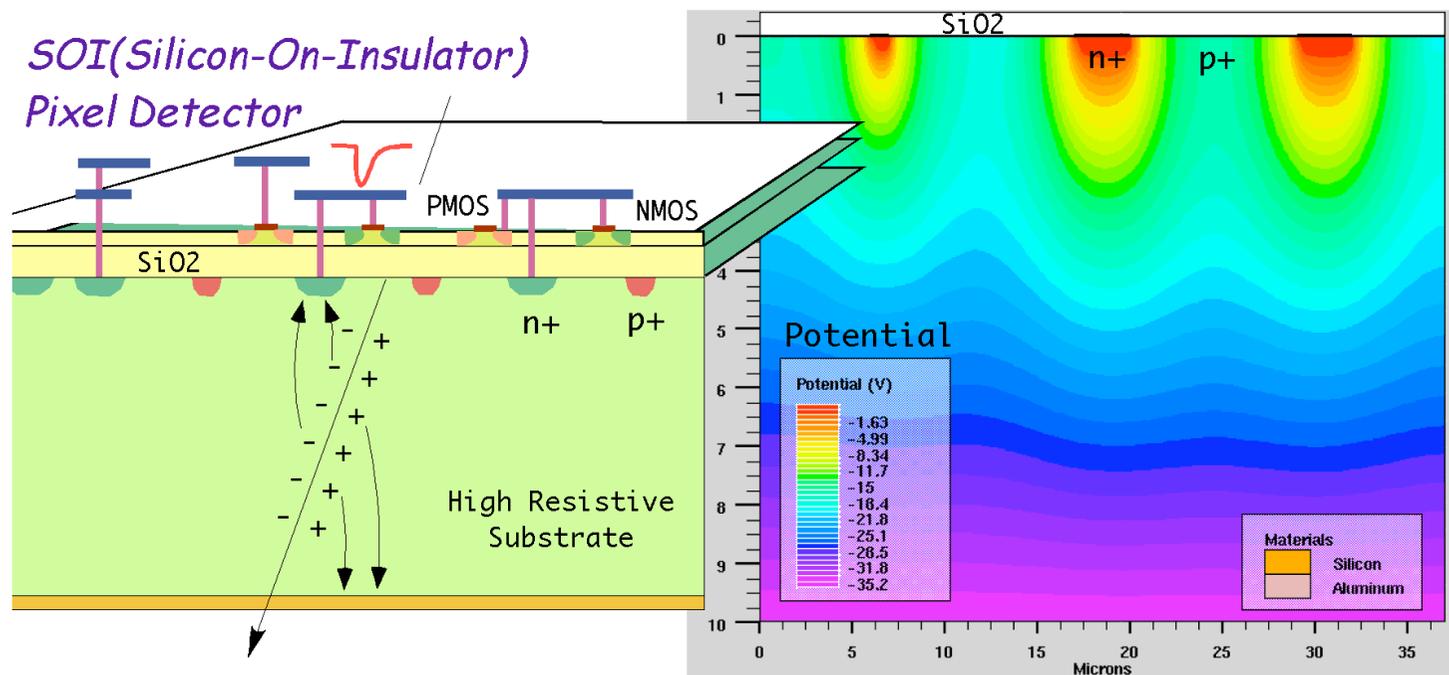


SOI Pixel Detector開発 報告

2005.9.13 @ 物理学会(文責 新井)
<http://rd.kek.jp/project/soi/>

[参加メンバー]

KEK: 海野義信、寺田進、池上陽一、坪山透、羽澄昌史、田島治、後田裕、新井康夫
新潟大学: 川崎健夫
筑波大学: 原和彦
東京工業大学: 石野宏和
広島大学: 大杉節
JAXA: 池田博一
U. of Hawaii: G. Varner, M. Barbero, J. Kennedy, L. Ruckman, K. Uchida, C. Yang
SLAC: Hiro Tajima



目的

SOI(Silicon-On-Insulator)を用いた Monolithic Pixel Detectorの開発。

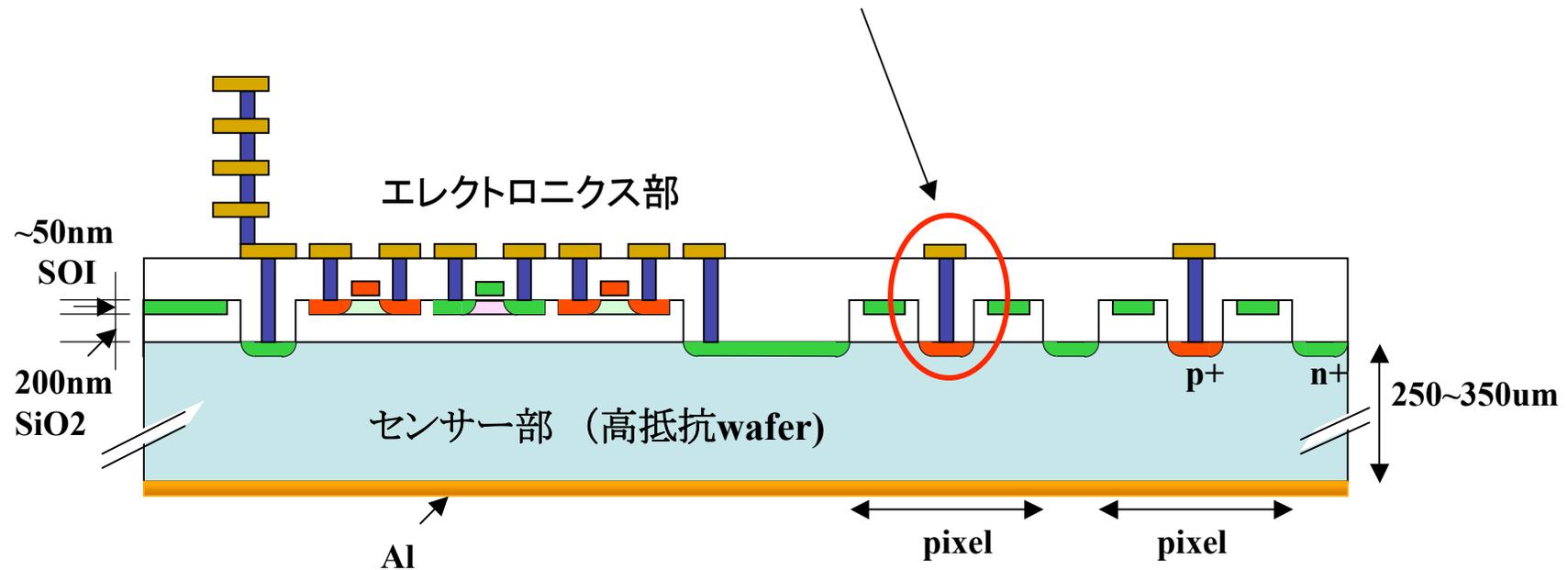
特徴

- センサー部と回路部で異なる抵抗値 S_i を選択できるので、完全空乏化による高い電荷収集効率と複雑なCMOS回路が同時に実現出来る。
- 放射線に強く、高温でも動作。
- センサーとの接続部の浮遊容量が少なくS/Nが良い。
- 高い位置分解能 ($\sim\mu\text{m}$)
- 高速、低消費電力、高機能
- 将来のLSIの主流であり、技術的発展の可能性が大きい。
- 先端プロセスによる SOI Pixel検出器は世界初となる。

現状

SOI CMOS 0.15 μ mプロセスを元にスタート。

センサーとエレクトロニクスを接続する基板コンタクトを開発中。



スケジュール

10/7 VDEC プリアンプ等回路TEGサブミット(2.5mm角チップ1種)

10/14 Pixelテストチップ 2.5mm角 x 4種 サブミット

2006年3月 試作チップ完成予定

Pixel Layout Example

