



SOI技術による一体型ピクセル検出器 (光、X線、荷電粒子)

2009年3月9日

映像情報メディア学会 次世代画像入力専門研究部会
@NHK放送技術研究所

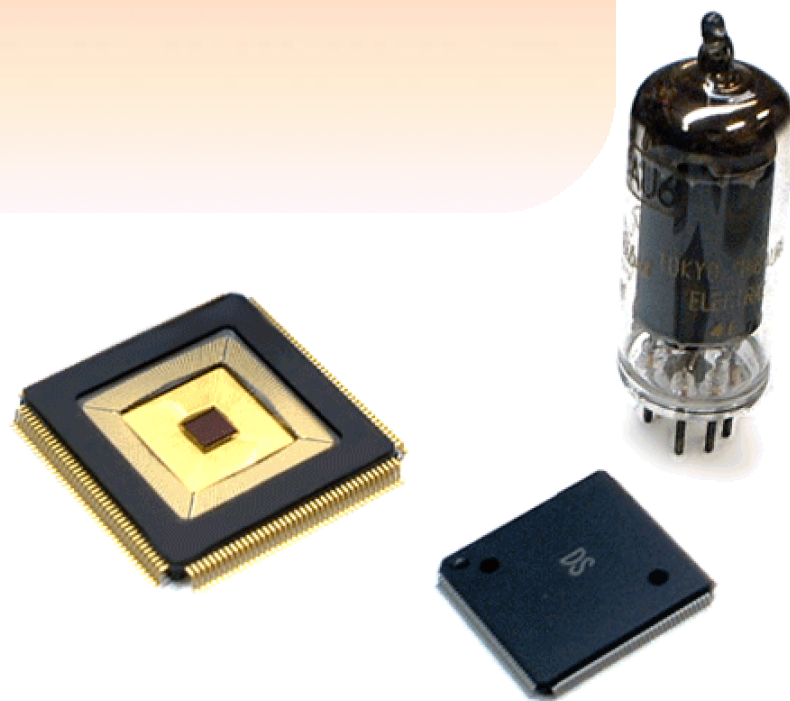
新井康夫 (yasuo.arai@kek.jp)

高エネルギー加速器研究機構 (KEK)

素粒子原子核研究所

OUTLINE

1. KEKとその研究の紹介
2. SOI技術の紹介とSOI Pixel開発経緯
3. SOI Pixel Detectorの開発状況
4. Summary



1. KEKとその研究の紹介

KEK (<http://www.kek.jp>)
Established in 1971.



高エネルギー加速器
を使った素粒子・原子
核・物質の研究。
職員~700人

~2 km

2008.12.10



Copyright © The Nobel Foundation 2008

日本人3氏ノーベル賞

南部・小林・益川氏に物理学賞



南部陽一郎さん



小林誠さん

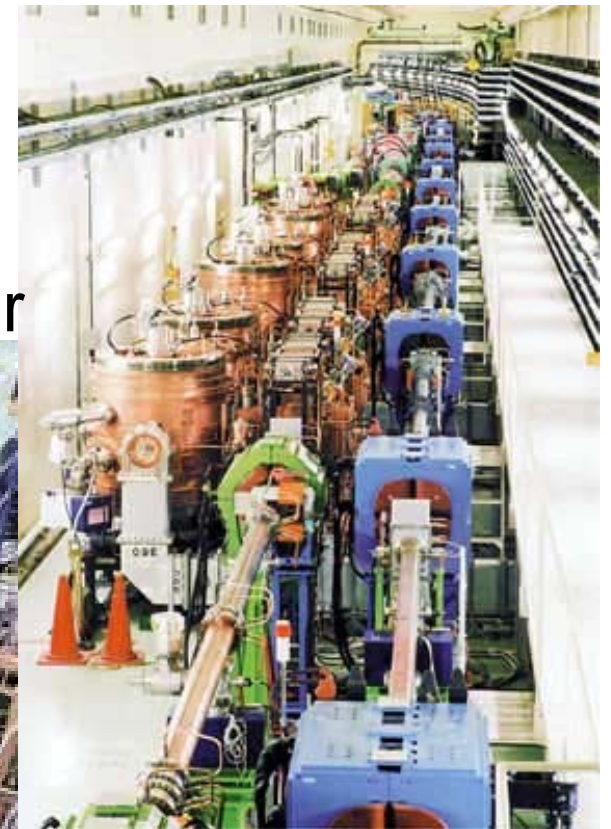


益川敏英さん



KEK-B Electron-Positron Colliding Beam Accelerator

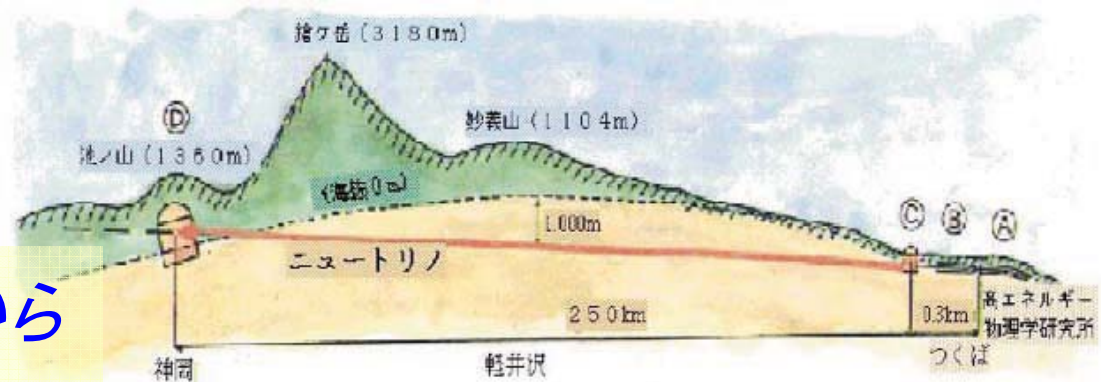
Belle Detector



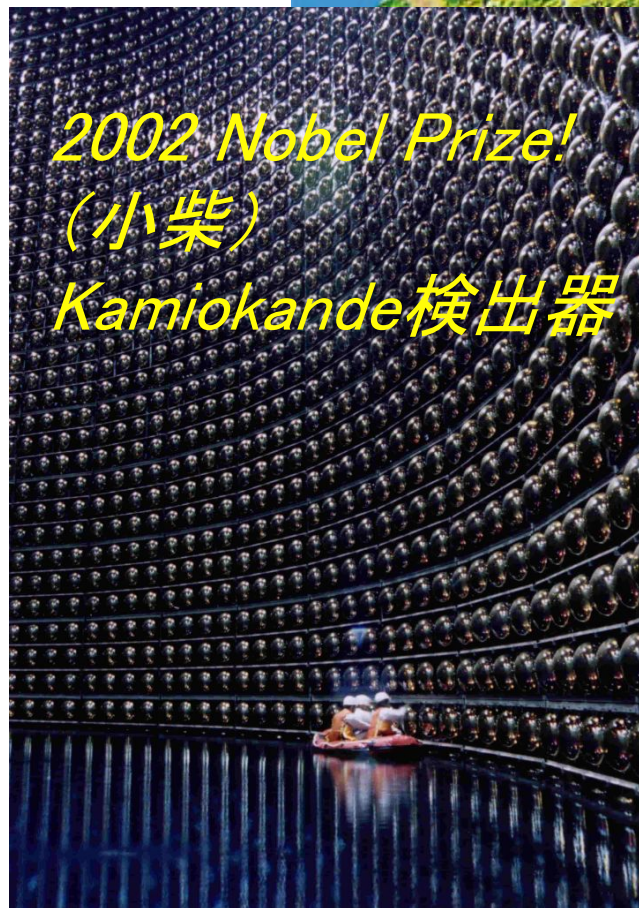
*CP対称性の破れの検証
World Highest Luminosity!*

Neutrino Oscillation

K2K(KEK To Kamioka) 実験から
T2K(Tokai To Kamioka)実験へ



2002 Nobel Prize!
(小柴)
Kamiokande検出器



原研+KEK共同プロジェクト
2009春 稼働予定

LHC(Large Hadron Collider)実験

$$\Delta x \approx \frac{\hbar c}{E}$$

CERN (欧州原子核研究所) @ジュネーブ

陽子-陽子衝突@14TeV、2008.9 加速開始

LHC加速器、周長27 km

フランス

スイス

CERN

1989 WWW誕生の地

2009-2-6

TDCの設
計と応用
新世

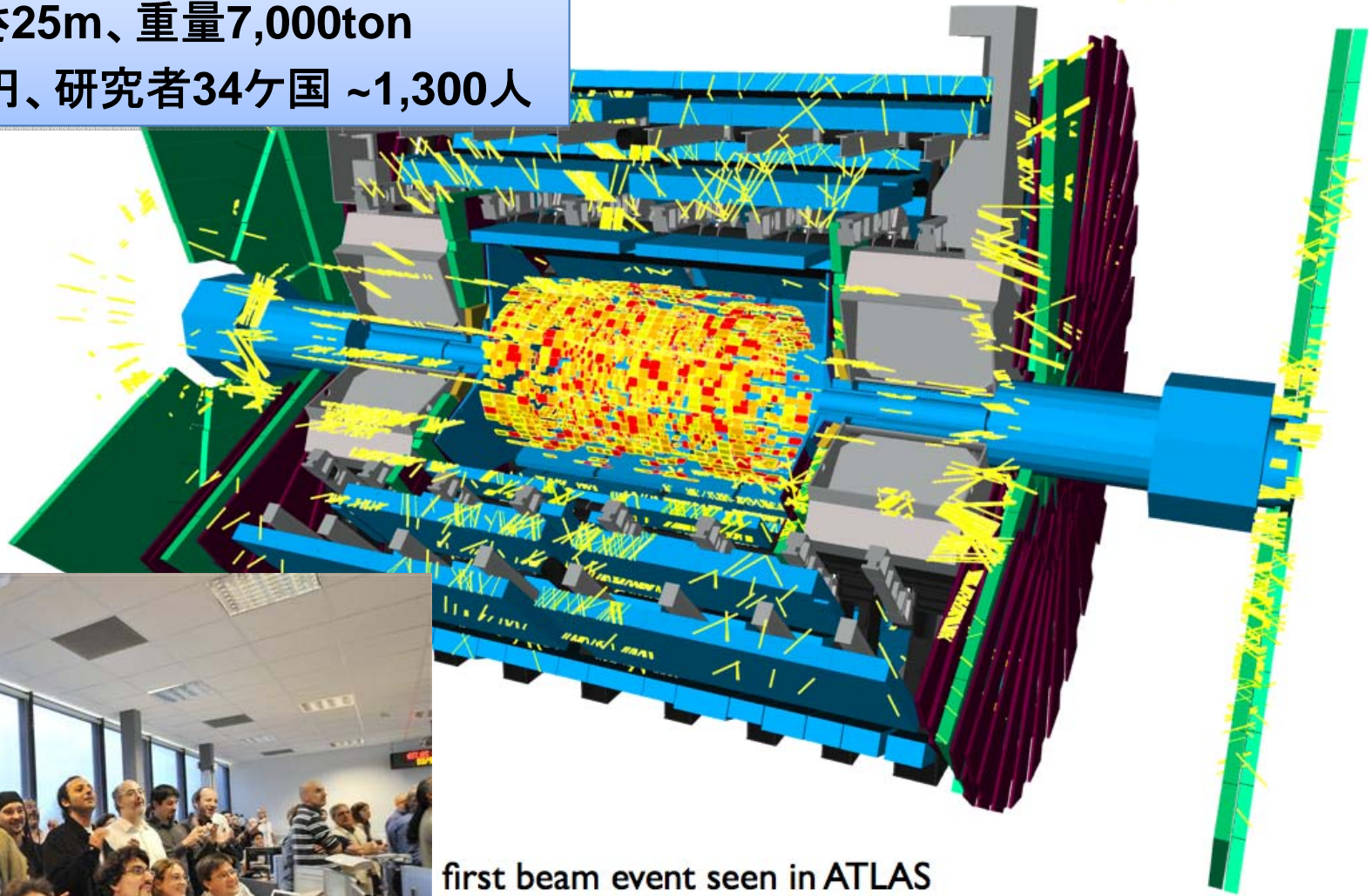
2008.9.10 LHC First Beam



ATLAS検出器

全長46m、高さ25m、重量7,000ton

建設費500億円、研究者34ヶ国 ~1,300人



first beam event seen in ATLAS

日本の研究者も~100人参加。



かぐや(SELENE)
2007.9.14
打ち上げ!

Image by ISAS/JAXA

アポロ計画以来、
最大規模の月探査計画!
月周回衛星「かぐや (SELENE)」
打ち上げ迫る!

宇宙科学研

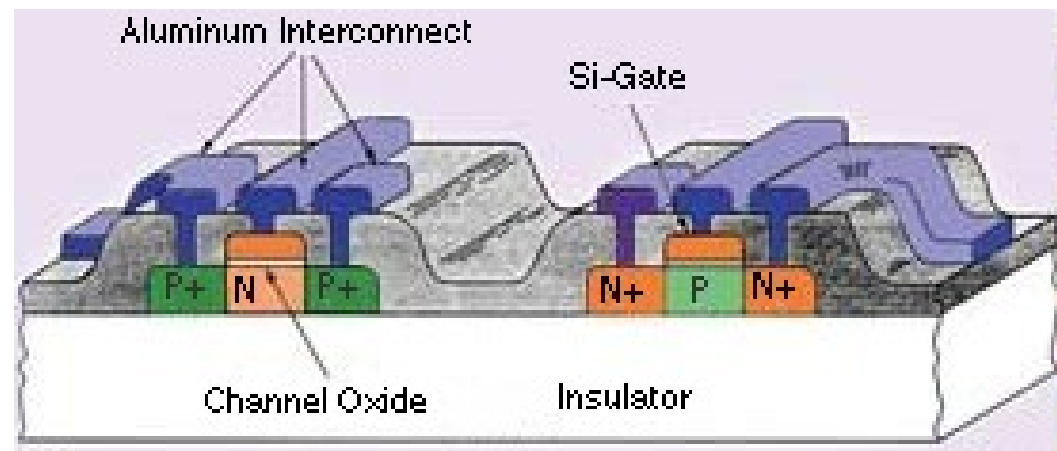
PACE
(Plasma energy Angle
and Composition
Experiment)

Vallis Snellius

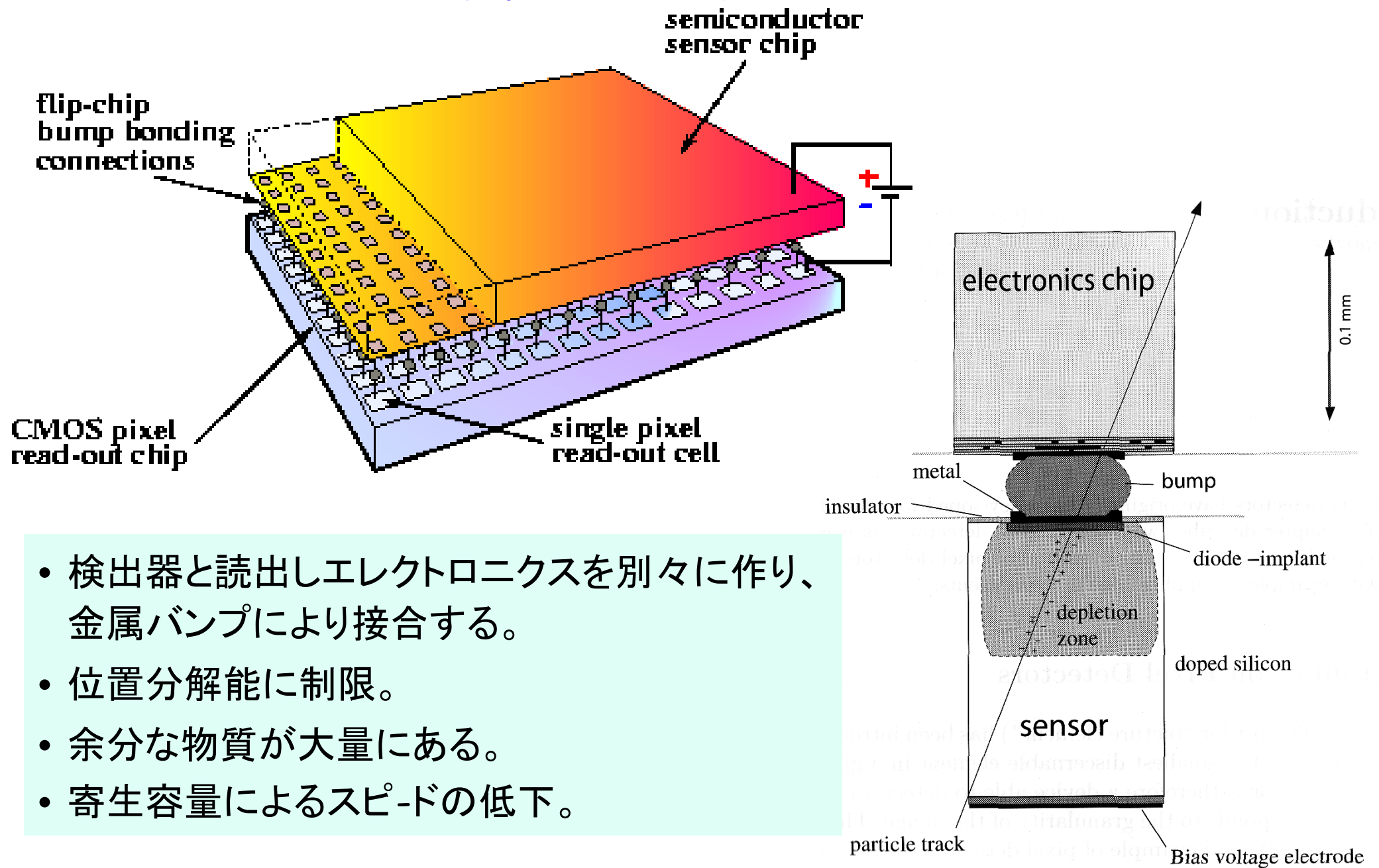
© JAXA/SELENE
Background image © NASA

KEKで開発したTDC LSI
(TMC304) が現在
月の周りで働いています。

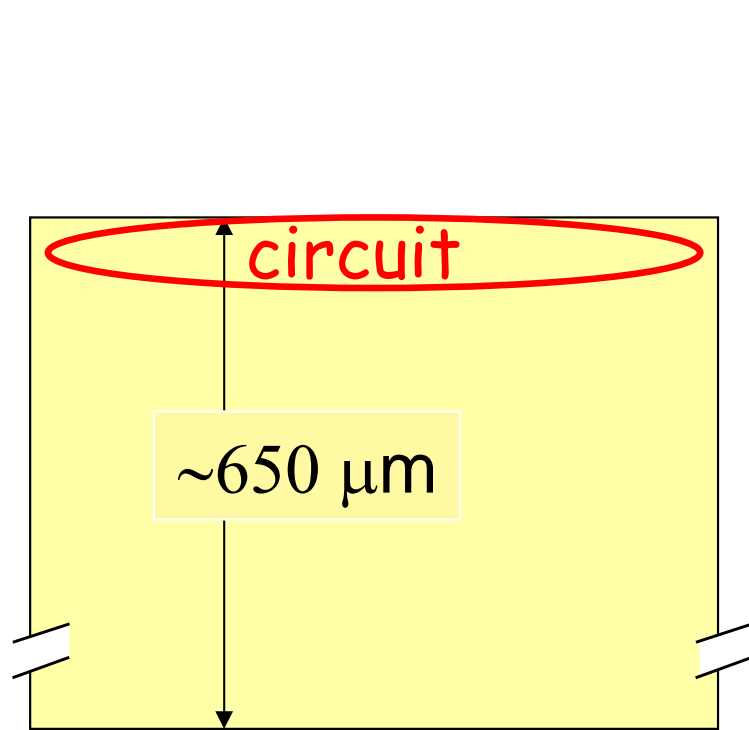
2. SOI技術の紹介とSOI Pixel開発経緯



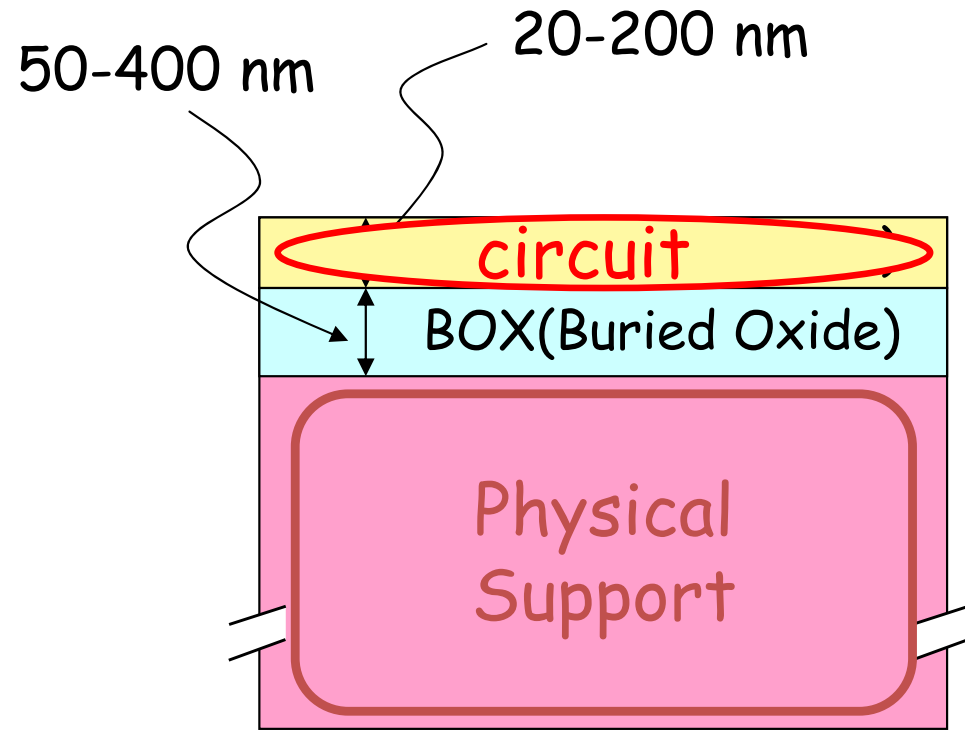
従来のPixel検出器(Hybrid Pixel)



Bulk and SOI (Silicon On Insulator) Wafer



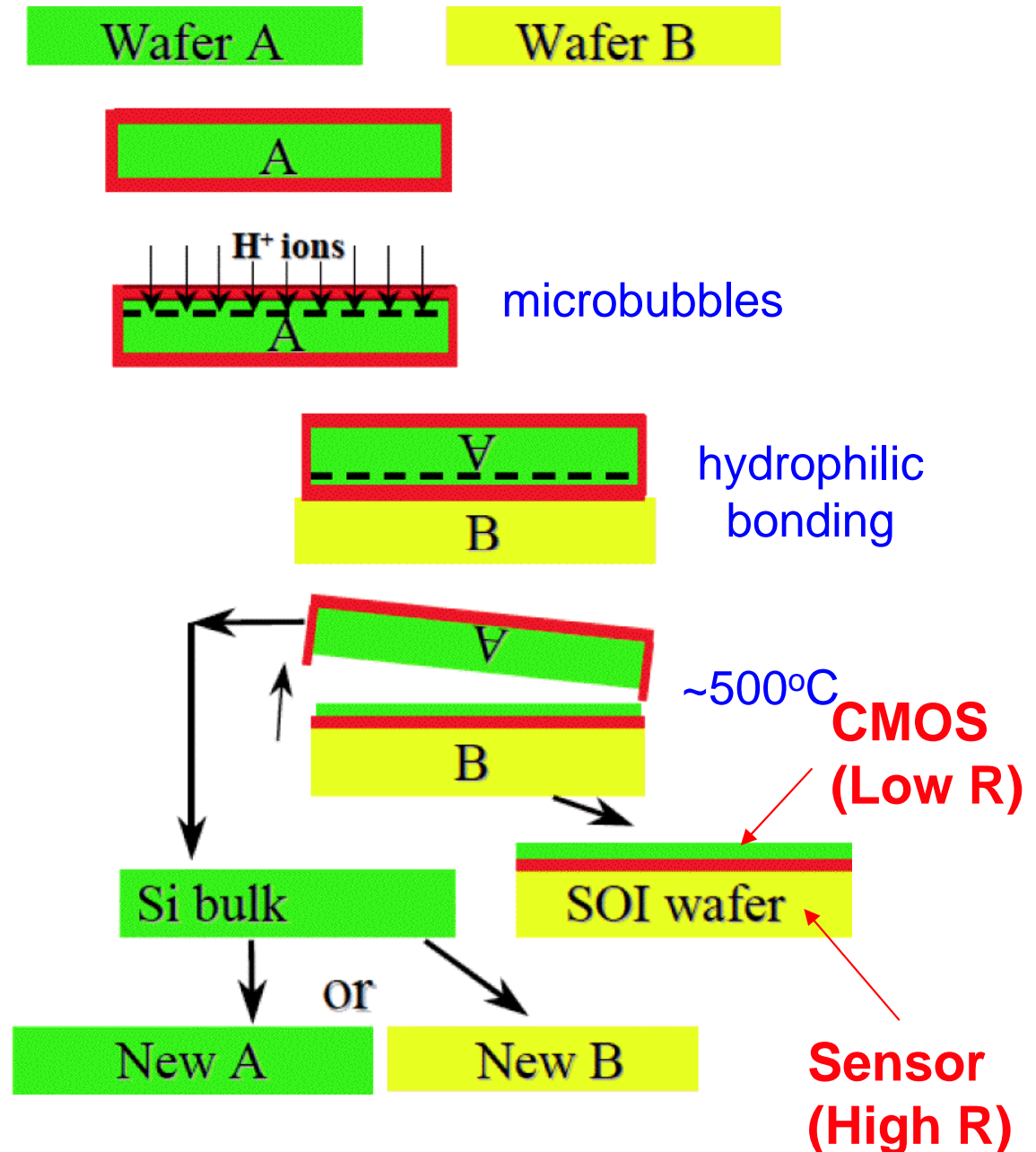
Bulk Wafer



SOI Wafer

UNIBOND™ Process (1995, France LETI) -> SOITEC

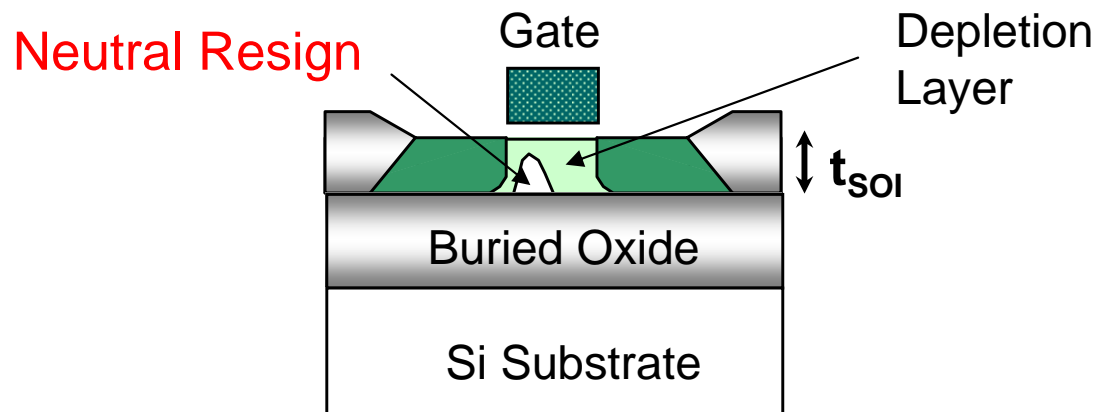
- ① Initial silicon wafers A & B
- ② Oxidation of wafer A to create insulating layer
- ③ Smart Cut ion implantation induces formation of an in-depth weakened layer
- ④ Cleaning & bonding wafer A to the handle substrate, wafer B
- ⑤ Smart Cut - cleavage at the mean ion penetration depth splits off wafer A
- ⑥ Wafer B undergoes annealing, CMP and touch polish => SOI wafer complete
- ⑧ Split-off wafer A is recycled, becoming the new wafer A or B



PD-SOI vs. FD-SOI

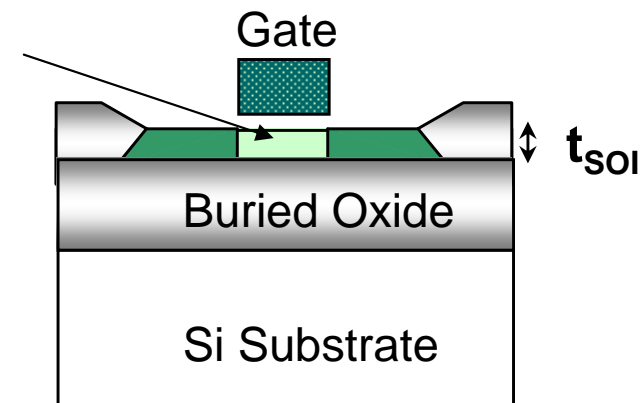
PD-SOI (Partially Depleted)

- ◆ Thick SOI thickness (T_{SOI})
 $\sim 100\text{-}200\text{nm}$
 - ◆ Depletion layer $< T_{\text{SOI}}$
- ↓
- ◇ Large floating body effect
 - ◇ High drive Current by kink effect
→ **High speed application**



FD-SOI (Fully Depleted)

- ◆ Thin SOI thickness (T_{SOI})
 $< 50\text{nm}$
 - ◆ Depletion layer $> T_{\text{SOI}}$
- ↓
- ◇ Less floating body effect
 - ◇ Steep subthreshold slopes
→ **Low power application**



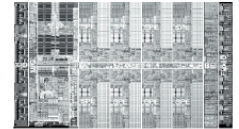
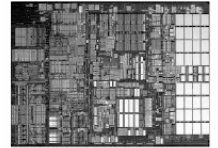
FD-SOI has advantage in performance under very low voltage operation.

Current Status of PD-SOI and FD-SOI

◆ PD-SOI (Partially Depleted)

High-speed microprocessors

- IBM: PowerPC , mainframe CPU's, Wii(Nintendo), Xbox
- Free scale: PowerPC
- AMD: Athlon processors
- Sony (with IBM and Toshiba) : Cell, PS3



◆ FD-SOI (Fully Depleted)

Low-power application

- Oki: solar cell watch, long-wave RF decoder

Technology Node option beyond 32nm, Next 3D Tr.

- Intel, many major companies

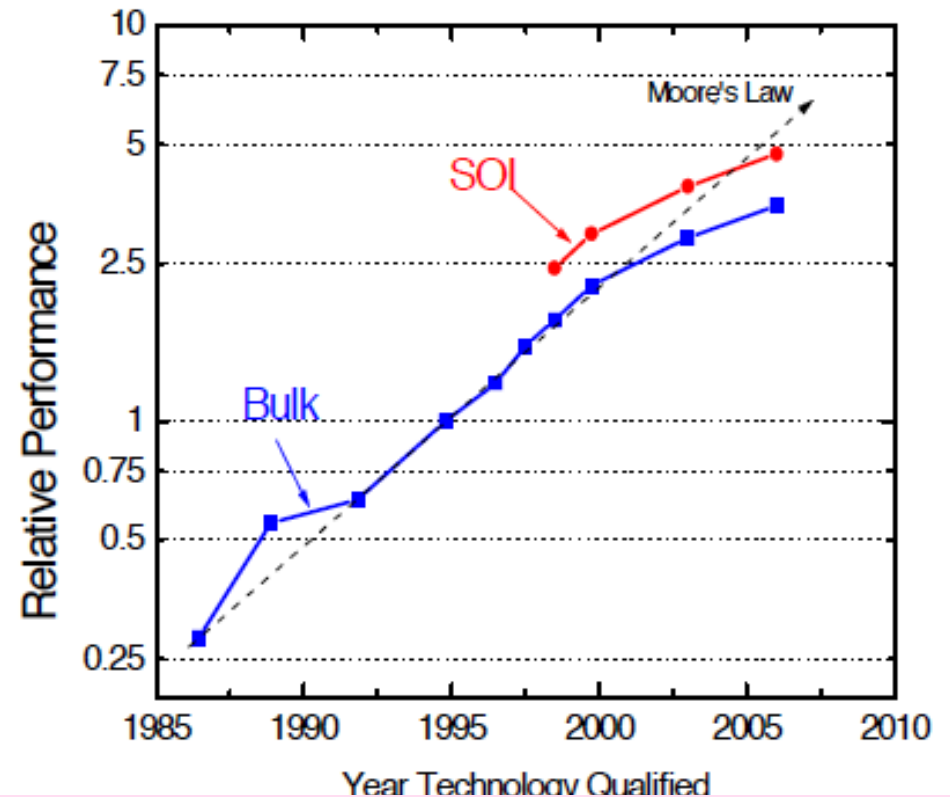


<http://www.casio.co.jp>

**At present, only Oki has an experience
of mass production of FD-SOI**

Features of (FD-)SOI

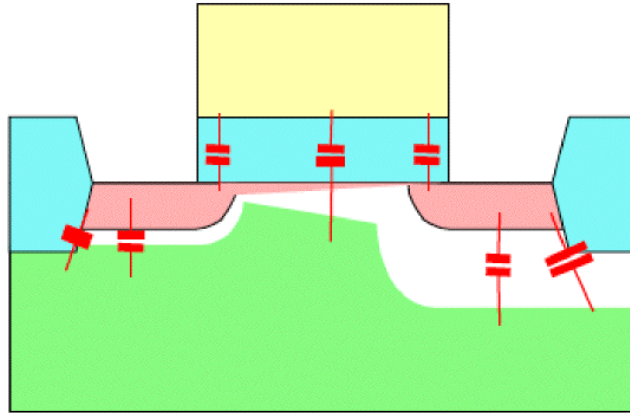
- Full Dielectric Isolation :
*Latchup Free, Small Area,
Good Circuit Isolation
No Back Bias Effect*
- Low Junction Capacitance :
High Speed
- Steep Subthreshold Slope
Low Power
- No Kink Effect
Good for Analog Design
- Less Impurity in Body
*Good V_{th} Matching,
Less $1/f$ Noise*



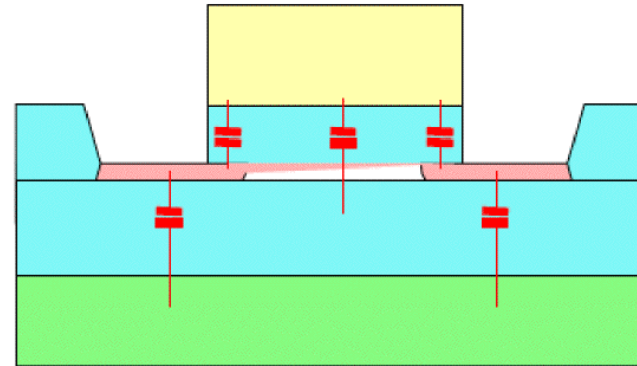
- No Well junction, Thin Film :
*Low Leak,
Low V_{th} Shift (High Temp).*
- Small Active Volume :
High Soft Error Immunity
- TID compensation by Back Bias

Smaller Junction Capacitance

Bulk

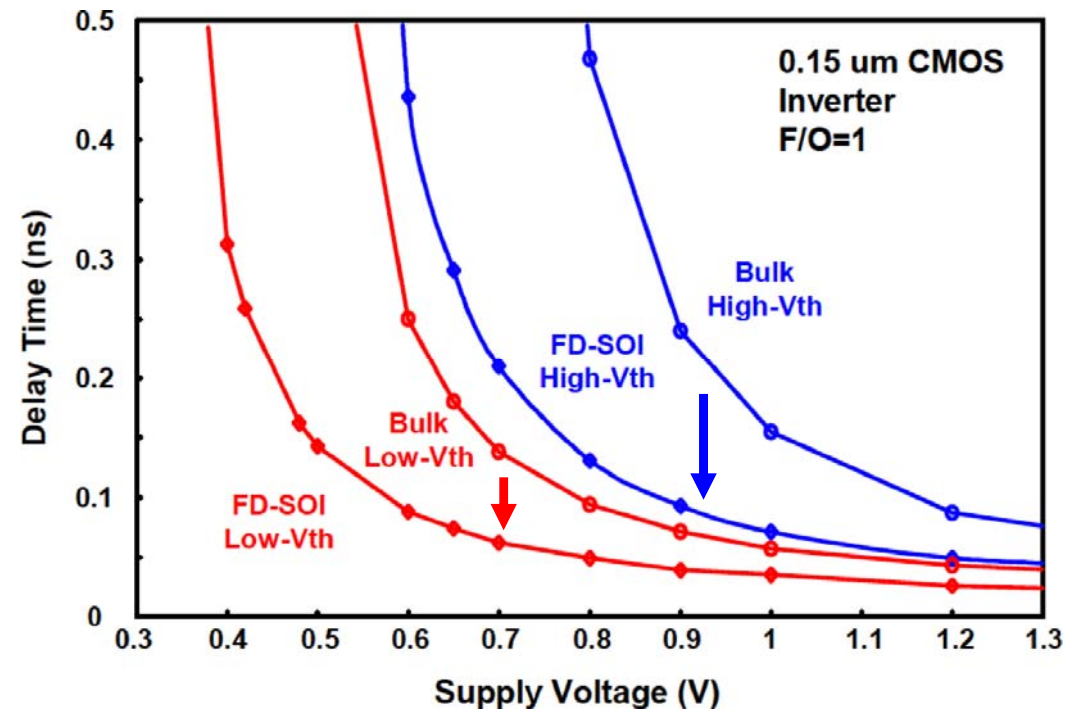


SOI

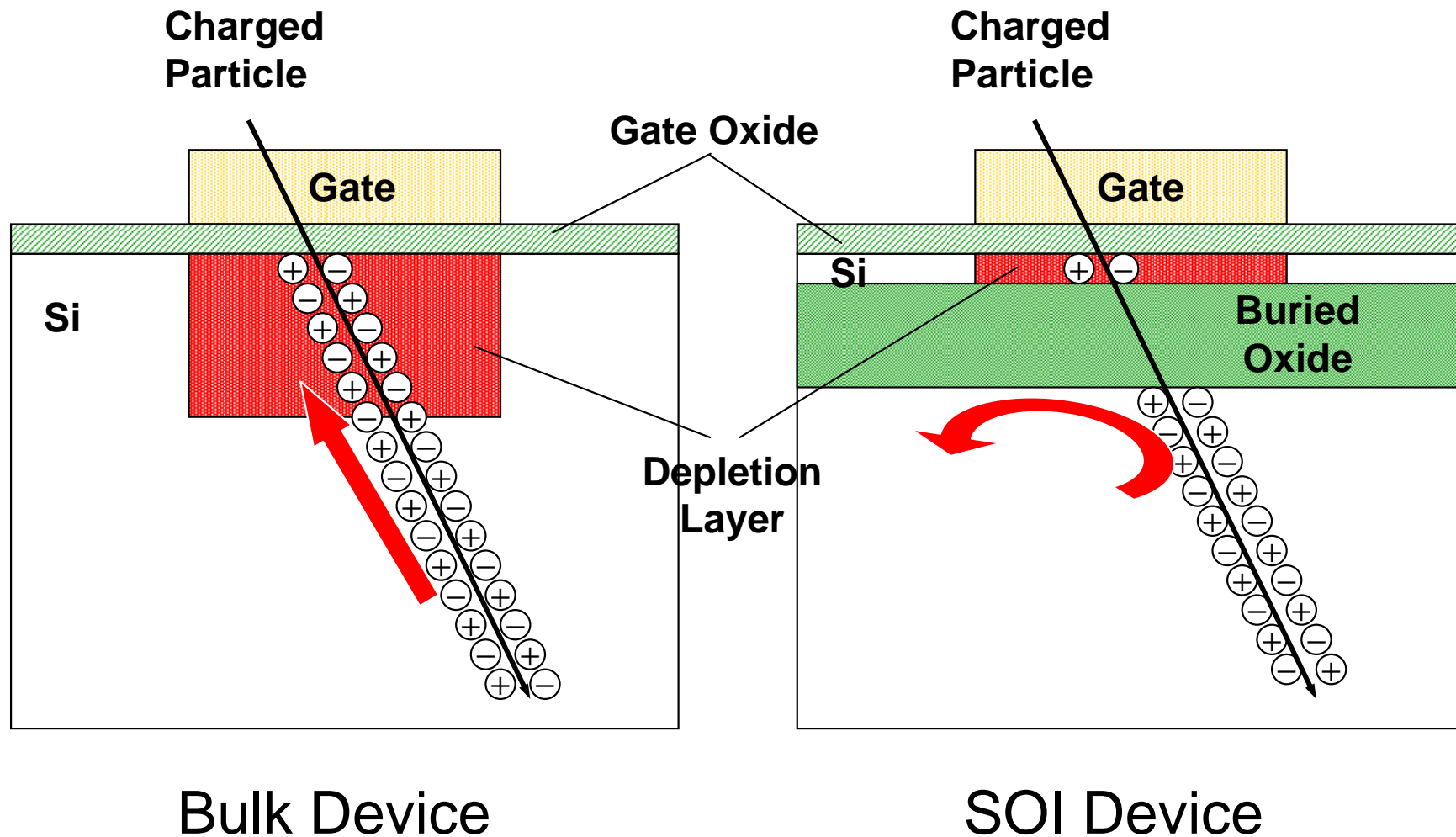


C_j is 1/10 of Bulk technology.
Gate Capacitance is 30-40% Lower.

High Speed / Low Power



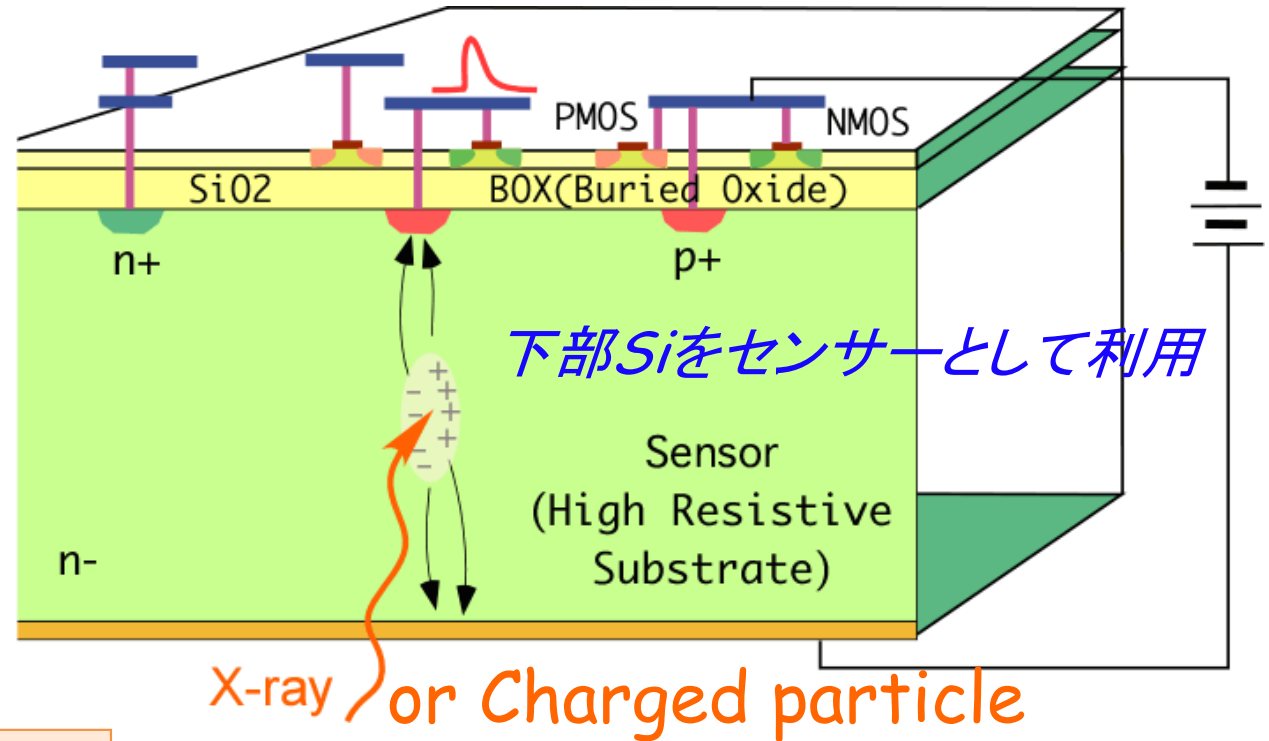
High Soft Error Immunity



Higher soft error immunity due to ultra thin body Silicon.

SOI Pixel検出器

- 高比抵抗Si基板と低比抵抗Si基板を絶縁層を介して張合わせ。
- 高比抵抗部にp-n junctionを生成し、センサーとする。
- 絶縁層 (BOX: Buried Oxide) に穴を開けセンサーと回路を接続。



Monolithic Radiation Sensor
として理想的な構造

今までの経過

- '05. 7: 沖電気とSOI ピクセル検出器の開発をスタート .
- '05.10: 東大VDECの **0.15 μ m MPWラン**に同居して試作.
- '06. 3: 最初の試作チップ完成
光や放射線に対する良好な応答を確認.
- '06.12: **KEK主催の0.15 μ m MPWラン**。国内外の研究所・大学から17設計を集める。
- '07. 6 : 八王子0.15 μ mライン廃止に伴い、宮城0.2 μ mラインへ移行。
- '07.10 : JST先端計測分析技術プログラムに採択。
- '08.1: **第1回目 0.2 μ m MPWラン**を行なう。
- '09.2: **第2回目 0.2 μ m MPWラン**をサブミット。
- '09.7: 第3回目 0.2 μ m MPWランを予定。



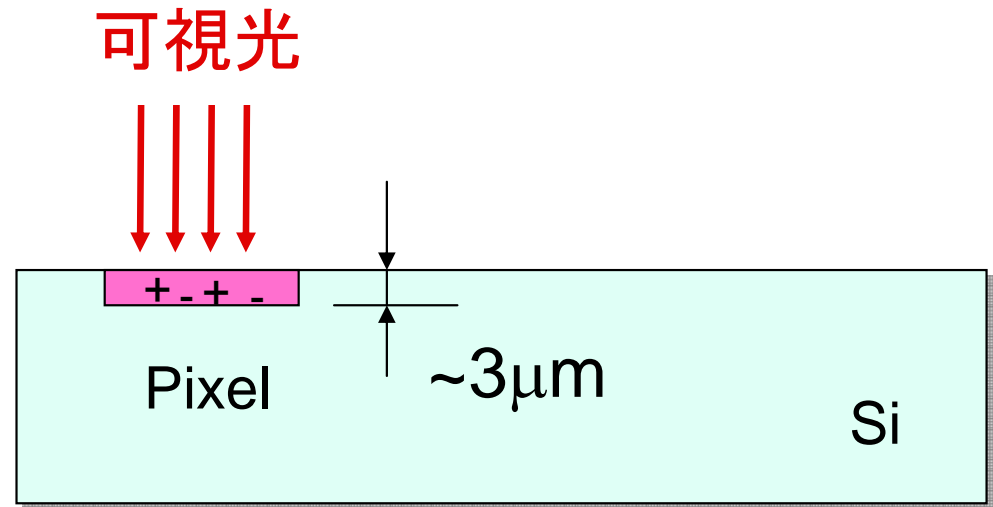
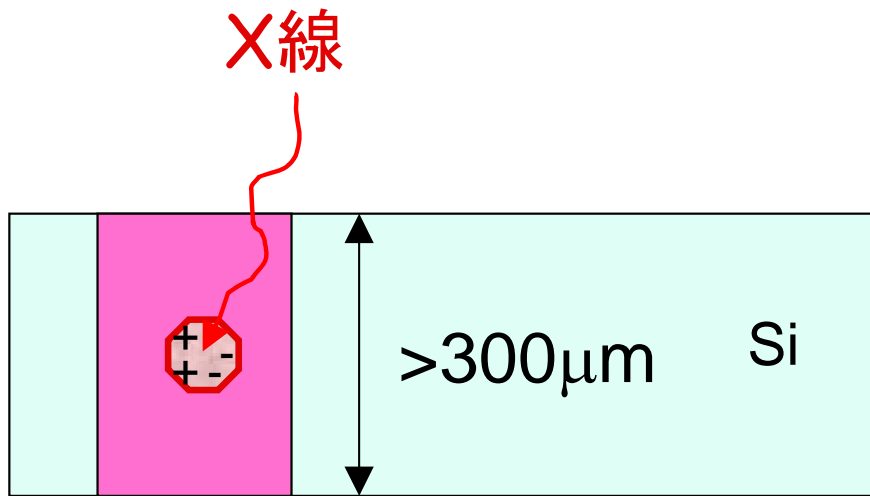
参加研究機関

- 高エネルギー加速器研究機構（素核研、放射光）
- 筑波大学、京都大学、大阪大学、東北大学、京都教育大学、..
- 宇宙航空研究開発機構、宇宙科学研（JAXA/ISAS）
- 高輝度光科学研究センター（Spring-8, JASRI）
- 理化学研究所
- Lawrence Berkeley National Laboratory
- Fermi National Accelerator Laboratory
- Univ. of Hawaii
- Stanford Linear Accelerator Center
- NASA-JPL
- :

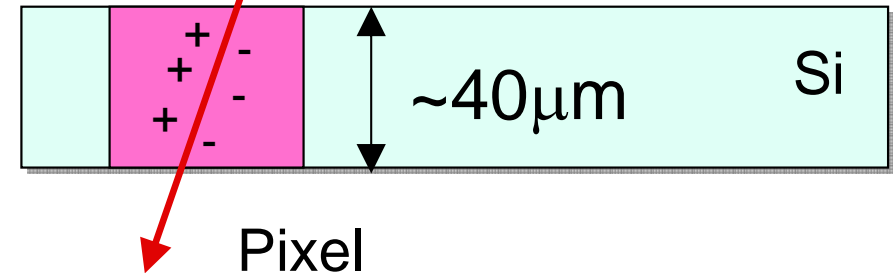
現在進行中の主な研究計画

- 2008年度～ 日米科学技術協力
「SOI技術を用いた先進的ピクセルセンサーの開発」
- 2007.9-2010年度 科学技術振興機構、先端計測分析技術・機器開発事業
「SOI技術による時間・空間X線イメージセンサー」
- 2008-2010年度 科研費基盤研究(B)、
「SOI型シリコンピクセルX線 γ 線検出器」
- 2008-2010年度 JAXA/ISAS基礎開発研究費、「SOI技術による低バックグラウンド・精密分光撮像・広帯域X線ピクセル検出器の開発」
- 2008年度～ 理研/JASRI、
「XFELでの高強度X線検出用SOI Image Sensor開発」
- 2008年度～ KEK-(株)リガク 共同研究、
「SOI技術を使って作成したX線検出器の特性試験」
- 2005年度～ JAXA/ISAS, 「宇宙用耐放射線性エレクトロニクス」
- 2005年度～ KEK、「SuperBelle実験用SOI Vertex検出器の開発」、
「SuperLHC用SOI Pixel検出器」

光センサーと放射線センサー



高エネルギー電子、陽子...



信号量:

可視光 $\sim 1 \text{ e-h} / 1 \text{ photon}$

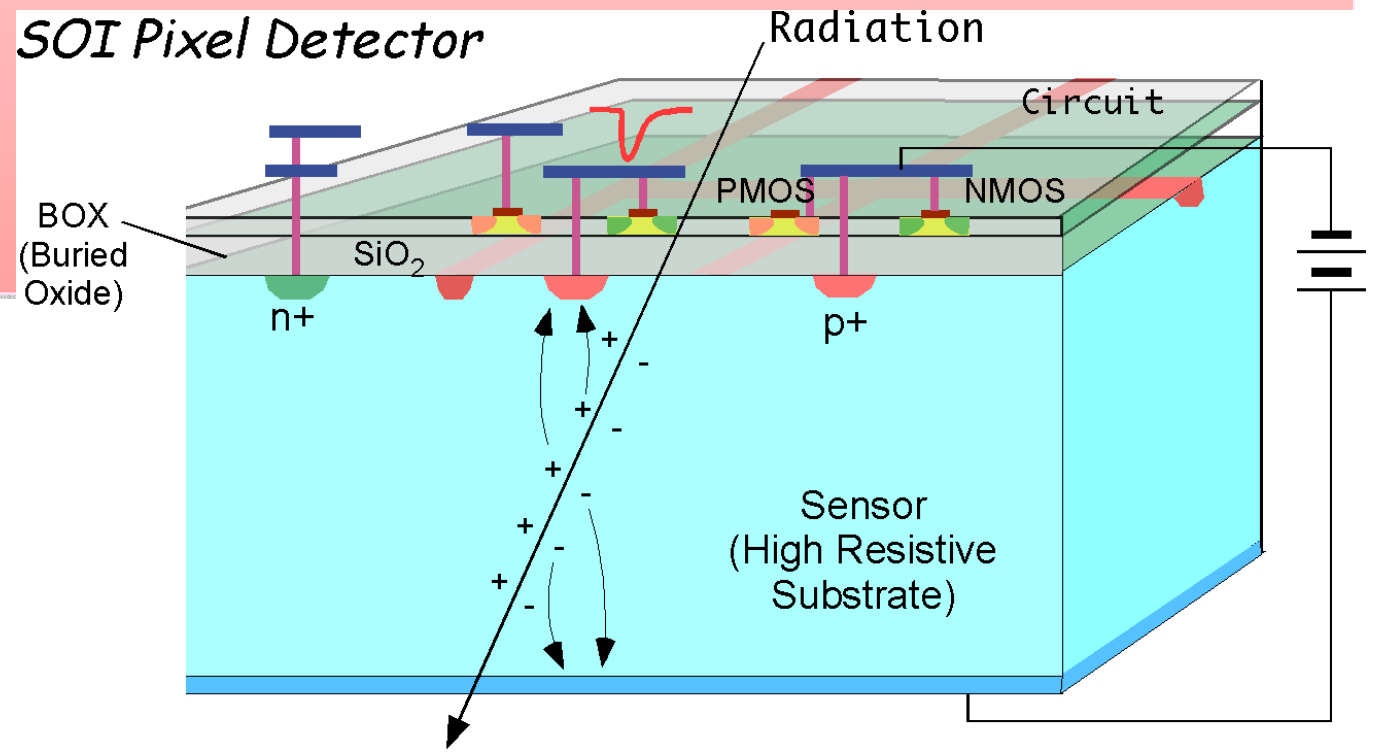
X線 $\sim 3000 \text{ e-h} / \text{X-ray@10keV}$

荷電粒子 $\sim 3000 \text{ e-h} / \text{track@40}\mu\text{m}$

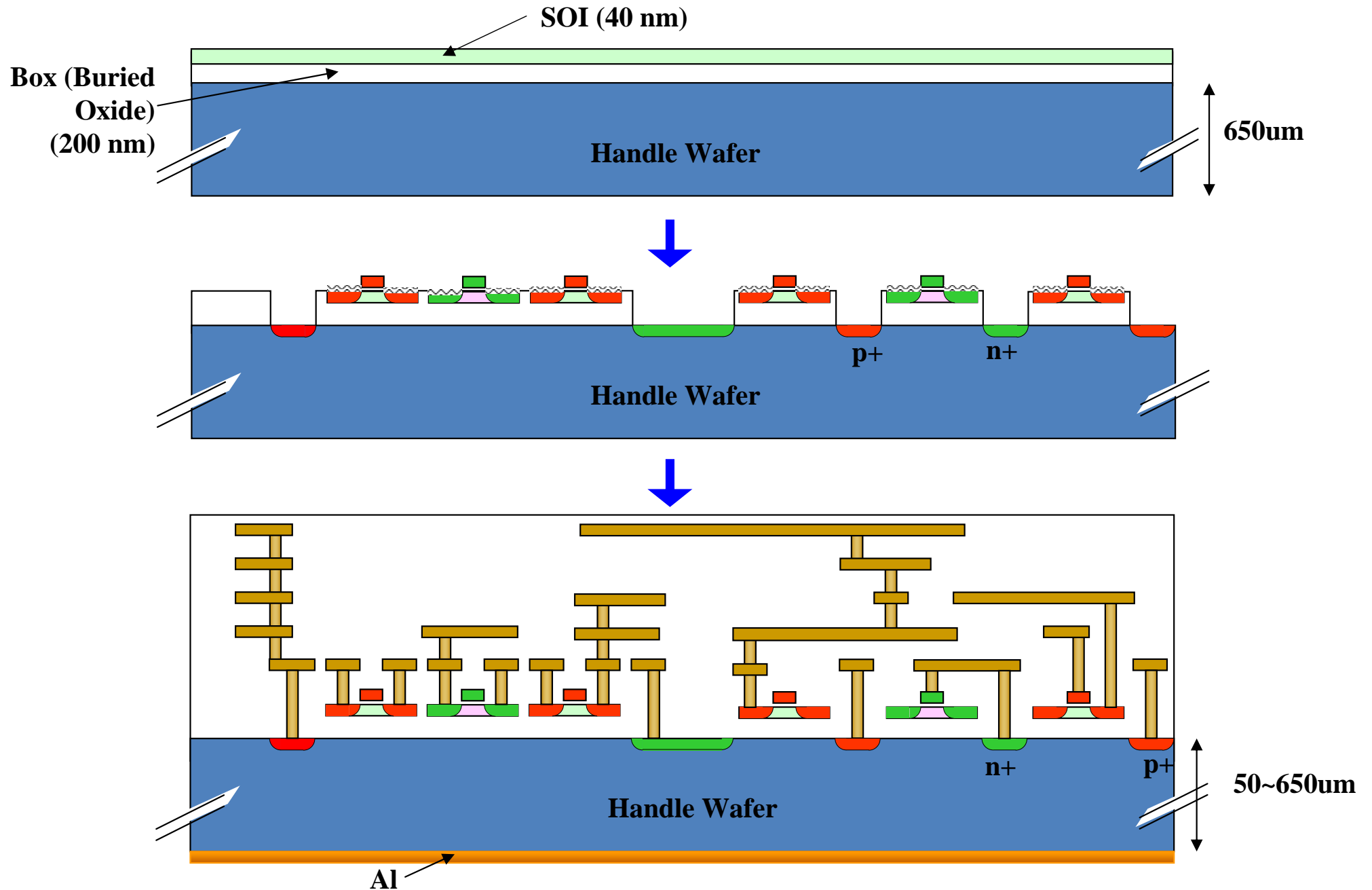
放射線はひとつずつ数えることができる。

SOI Pixel検出器の特徴

- 余分な物質が少なく、多重散乱をおさえられる。
- 電極容量が小さく、少ない電荷(薄いセンサー)で大きなS/Nが得られる。
- 複雑な信号処理回路を各ピクセルに持たせられる。
- 高レート、高速読み出しが可能。
- 機械的接合がなく、高分解能化、低価格化が望める。
- 産業界の標準プロセスを基本に開発。

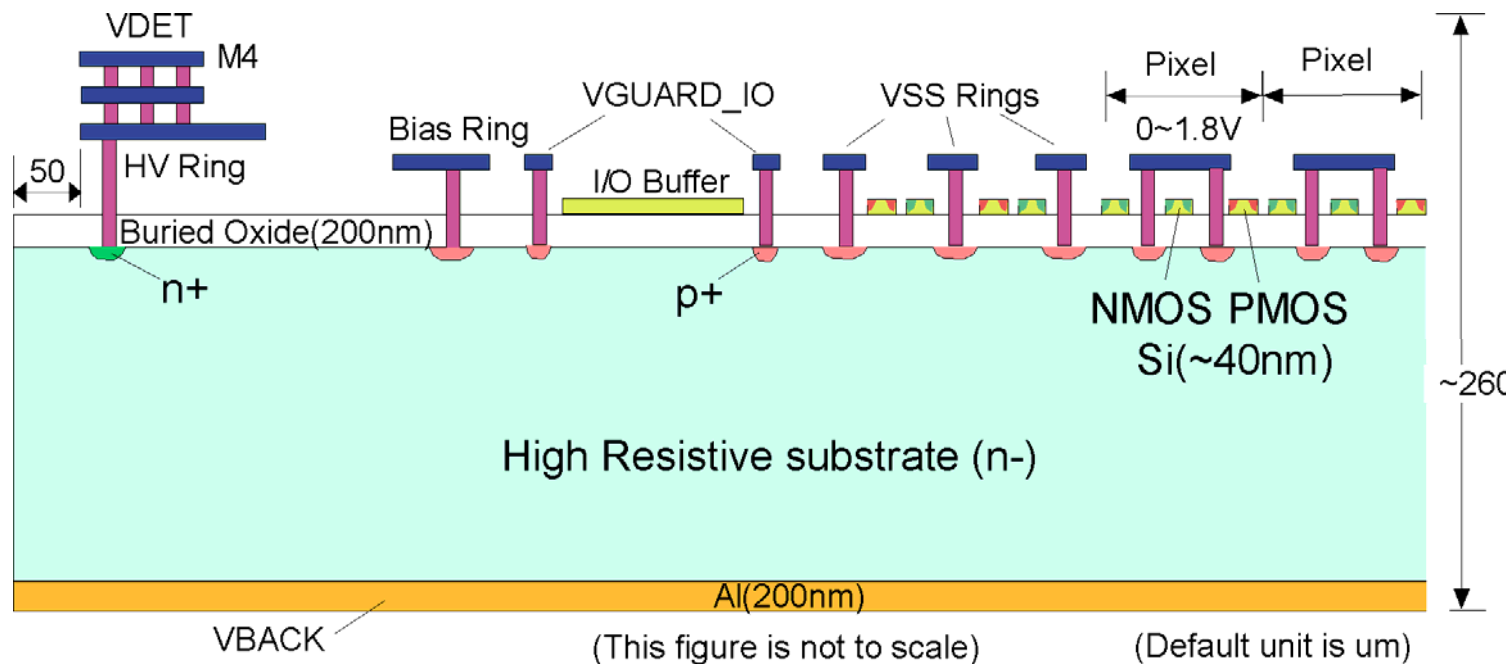


SOI Pixel Process Flow



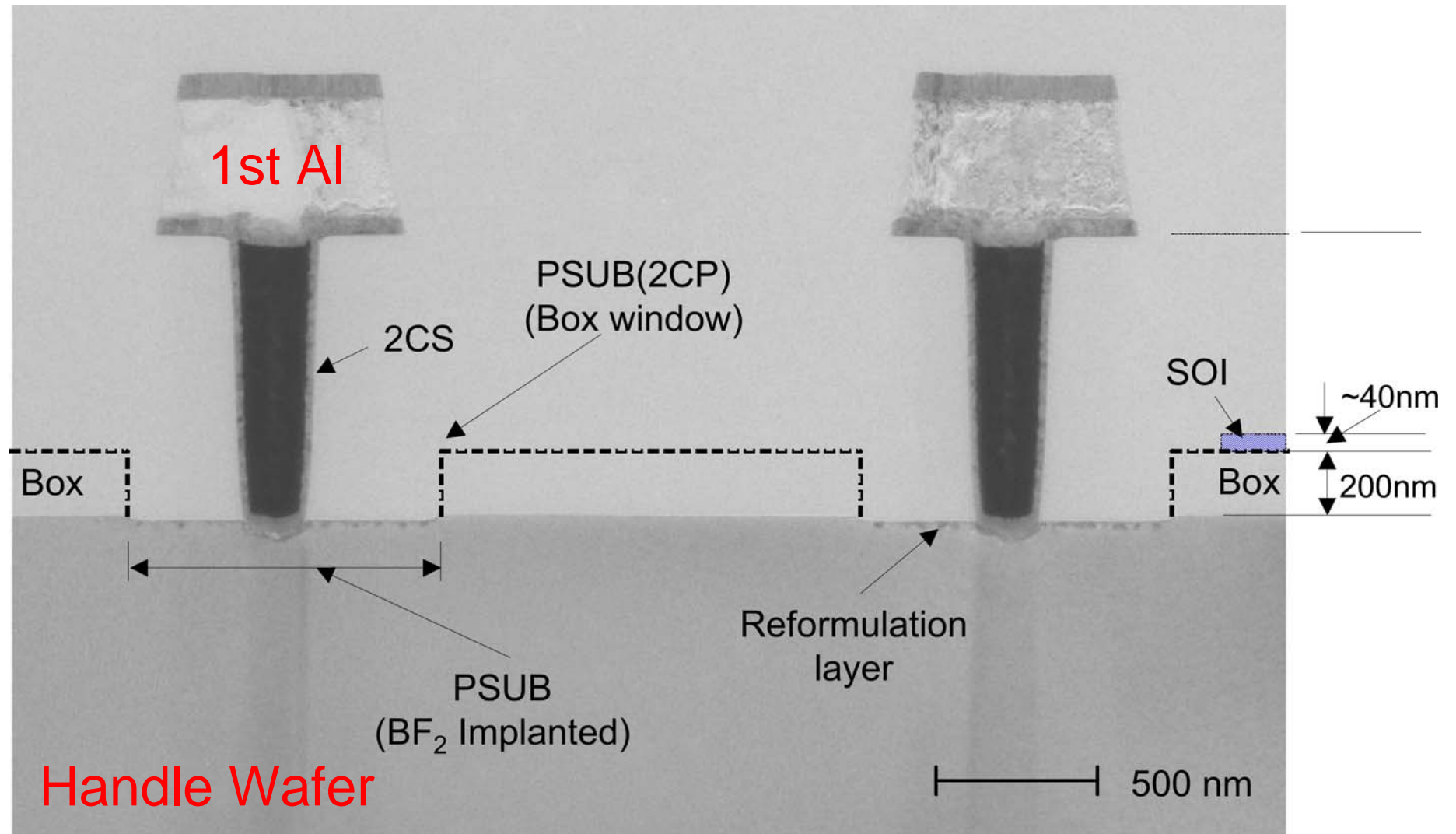
OKI 0.2 μm FD-SOI Pixel Process

Process	0.2 μm Low-Leakage Fully-Depleted SOI CMOS (OKI) 1 Poly, 4 Metal layers, MIM Capacitor, DMOS option Core (I/O) Voltage = 1.8 (3.3) V
SOI wafer	Diameter: 200 mm ϕ , Top Si : Cz, $\sim 18 \Omega\text{-cm}$, p-type, $\sim 40 \text{ nm}$ thick Buried Oxide: 200 nm thick Handle wafer: Cz, $700 \Omega\text{-cm}$ (<i>n-type</i>), 650 μm thick
Backside	Thinned to 260 μm , and sputtered with Al (200 nm).

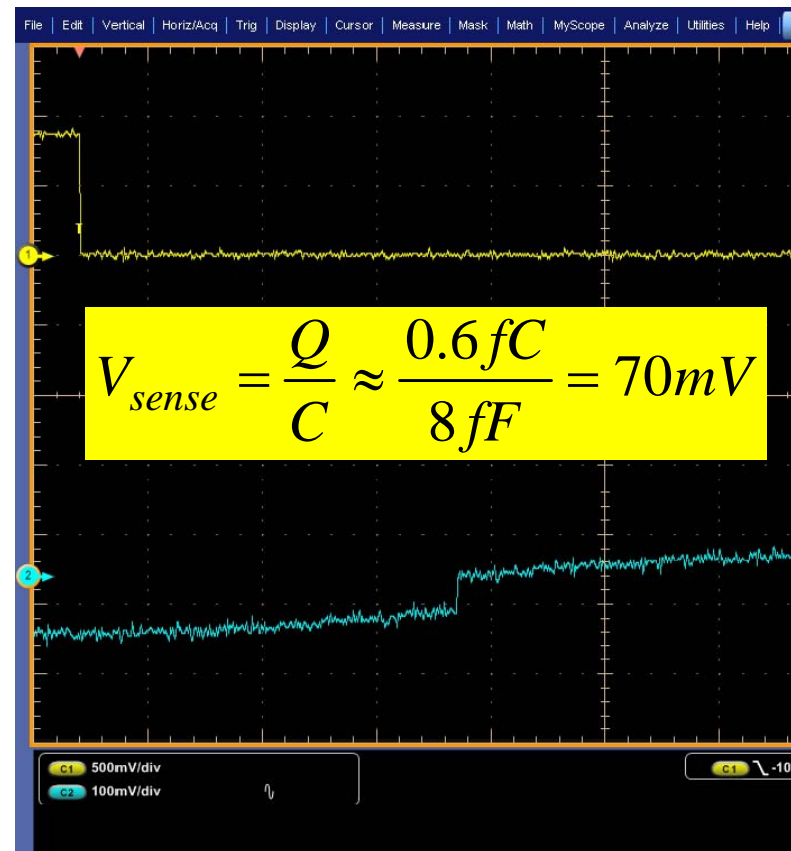


An example
of a SOI
Pixel cross
section

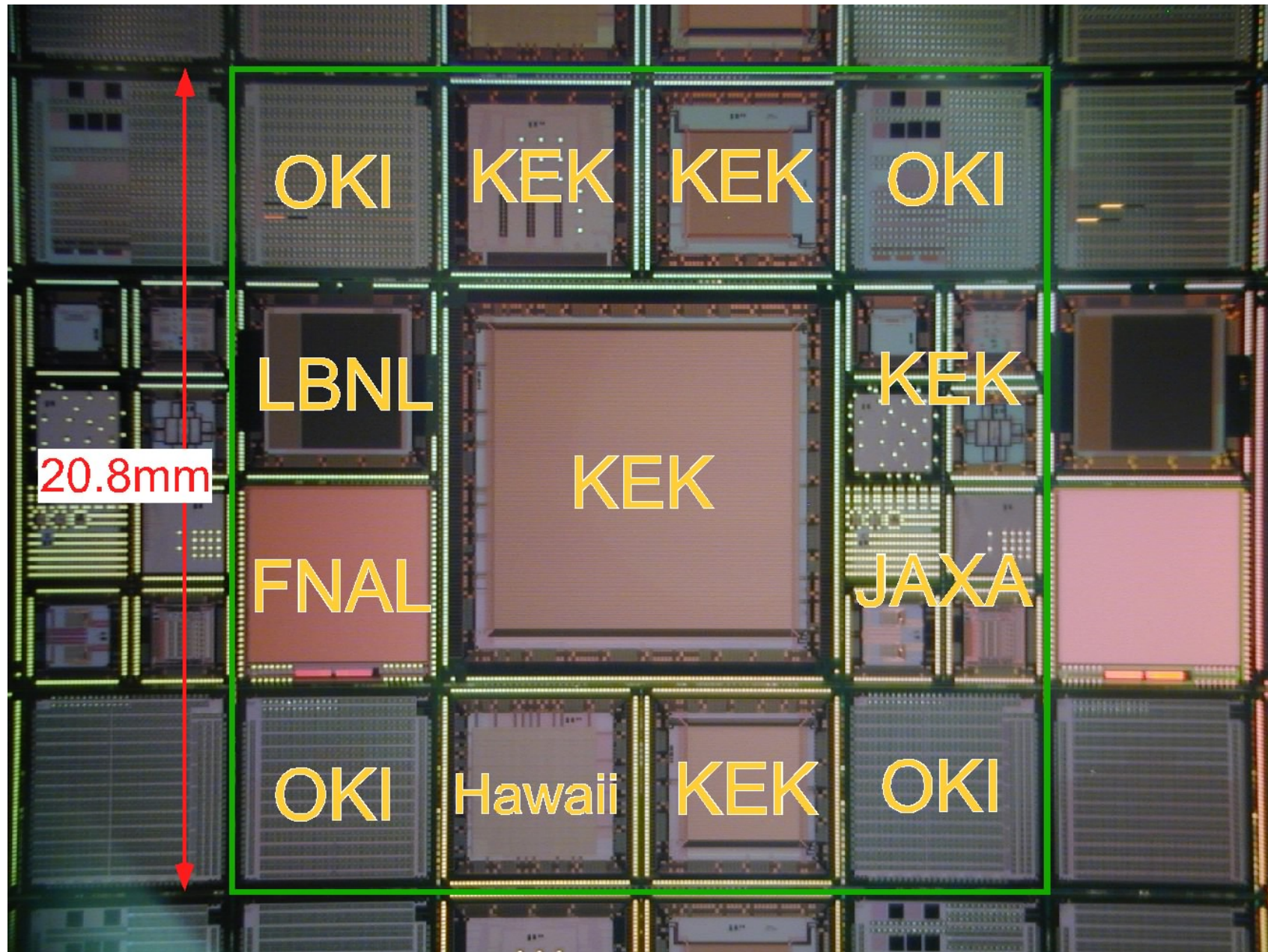
Metal contact & p+ implant



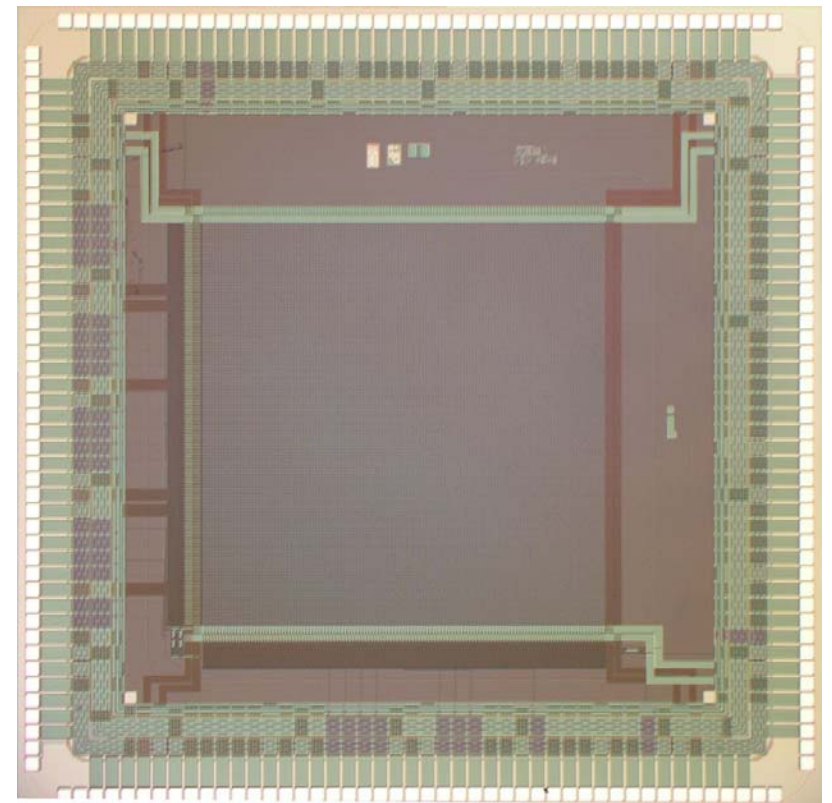
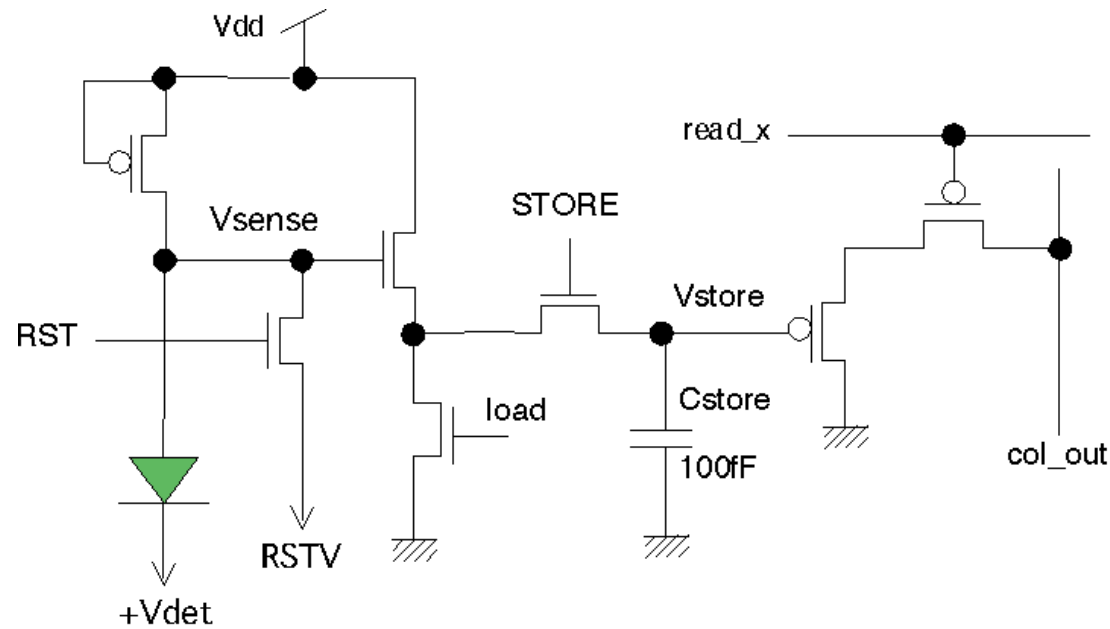
3. SOI Pixel Detectorの開発状況



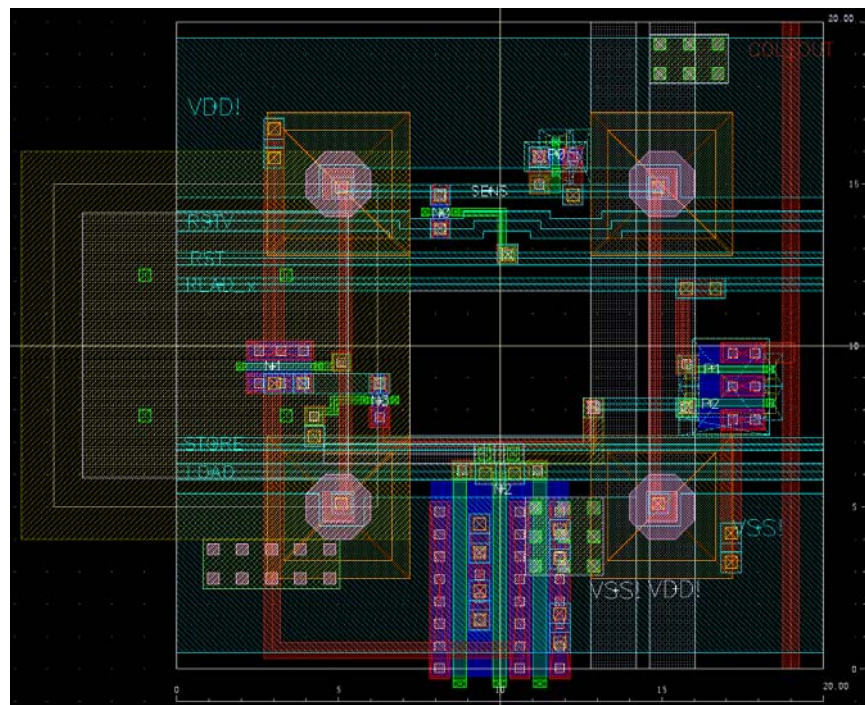
KEK SOI MPW run (2008.1)



Integration Type Pixel (INTPIX)



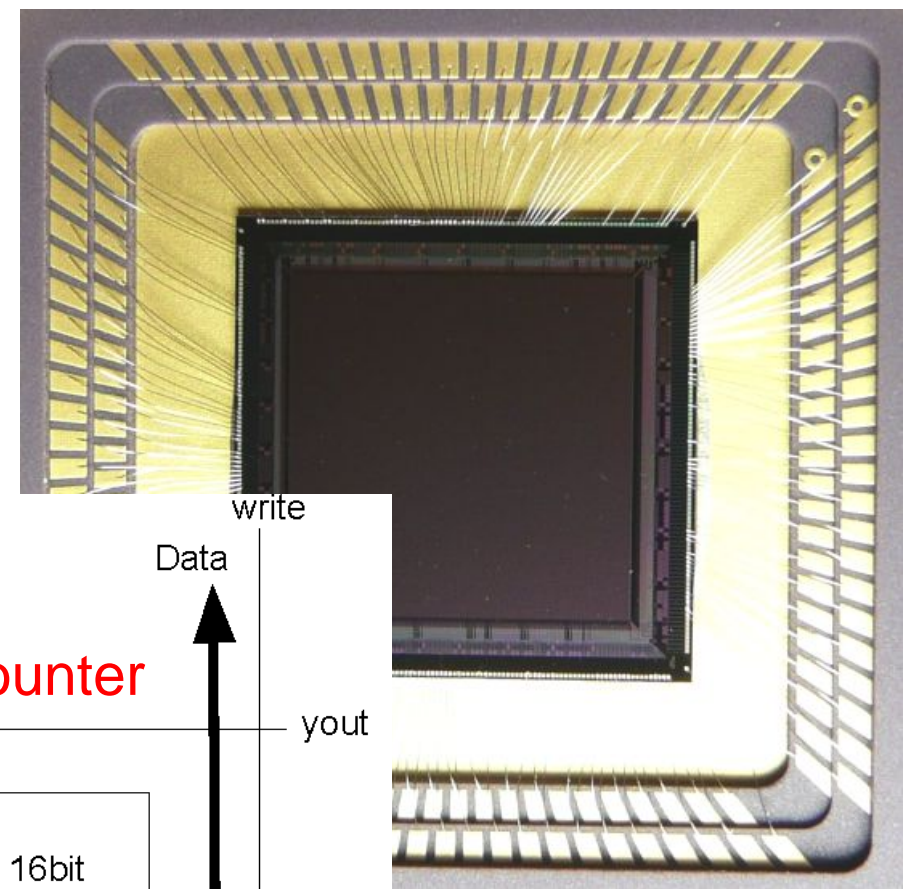
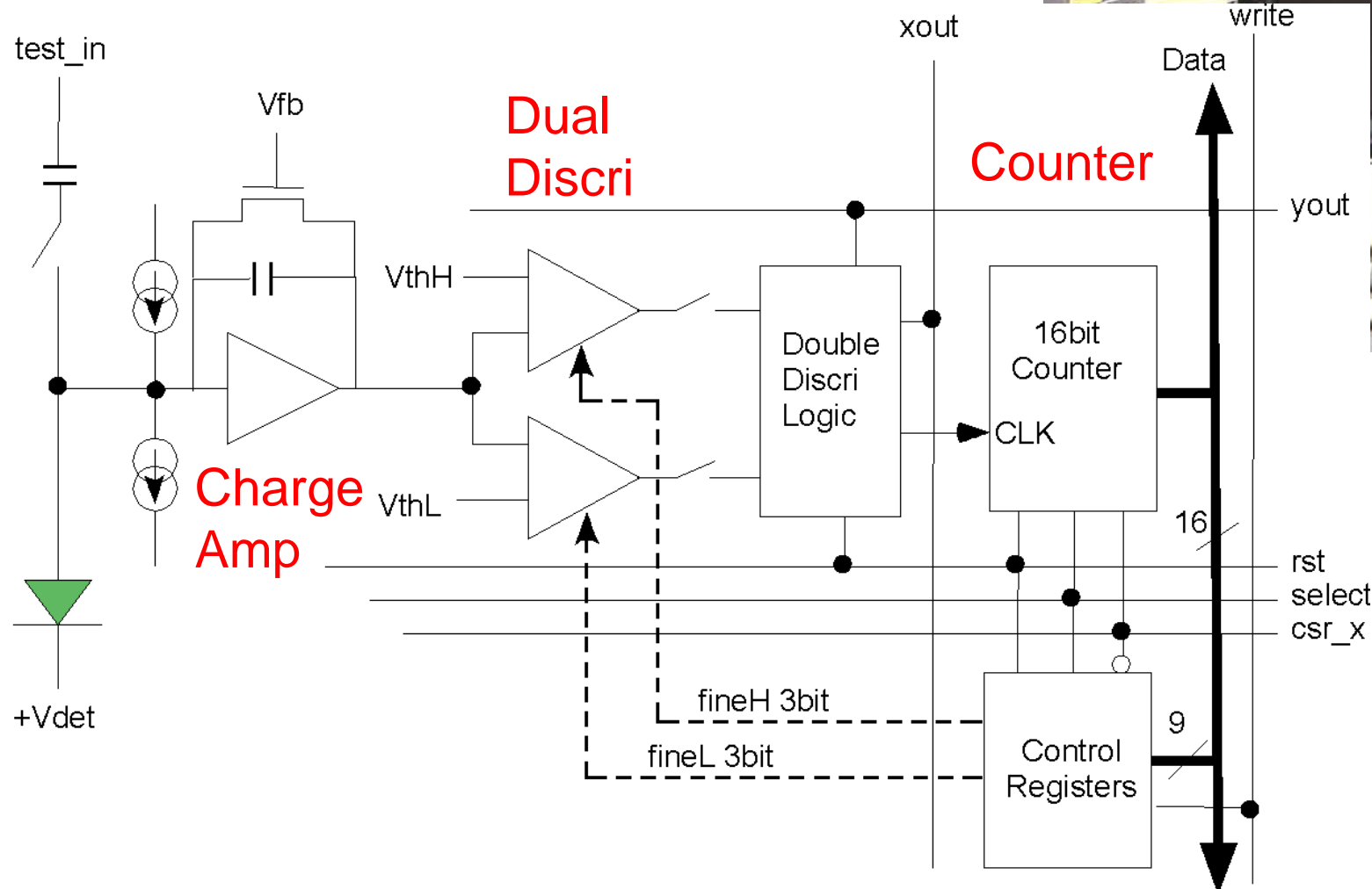
128 x 128 pixels
5 x 5 mm²



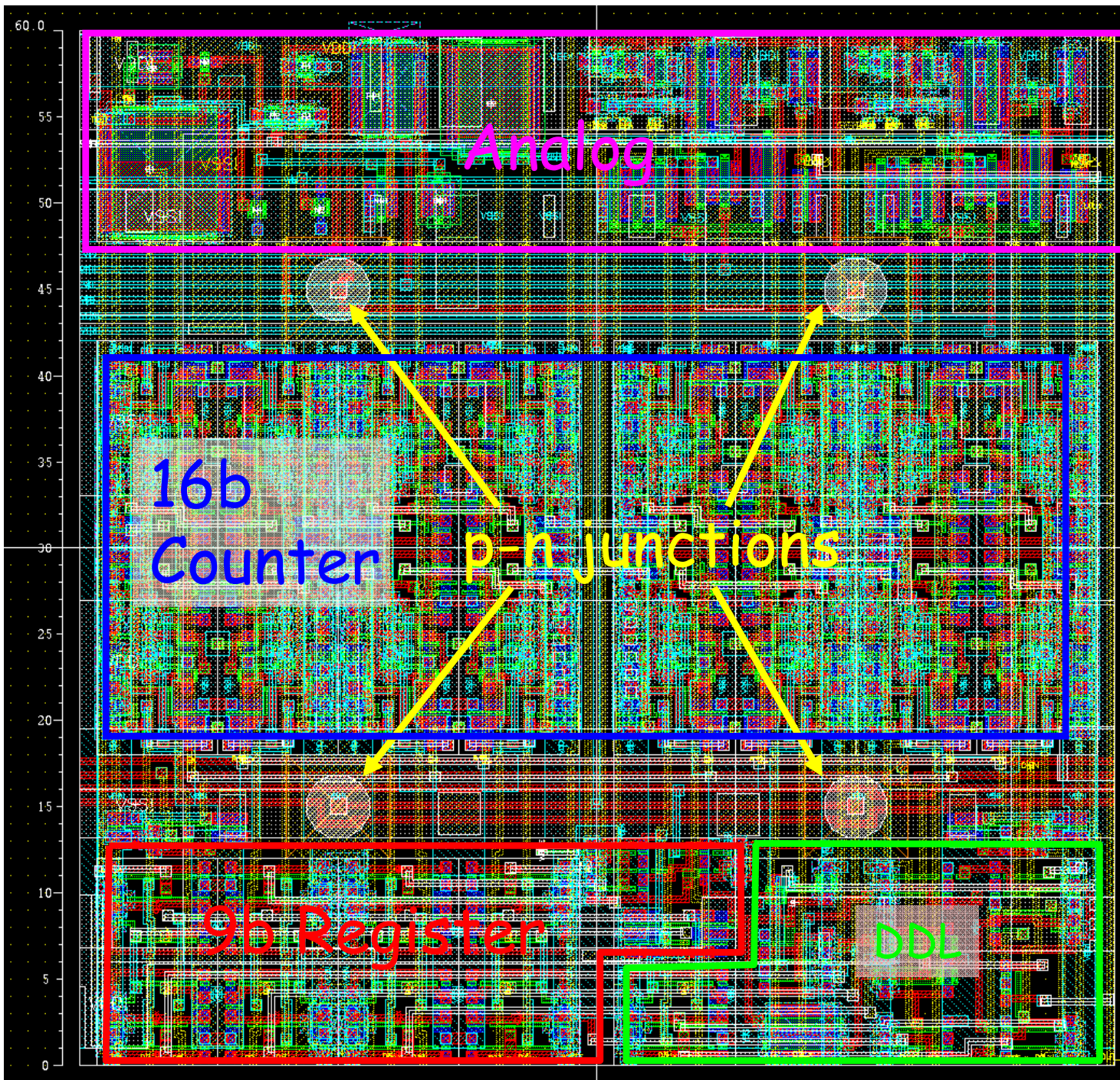
20 μm x 20 μm pixel

Counting Type Pixel

Energy window and counting in each pixel.



10.4 mm \square
128 x 128 pix

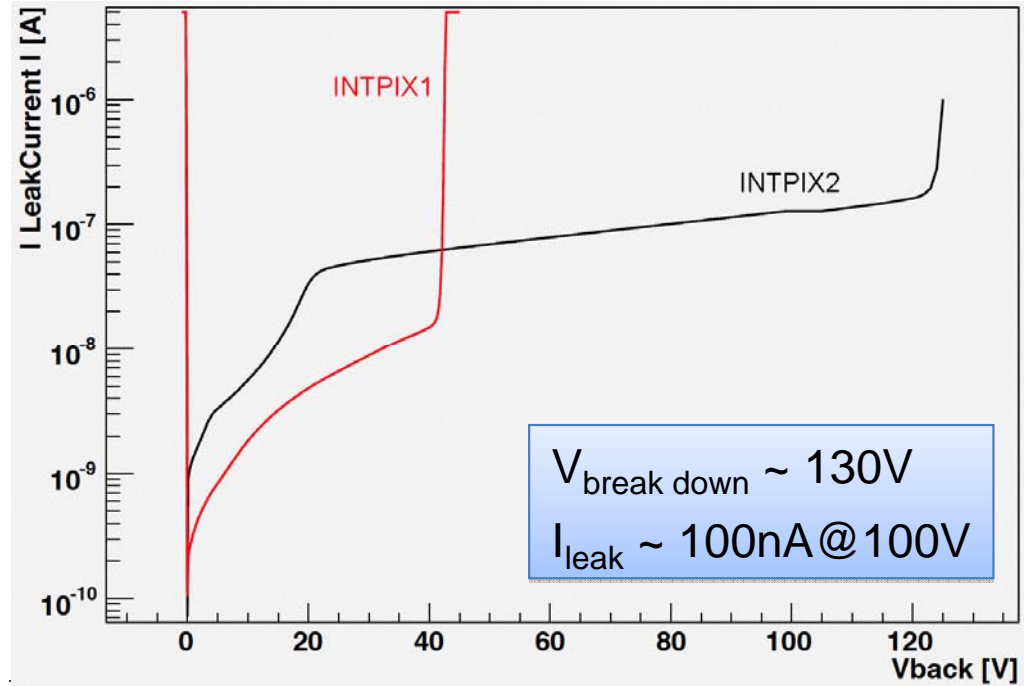
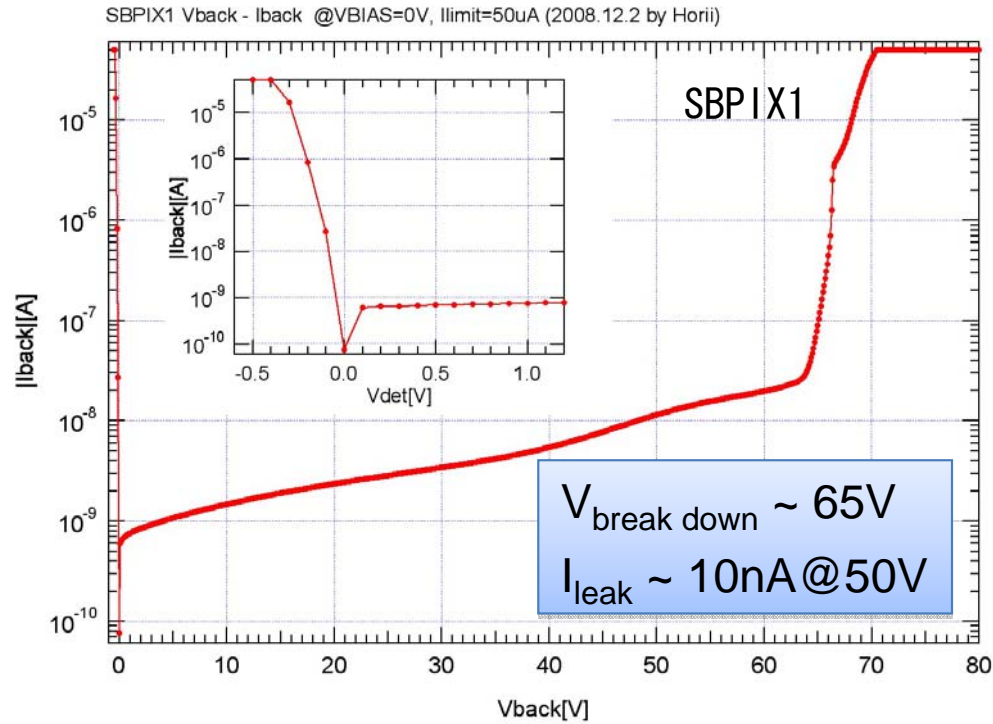


CNTPIX2
Pixel

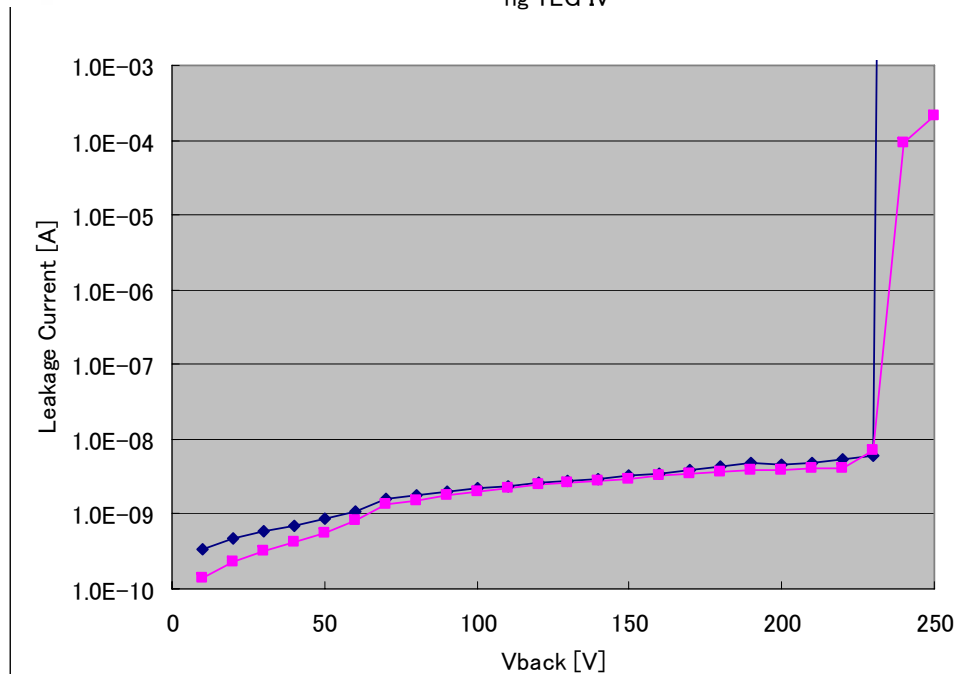
~600 Tr/pix
x 128 x 128
= 10,000,000 Trs

60x60 μm^2

Break Down Voltage & Leak Current



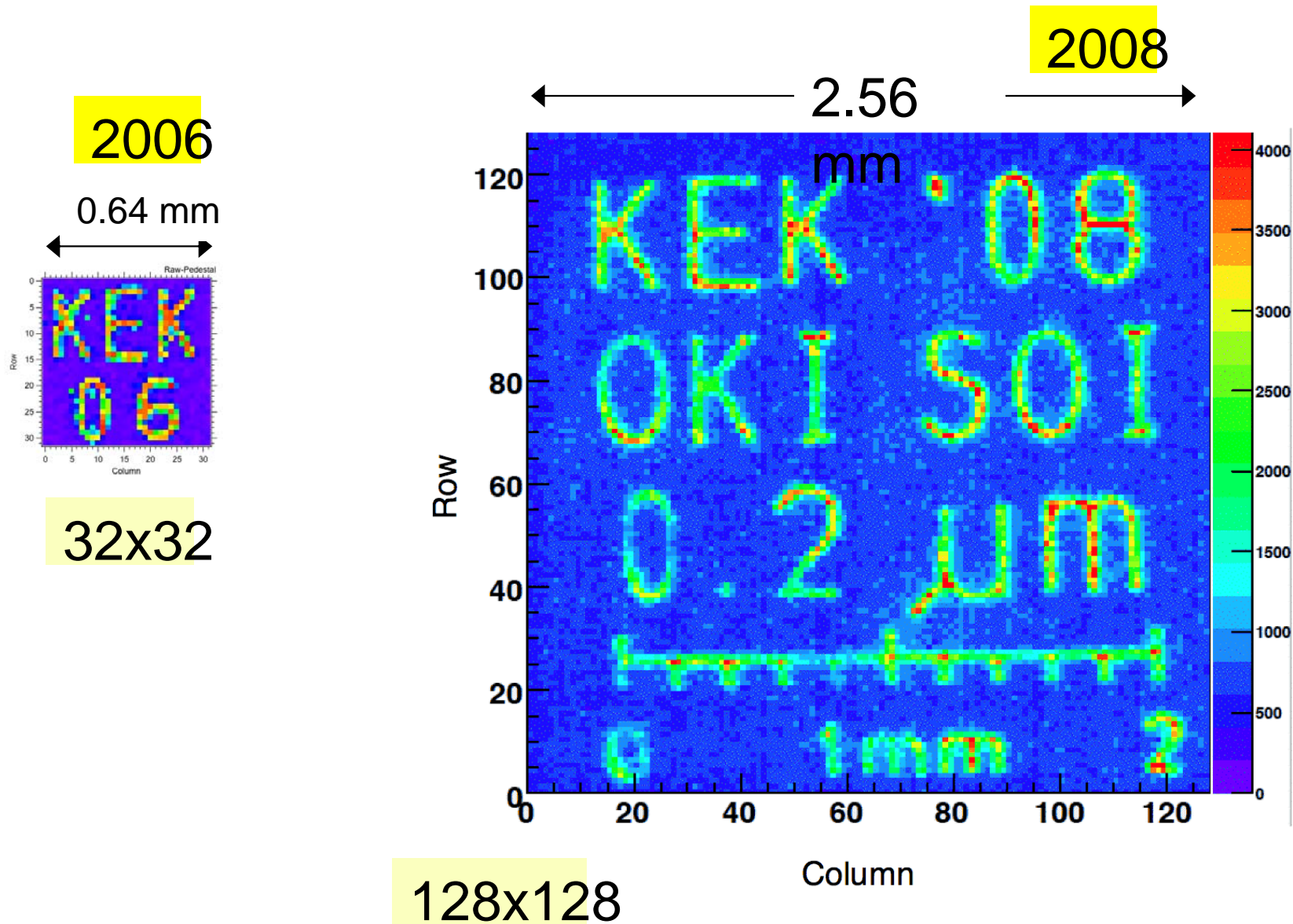
ng TEG IV



$V_{\text{break down}} \sim 230\text{V}$
 $I_{\text{leak}} \sim 80\text{nA}@230\text{V}$

SOI Pixel Laser Images

INTPIX2



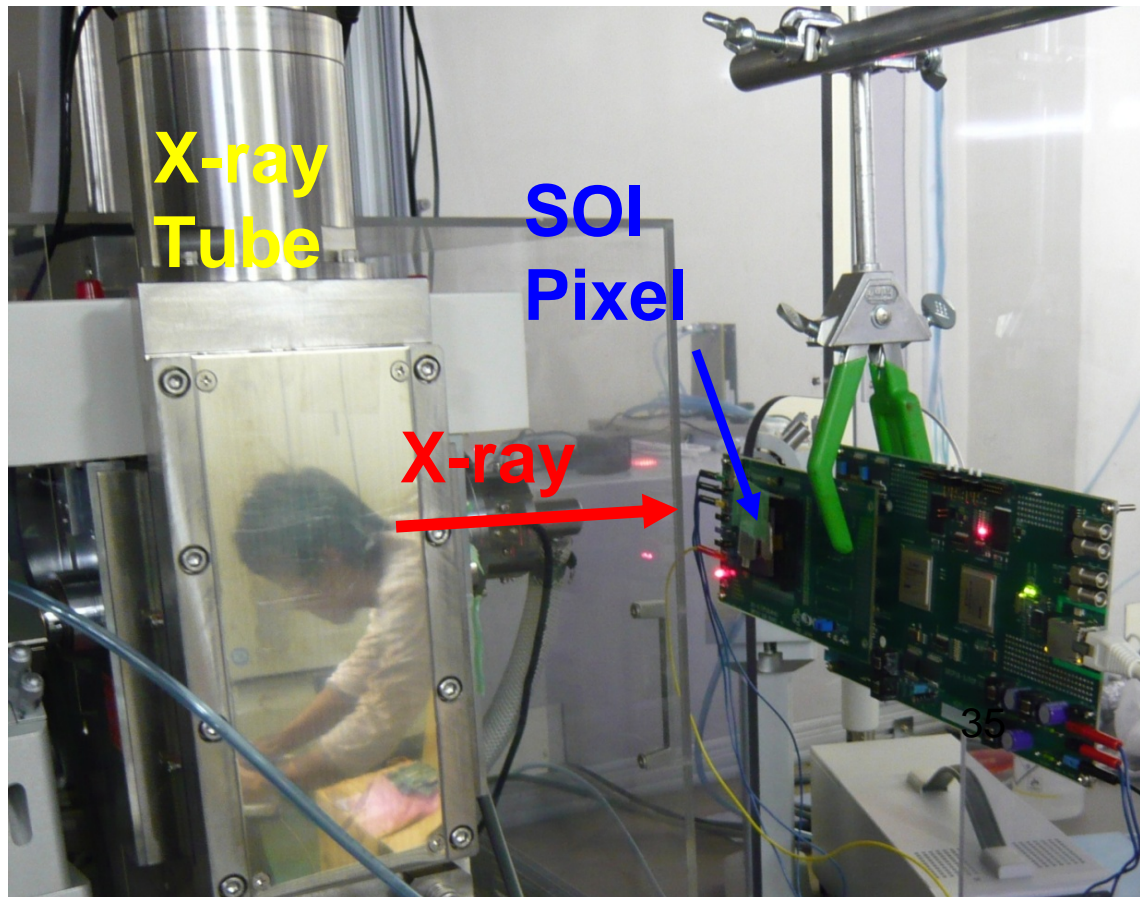
X-ray Irradiation Test

X-ray Generator : Rigaku FR-D

Target : Cu (Cu K α ~8keV)

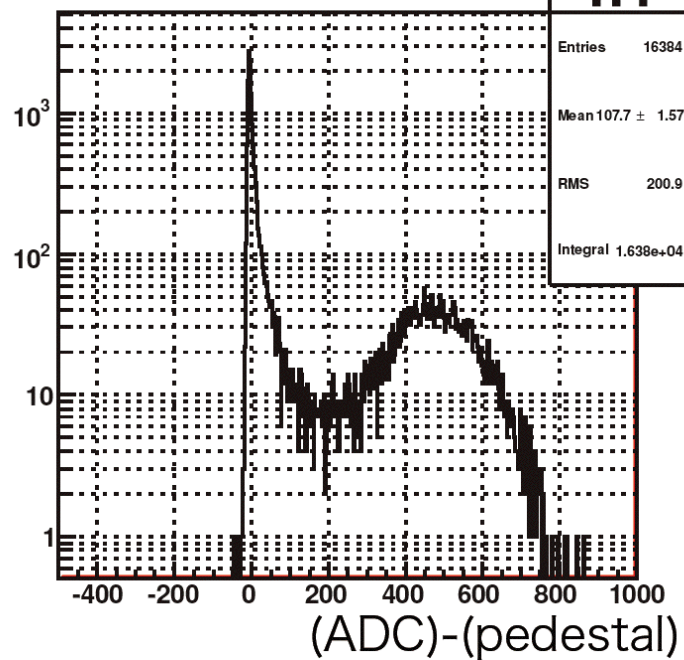
Power : 30-35kV, 10-30mA (max 50kV,60mA)

Intensity : $\sim 10^4$ photons/pixel/sec @30kV,10mA

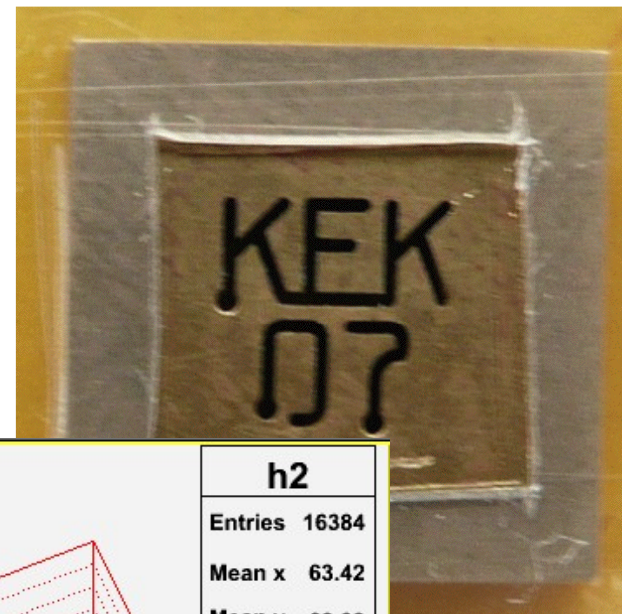
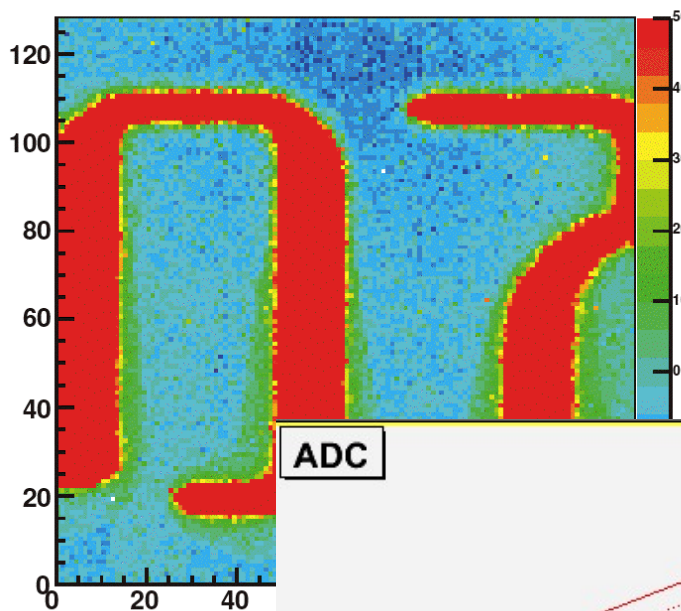


INTPIX2

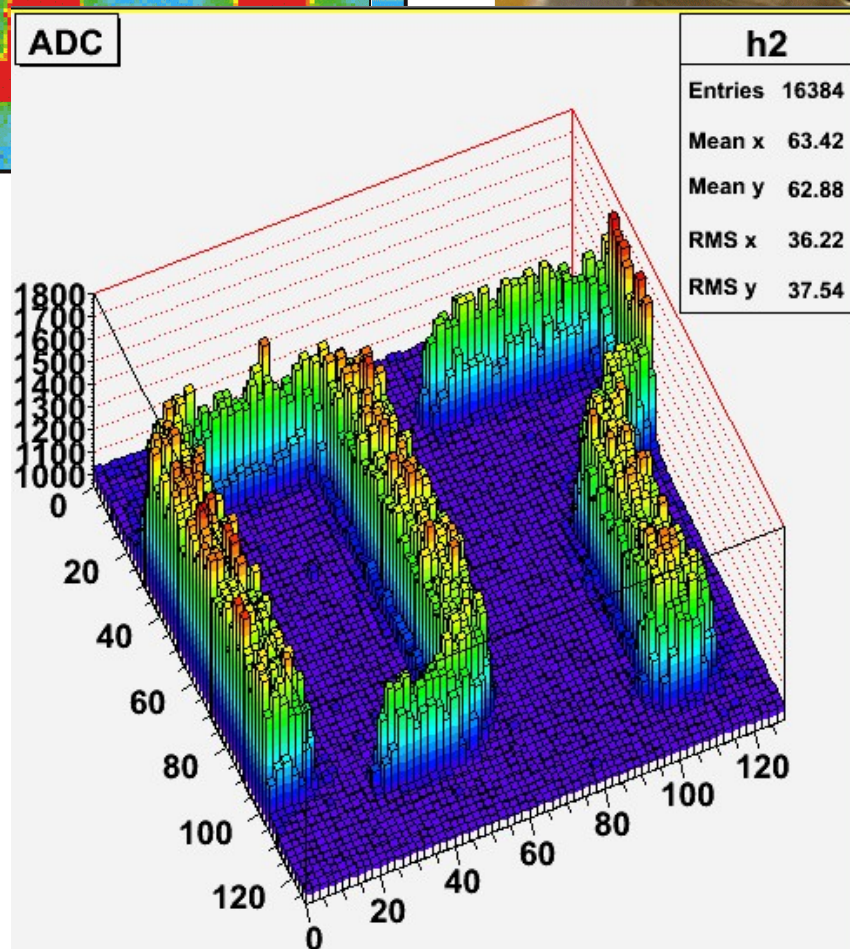
adc



image

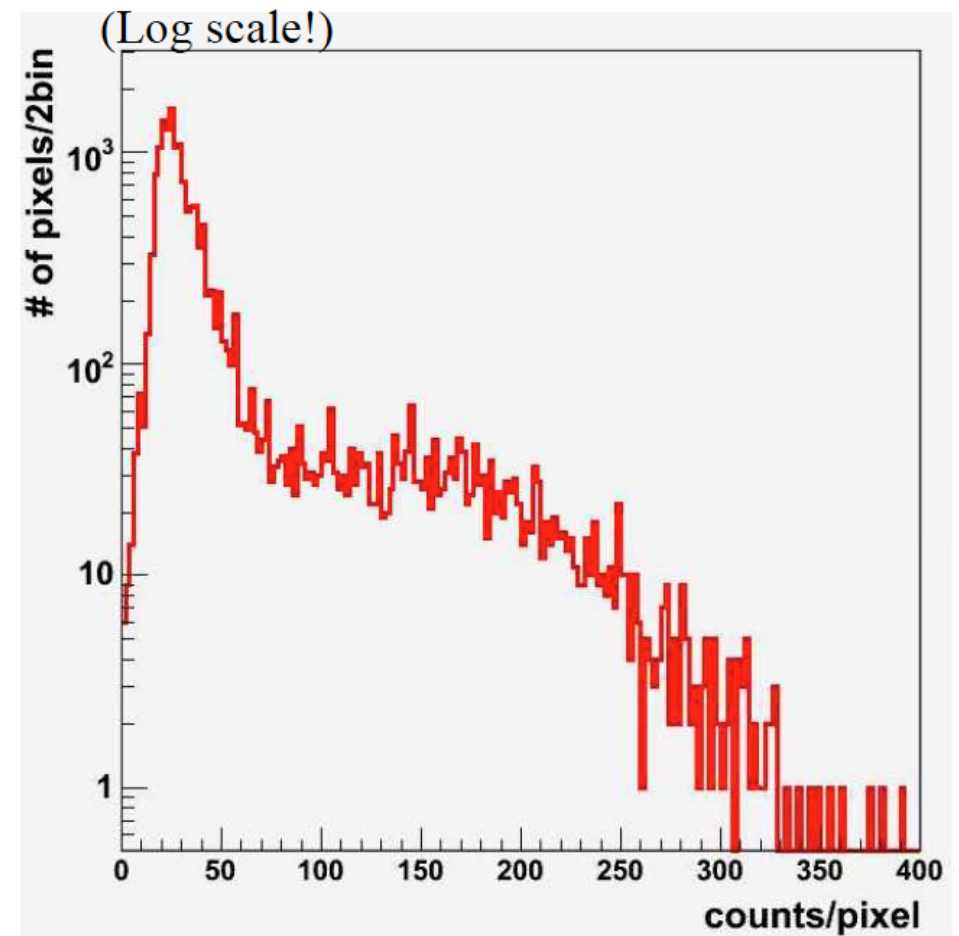
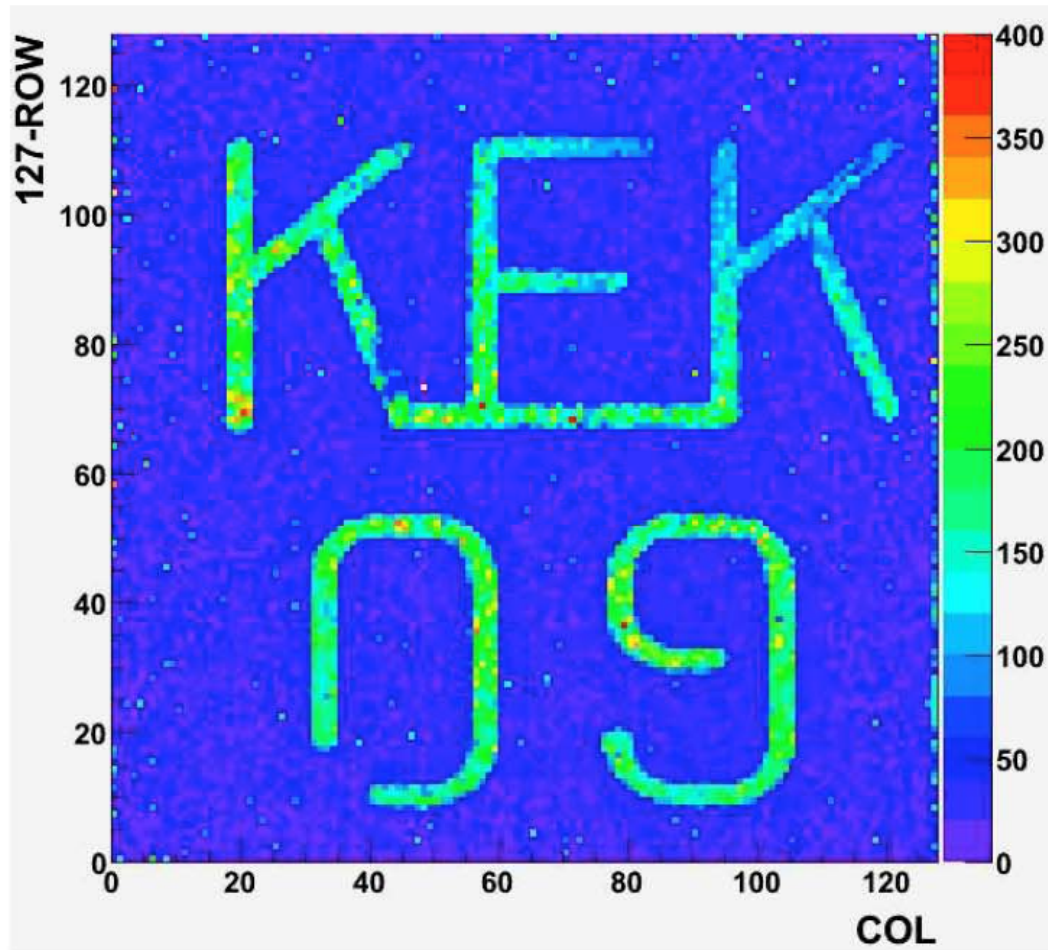


ADC



Vdet=1.5V
800 μ s Integration Time

Brass (Cu/Zn) mask image (CNTPIX2.1)

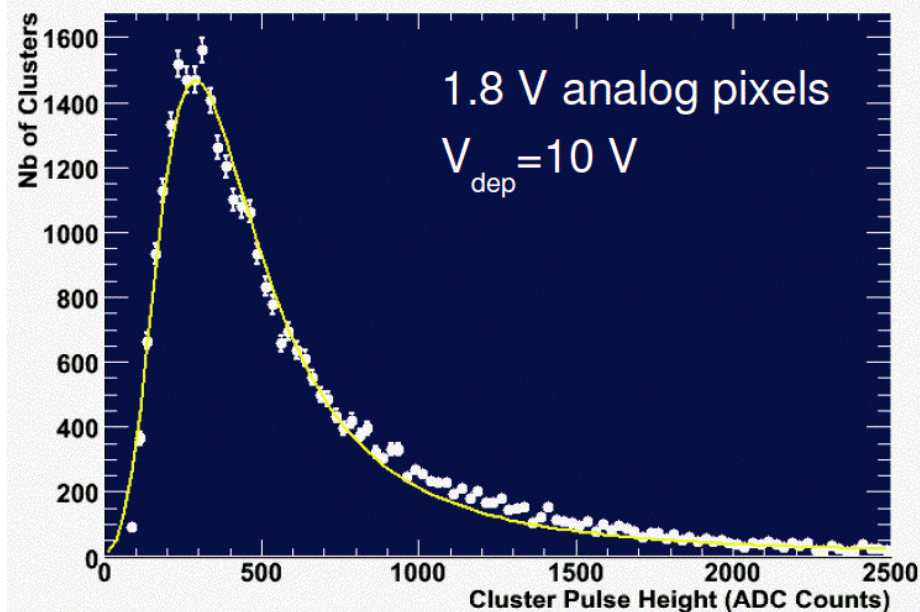


Counter works fine!

Integration time 1.6ms

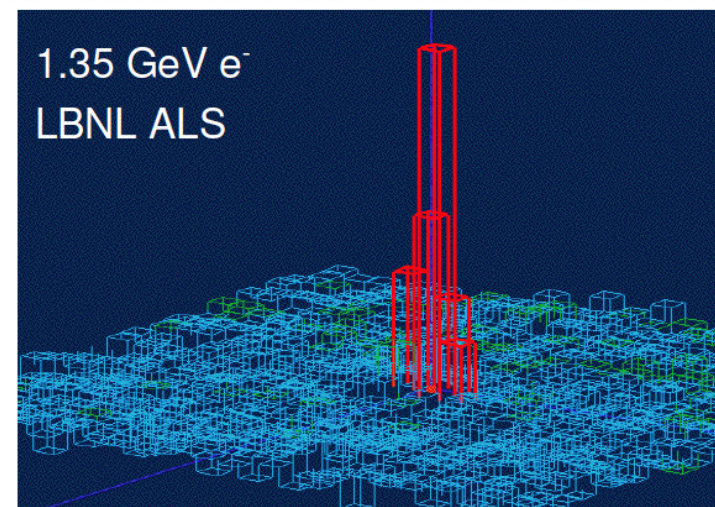
$V_{\text{back}} = 20\text{V}$, $V_{\text{ref}} = 1600\text{mV}$, $v_{\text{thl}} = 1400\text{mV}$

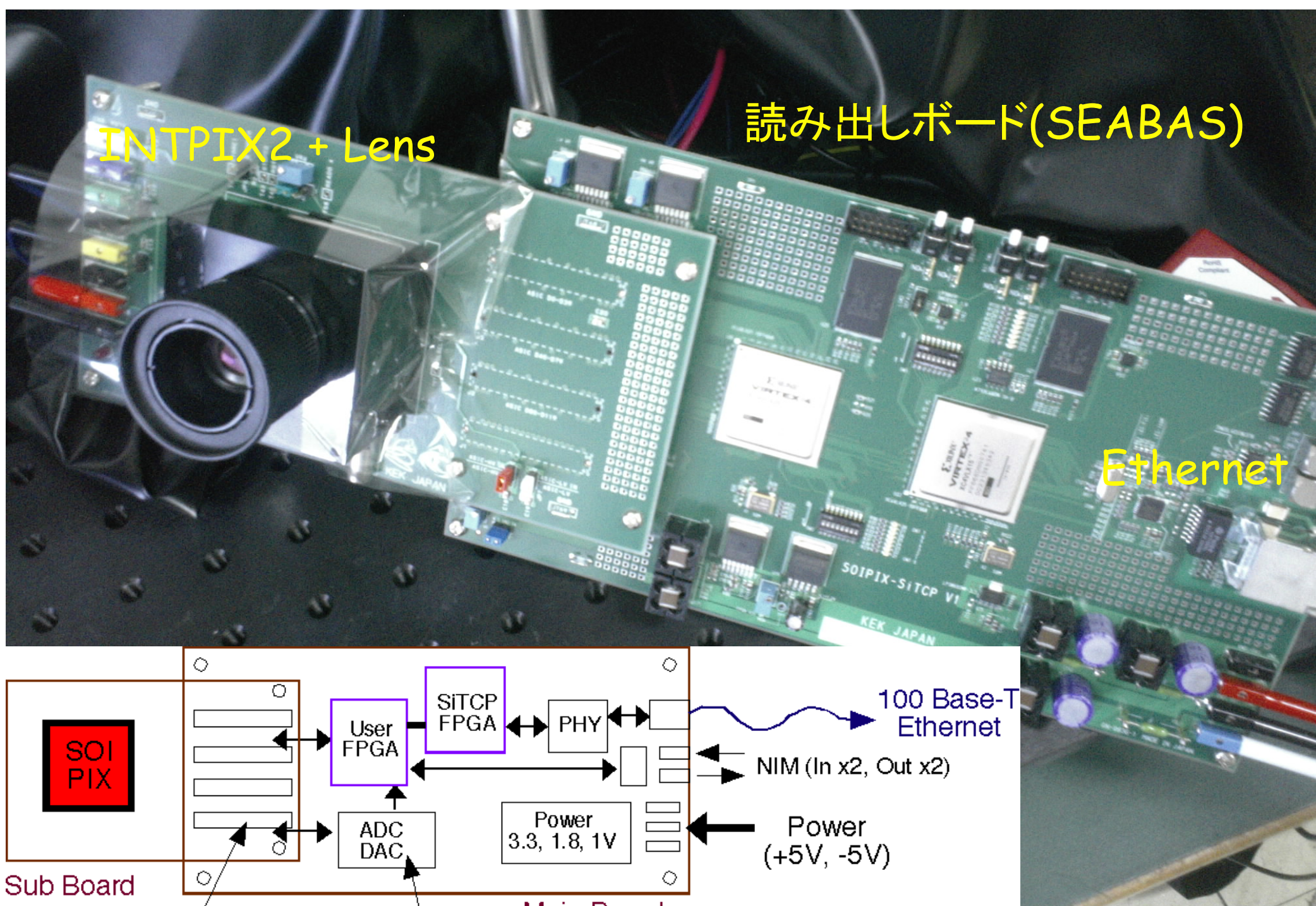
- 1.35 GeV e^- beam extracted from the injection booster at the LBNL Advanced Light Source
- First successful high momentum particle beam test on SOI monolithic pixel sensors
- As a function of the increasing V_{dep} : cluster pulse height increases and cluster multiplicity decreases, up to $V_{dep} \sim 10$ V, consistent with lab tests and back-gating effects becoming important at $V_{dep} = 10$ V



1.8 V Analog Pixels				
V_d (V)	Clusters / Spill (Beam on)	Clusters / Spill (Beam off)	Signal MPV (ADC Counts)	Average Signal/Noise
1	9.7	0.05	132	8.9
5	14.0	0.12	242	14.9
10	7.8	0.20	316	15.0
15	3.9	0.01	301	13.6

[NIM A 583 (2007) 526-528]

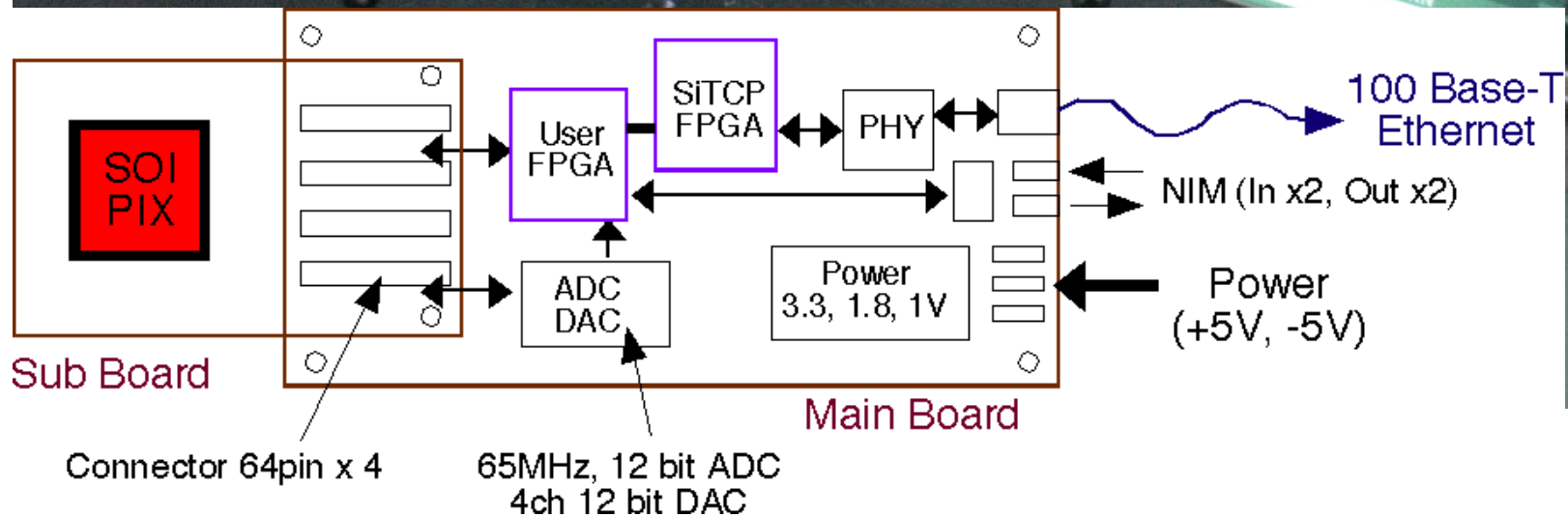




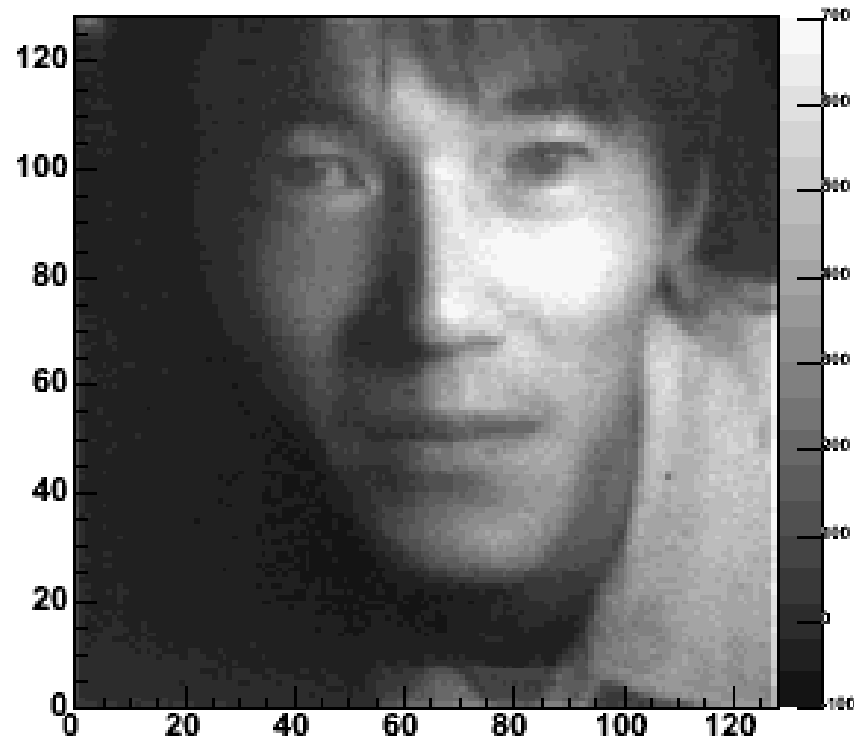
INTPIX2 + Lens

読み出しボード(SEABAS)

Ethernet

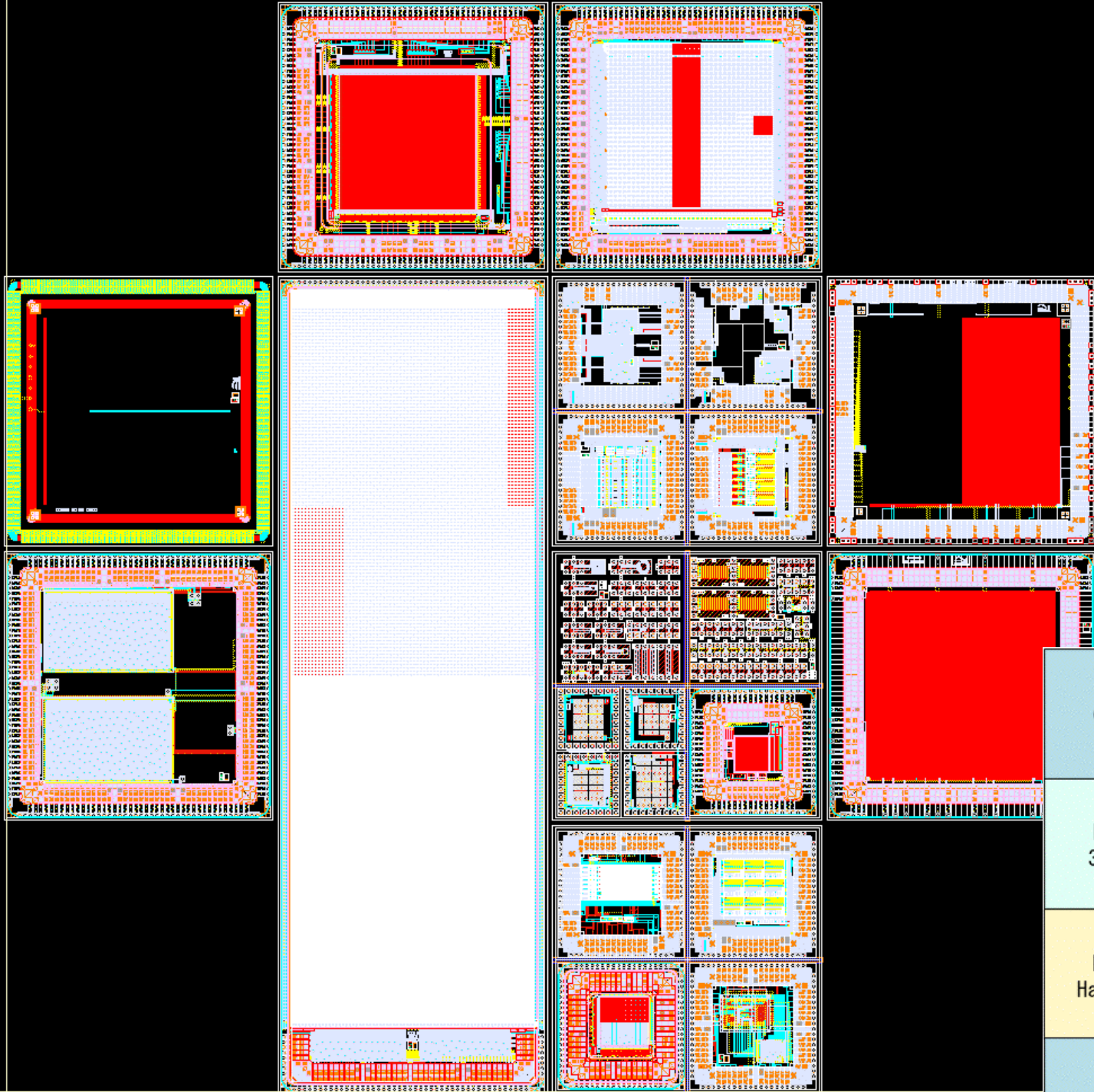


image



Max Readout Speed ~300 frames/sec (200 ns/pixel)

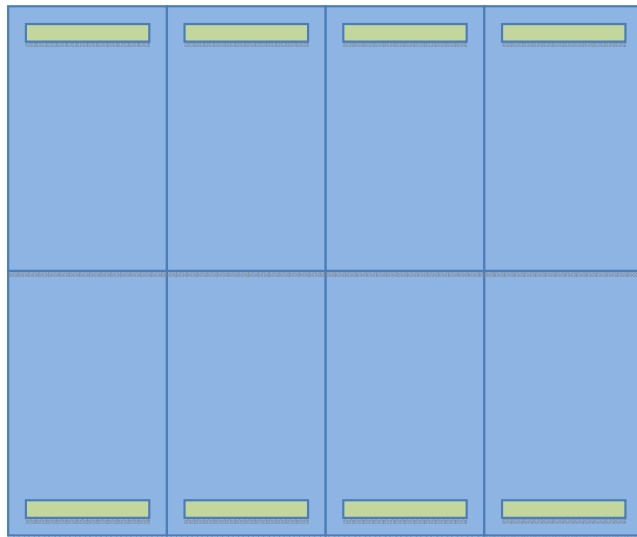
Feb. 20, 2009
MPW Submission



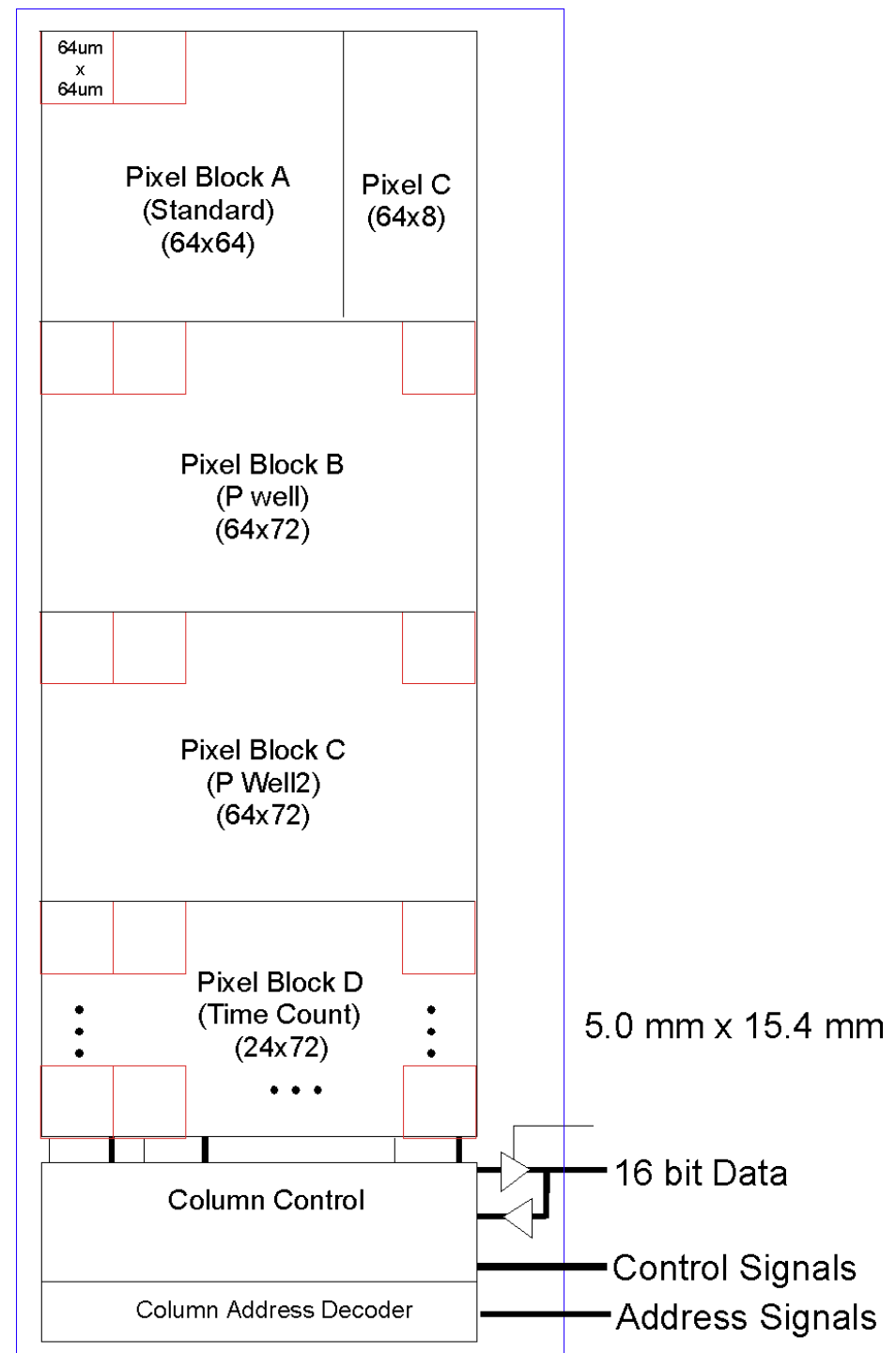
OKI	KEK INTPIX3	Riken A-R-Tec		OKI
KEK 3D-A		JAXA Ikeda		KEK 3D-B
KEK Hawaii	KEK CNTPIX3	JAXA Kobayashi		KEK LBNL
		JAXA Nagata	Riken Hatsui	
OKI		KEK Krakow	KEK Tohoku	OKI
		KEK CDS	KEK TDC	

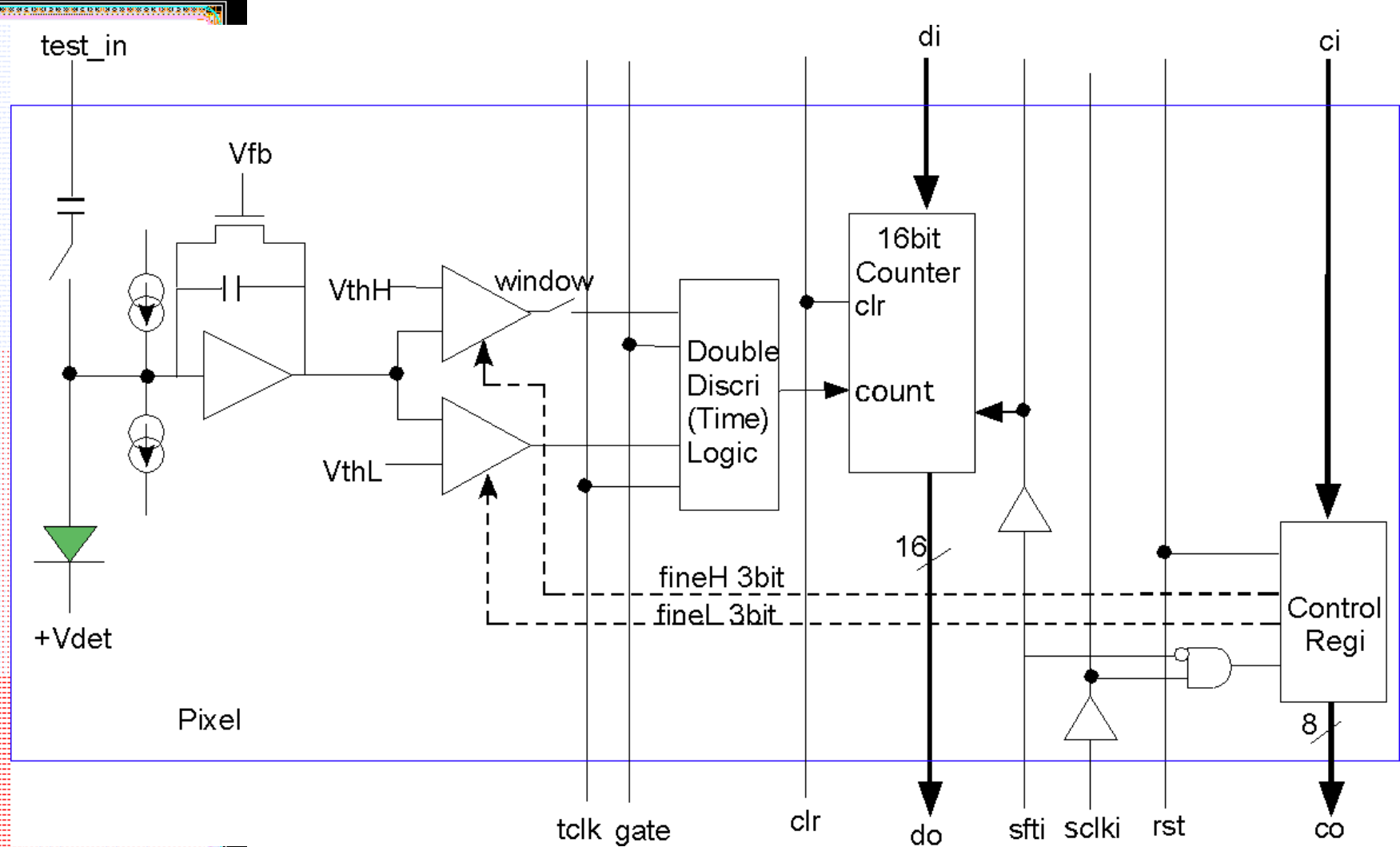
CNTPIX3

- 4 kinds of Pixel Block
- 216 x 72 (15,552) pixels
- 5.0 x 15.4 mm² chip size
- 64 x 64 μm^2 pixel size
- Enable Tiling



Tiling





CNTPIX3 Pixel Circuit

SOI Pixelの課題

高電界が必要なセンサーとエレクトロニクス回路が非常に近い (~200nm)位置にある。



- センサーの電界によりトランジスターのしきい値が変動する (Back Gate効果)
- センサー <-> エレクトロニクス間のクロストークが発生しやすい。
- BOX内に電界があると、放射線により発生したe-hの再結合が妨げられ、最終的に界面にホールがトラップされ耐性が弱まる。

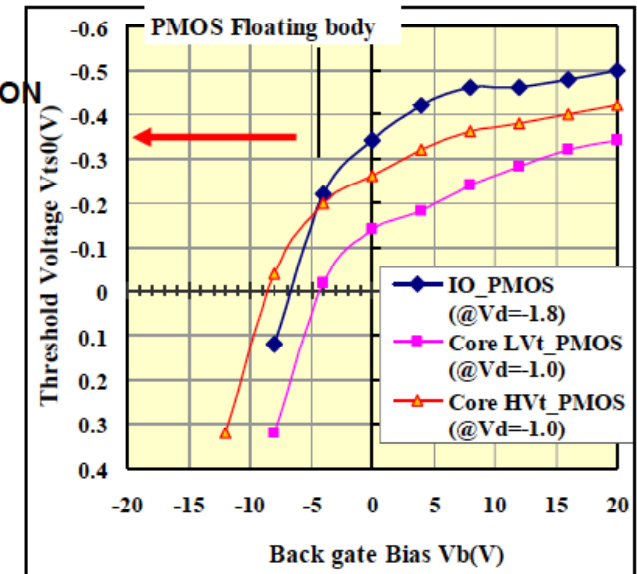
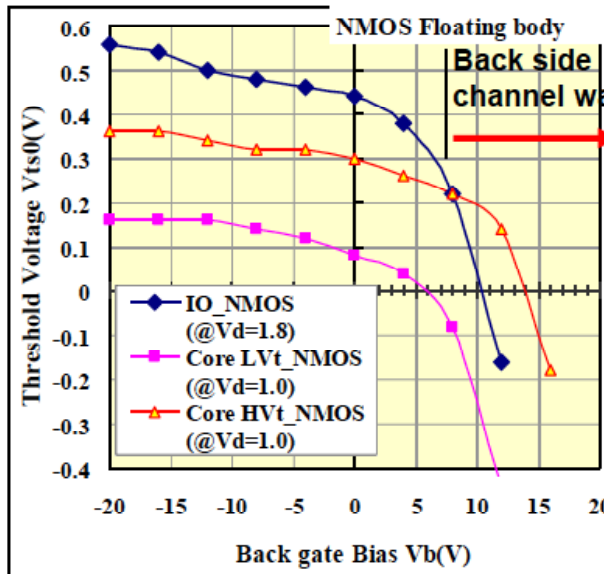
[On Going R&Ds]

- Buried P-Well process
- 3D Integration

Back Gate Effect

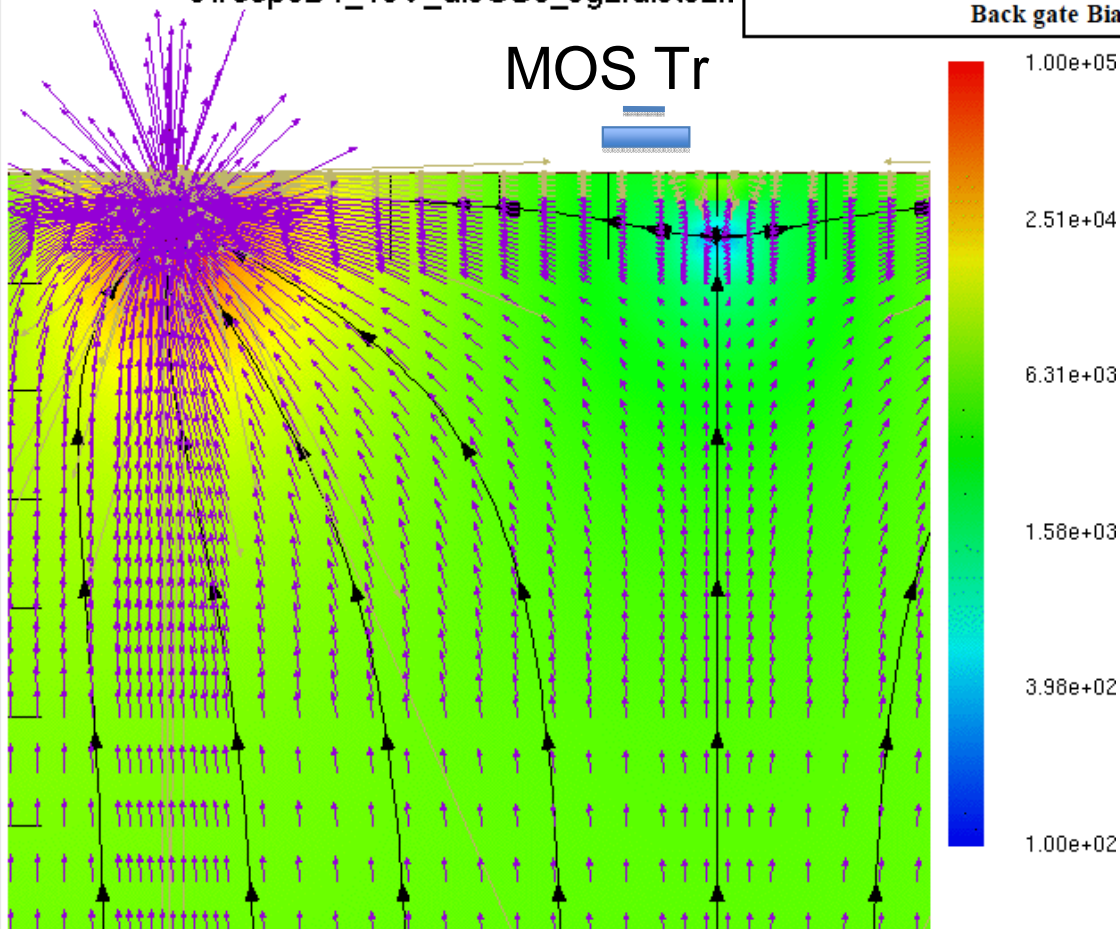
NMOS Threshold Variation

PMOS transistor



sweep3D1_10V_disCS0_sg2.dists2.l

MOS Tr



Copyright 2007 Oki Electric Industry Co.,Ltd

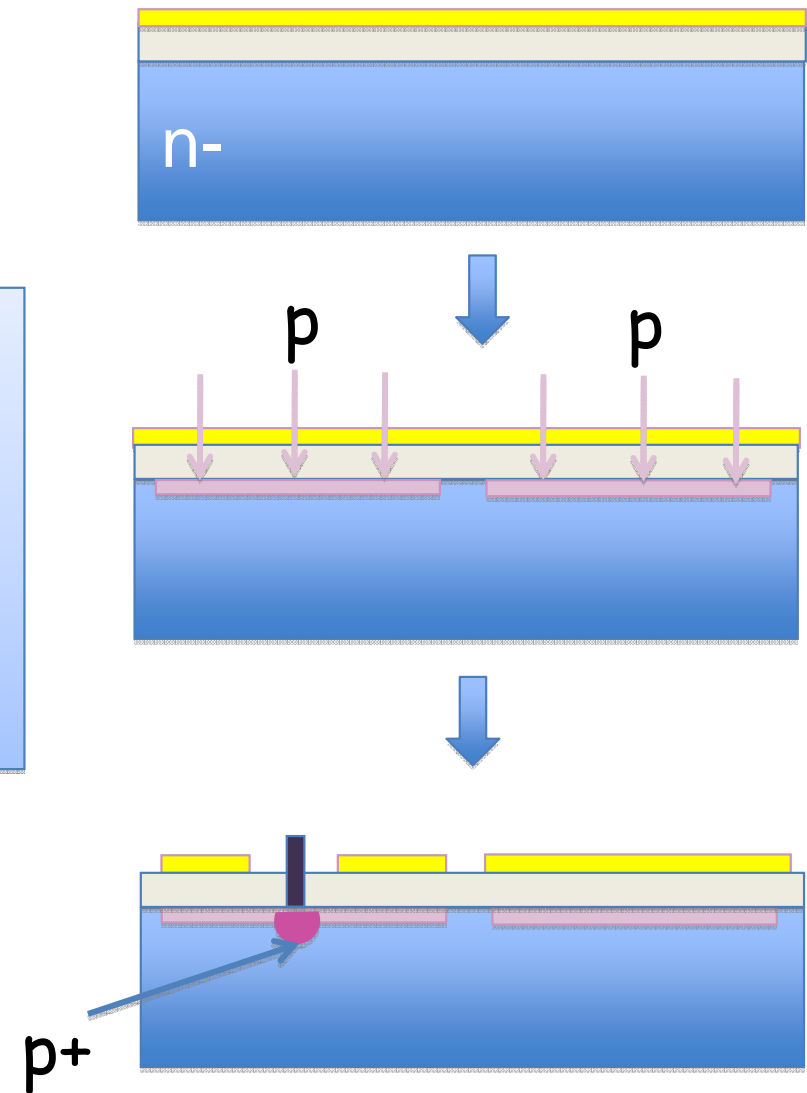
Substrate Voltage act as Back Gate, and change transistor threshold.

Buried P-Well Technology

Implant through SOI layer
(Buried P-Well)

- Suppress back gate effect.
- Reduce electric field around p+ sensor.
- Less electric field in BOX to improve radiation hardness

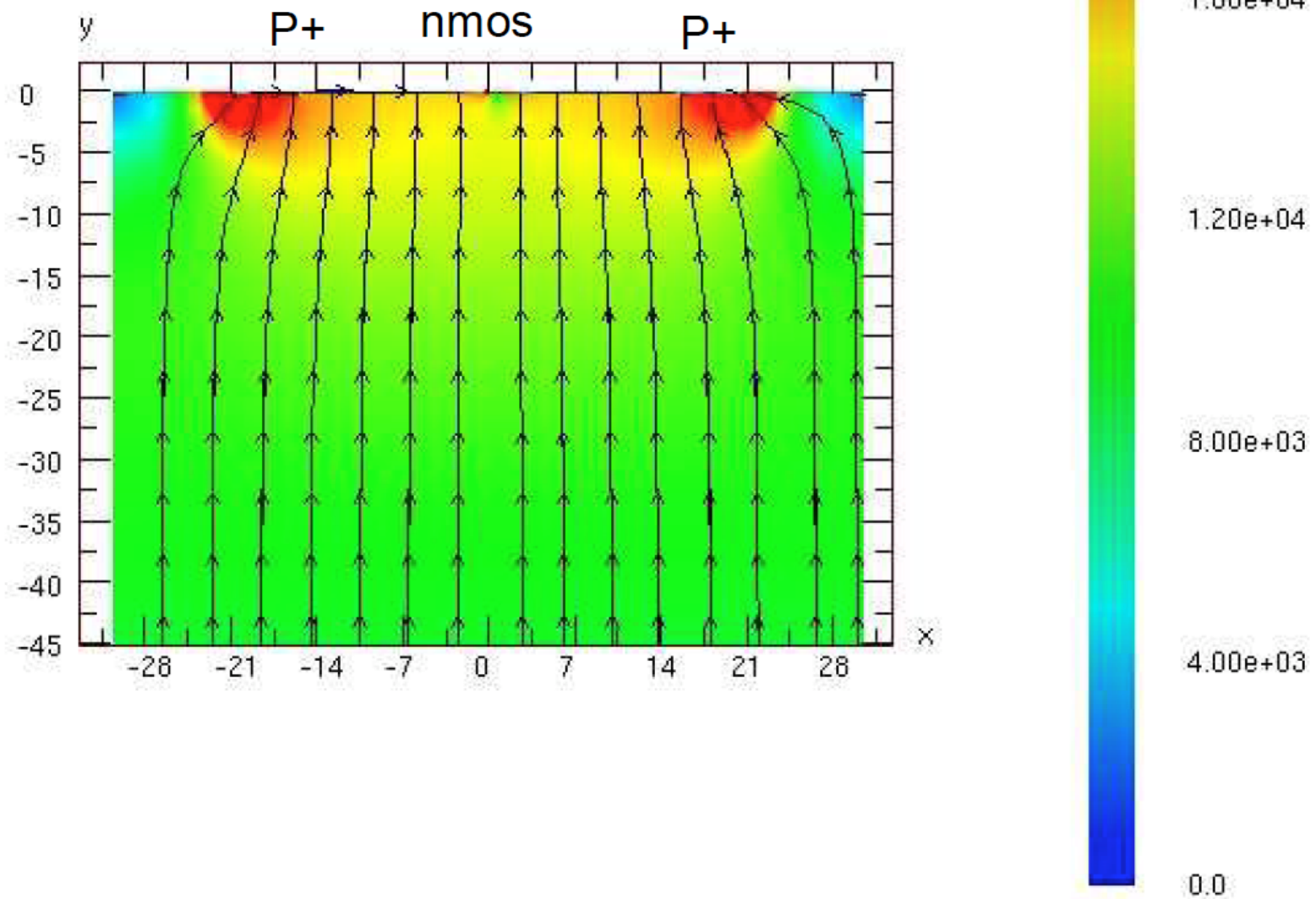
Tested in next submission.



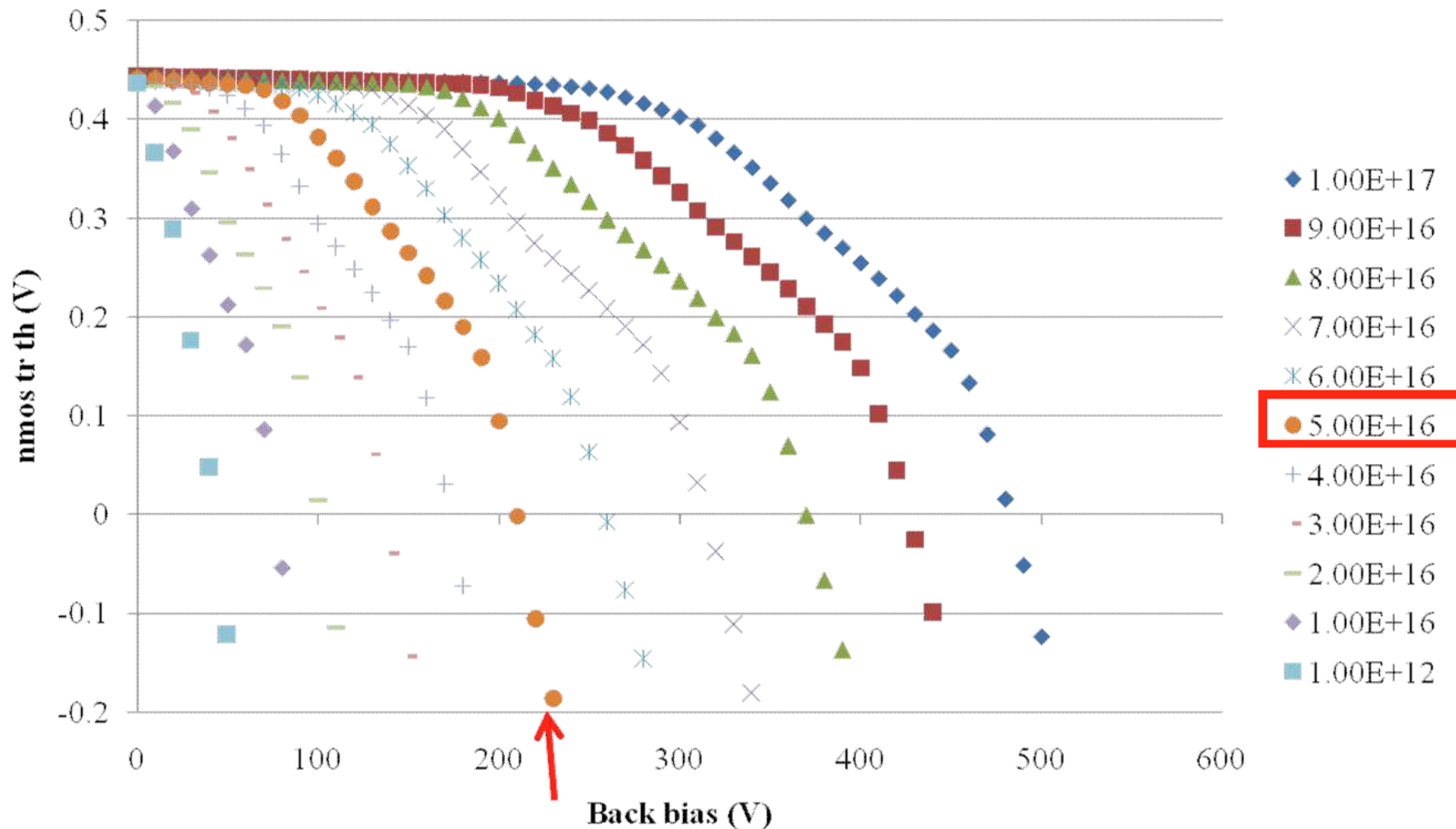
Buried P-Well

Electric field @ back bias 100V

P concentration $1e17/cm^3$



Back gate effect to nmos transistor

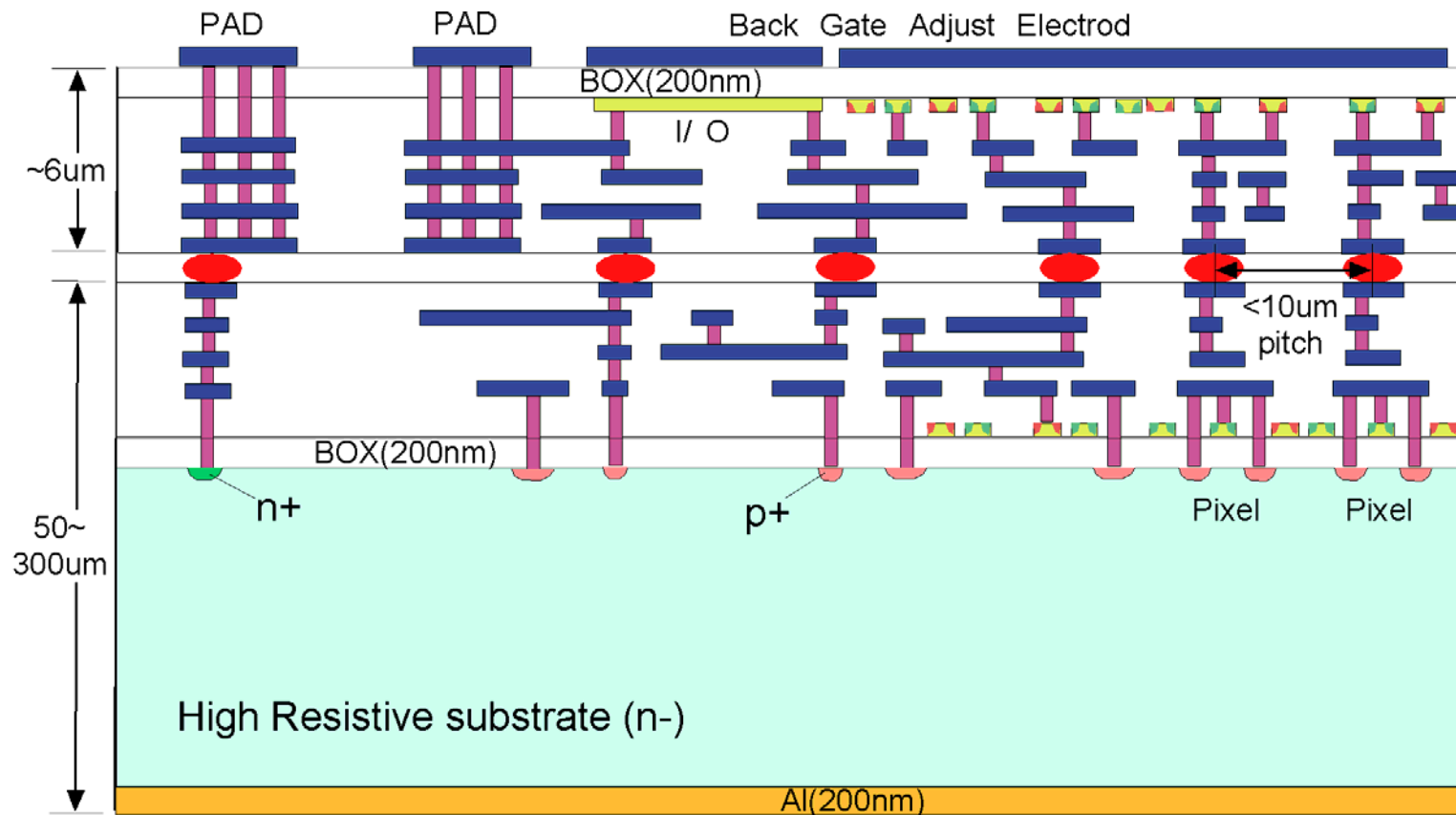


Nmos tr. threshold doesn't decrease so much up to $\sim 100V$
OKI process simulation results are consistent with these results

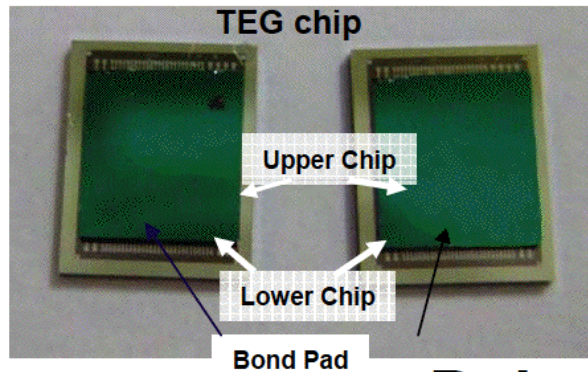
Vertical (3D) Integration

ZyCube(Tohoku Univ.)
+ OKI + KEK/LBNL

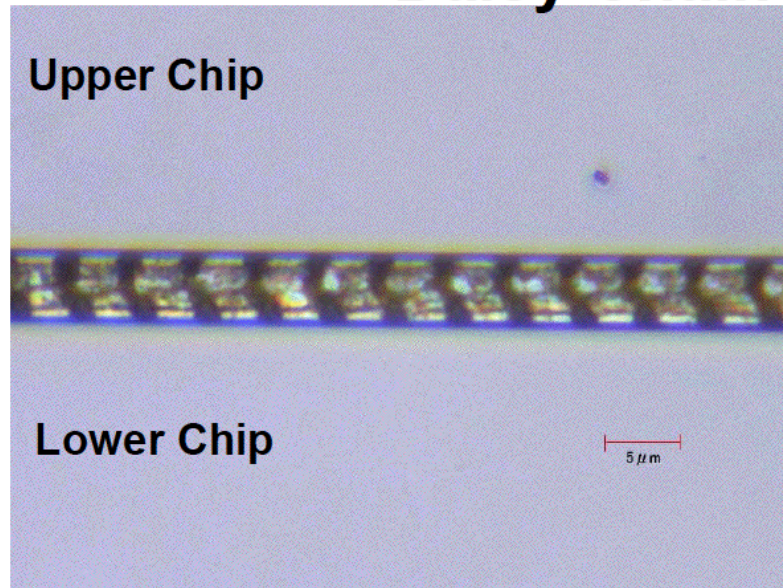
ZyCube社の μ -bump bonding ($\sim 5 \mu\text{m}$ pitch) 技術を使って、さらに高集積化の研究も行っている。



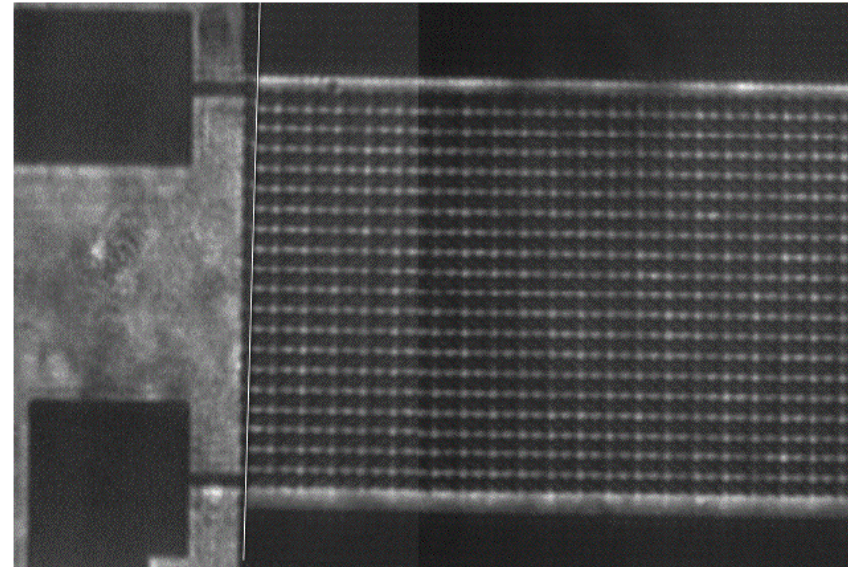
5 μ m pitch μ -bump



Daisy Chain with 10^4 μ -bumps



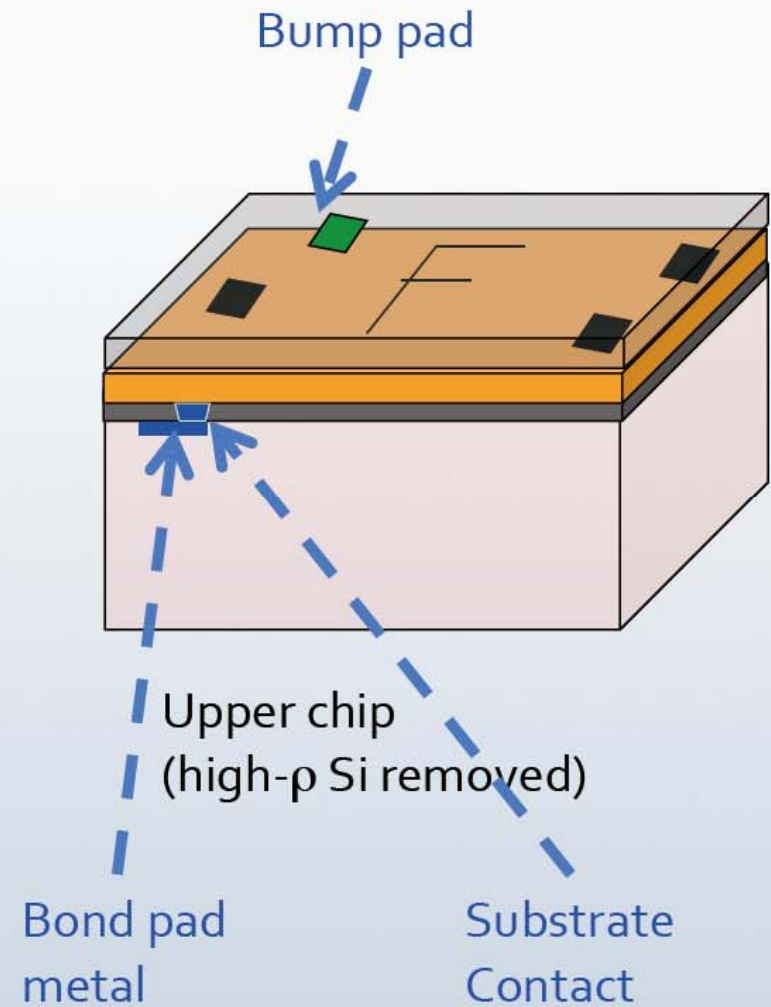
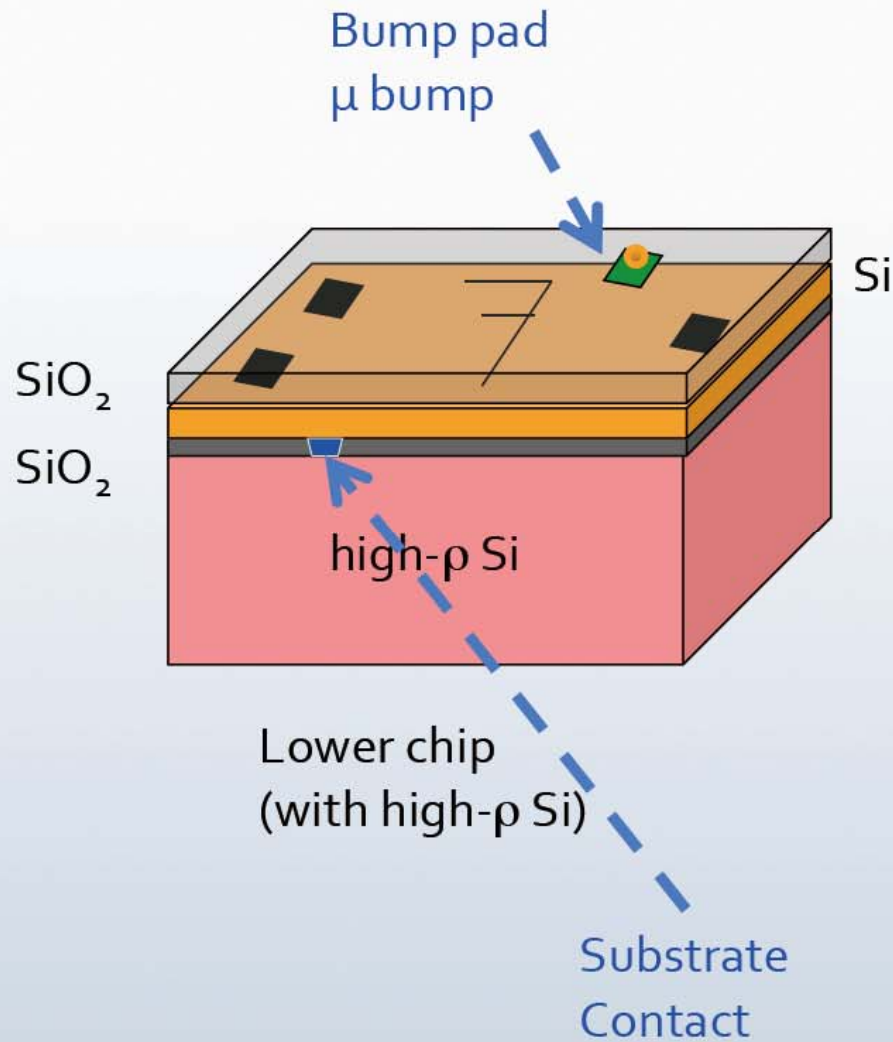
Cross section



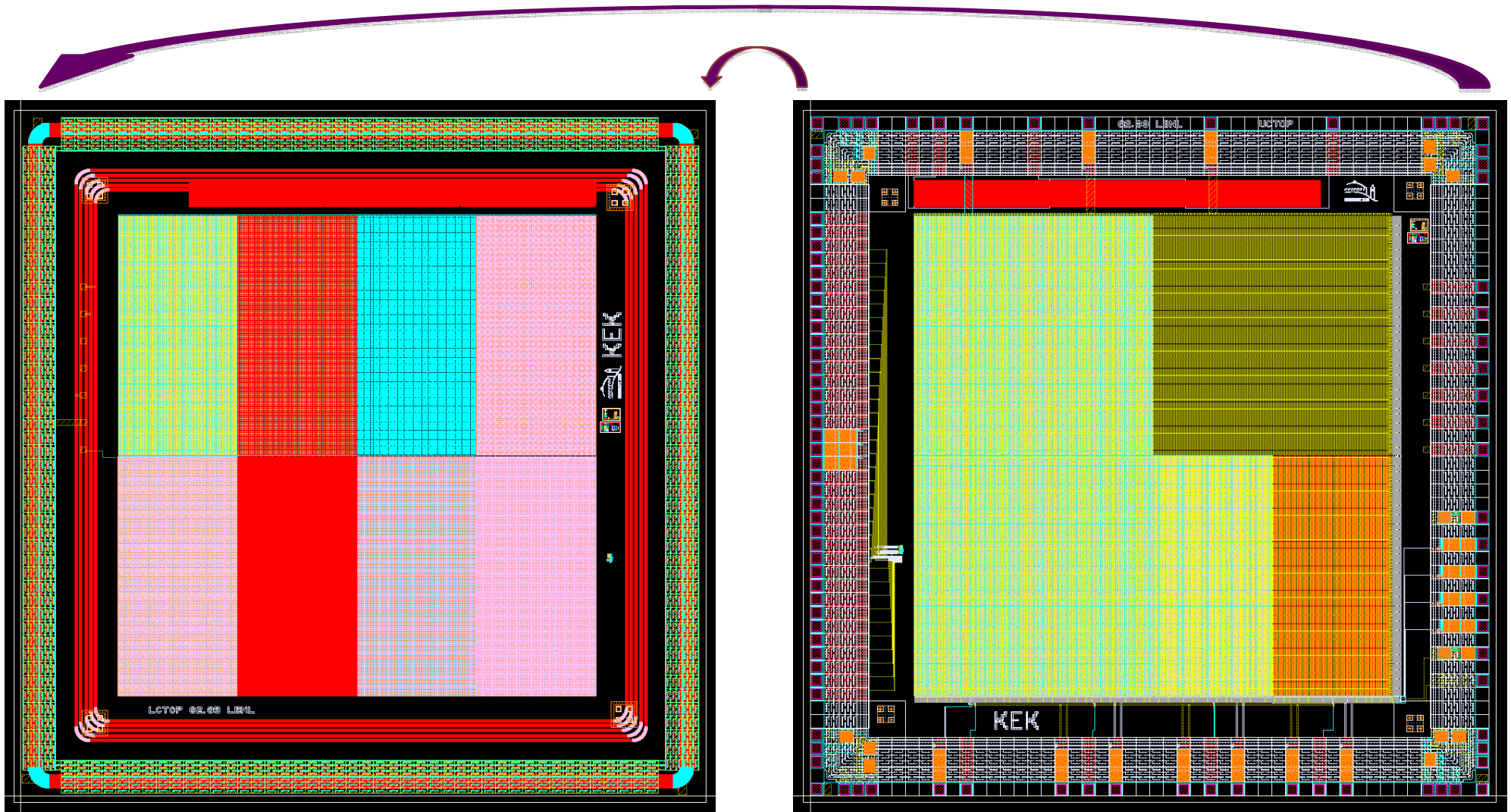
Plain View(IR microscope)

Tohoku Univ. / ZyCube

3D (on this submission)



Vertical Integration



Lower Chip

Upper Chip

まとめ

- SOI Pixelは放射線センサーと読出しエレクトロニクスを一体化した理想的な放射線イメージセンサー。
- 多重散乱を引き起こす余分な物質がなく、高速、高分解能の測定を可能にする。
- ピクセル毎に高機能なデータ処理回路を搭載出来、従来不可能であったような計測を可能にする。
- 現在このようなプロセスを行えるのは、一部の研究所を除き、企業としてはOKIセミコンダクターのFD-SOIプロセスのみである。
- このため、日本国内はもとより世界各国の研究者がこのプロセスに興味をもっている。
- 今後も年1~2回のMPWランを行って行きたいと考えている。