

日本物理学会誌

- 高エネルギー宇宙線観測と宇宙暗黒物質探索
- 微分方程式の縮約と包絡線
- SOI 技術を用いた放射線イメージセンサーの開発

BUTSURI

第65巻 第9号(通巻 724号) ISSN 0029-0181

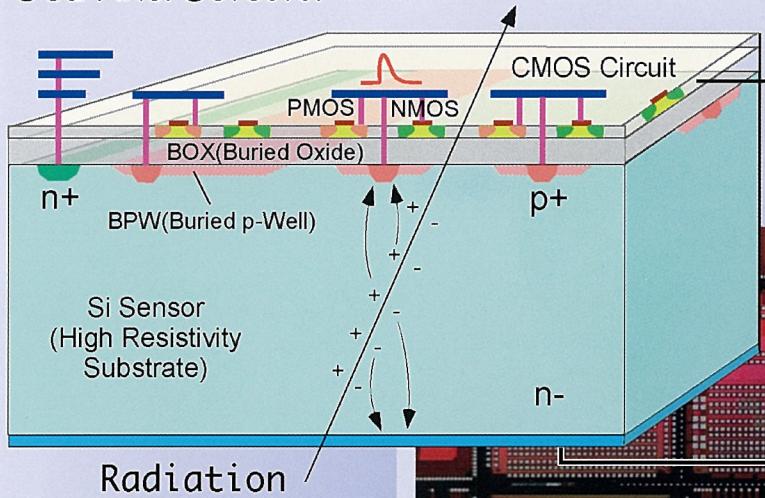
昭和30年6月13日 第3種郵便物認可

平成22年9月5日発行 毎月5日発行

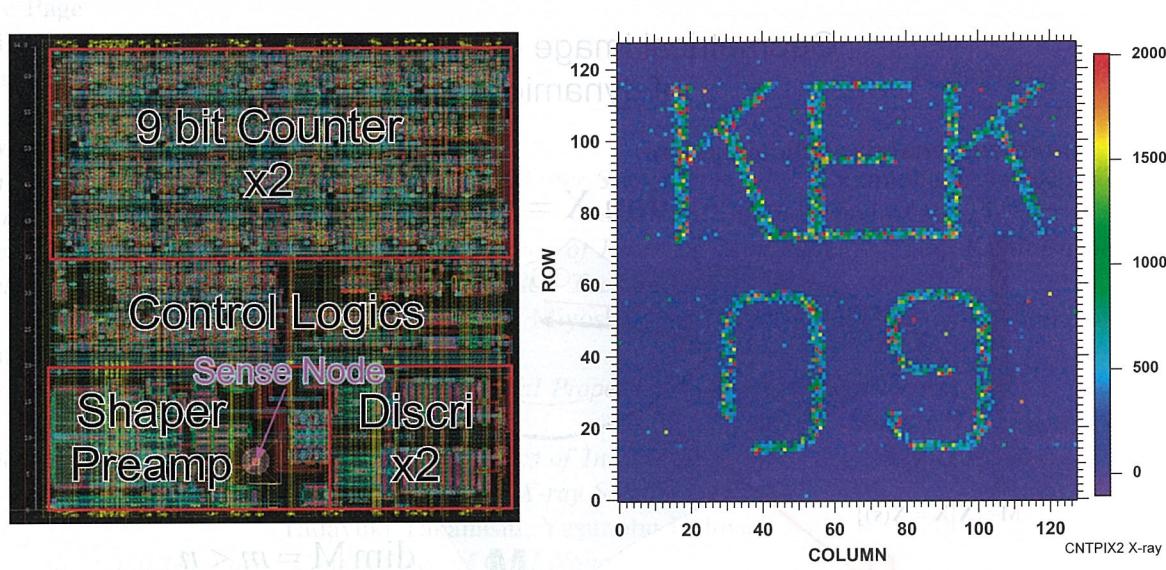
2010 VOL. 65 NO.

9

SOI Pixel Detector



実験技術 「SOI技術を用いた放射線イメージセンサーの開発」



左図：64 ミクロン角の領域に形成された計数型 SOI ピクセルのレイアウト (CNTPIX5). この領域中に電荷感応型アンプ、波形整形回路 (Shaper), 2 つのエネルギー弁別回路 (Discr), 2 つの 9 ビットカウンター等を含んでいる。中央下部にセンサーとの接続の為のビアがある。

右図：128×128 ピクセルの SOI 計数型センサー (CNTPIX2) で撮影した像の 1 例. 8keV X 線を使用。

SOI 技術を用いた放射線イメージセンサーの開発

新井 康夫 <高エネルギー加速器研究機構素粒子原子核研究所 305-0801 つくば市大穂1-1 e-mail: yasuo.arai@kek.jp>
 三好 敏喜 <高エネルギー加速器研究機構素粒子原子核研究所 305-0801 つくば市大穂1-1 e-mail: tmiyoshi@post.kek.jp>
 一宮 亮 <高エネルギー加速器研究機構素粒子原子核研究所 305-0801 つくば市大穂1-1 e-mail: ryo@post.kek.jp>
 小貫 良行 <東北大学大学院理学研究科 980-8578 仙台市青葉区荒巻字青葉6-3 e-mail: onuki@epx.phys.tohoku.ac.jp>

様々な分野で高解像度、高速、高感度な放射線イメージセンサーへの要求が高まっている。これらの要求を満たす為には、放射線センサーと読み出しエレクトロニクスとの一体化が不可欠であるが、従来の技術では困難であった。Silicon-On-Insulator (SOI) と呼ばれる技術が実用化され、長い間の夢であるモノリシック型の放射線検出器の可能性が見えてきた。SOIイメージセンサー技術の開発経過と今後の課題について解説する。

1. はじめに

1958年のキルビー (Jack Kilby) による集積回路の発明 (2000年のノーベル物理学賞) 以来、半導体集積回路技術は猛烈な勢いで発展を遂げて来た。一方、半導体を用いた放射線検出器も、この技術発展の恩恵を受け、単体の検出器からストリップ検出器、ピクセル検出器へとより高精細なもののが開発されてきた。

しかしながら現在 LHC 実験や放射光実験で用いられている最先端のピクセル検出器においても、センサー部のピクセルと読み出し用の大規模集積回路 (LSI) とは金属バンプを用いた機械接続のハイブリッド型である。

光センサーはもちろんのこと、圧力/加速度センサー等さまざまなセンサーが LSI と一体化されて行く中、なぜ放射線センサーと読み出し回路とはひとつのチップ上に集積化されないのであろうか？

その大きな理由のひとつは、一般に放射線検出では純度の高い半導体結晶に高い電圧をかけ、厚い空乏層を作ることにより放射線を検出するのに対し、LSI 回路では半導体の薄い表面に様々な不純物を混ぜ、低い電圧で動作させるという違いによるものである。半導体プロセス技術は、印刷のように平面的な処理を行うものであることから、1枚のウェハー上でこれらを一体化させることは困難であった。

しかしながら 1990 年代半ばより、張合わせ方式による

Silicon-On-Insulator (SOI) 基板¹⁾ (UNIBOND™ 基板) が実用化され、二つの異なる半導体から構成されたウェハーが入手可能となった。

この SOI 基板を利用して、一方に高抵抗率シリコンによるセンサーを形成し、もう一方に LSI 回路を形成し、これらを結びつけることにより一体化させようというのが SOI ピクセル検出器である。SOI ピクセル検出器の概念図を図 1 に示す。

高エネルギー加速器研究機構では 2005 年度より、将来的実験に役立つような重要な測定器技術の開発を目指すプロジェクトを立ち上げ、その中のひとつとして筆者等が提案した SOI 技術による放射線イメージセンサーの開発がスタートした。^{2,3)}

そもそも SOI トランジスター自体の歴史は古く、概念は 1926 年のリリエンフェルド (J. E. Lilienfeld) の特許⁴⁾にまでさかのぼる。しかしながら本格的に実用化されたのは、NTT の泉らが 1978 年に SIMOX という技術を開発⁵⁾し、良質のウェハーが手に入るようになって以降である。現在では高性能プロセッサーの多くや、低消費電力の時計用 LSI 等に SOI 技術が用いられている。

1990 年代にはヨーロッパの研究者等が SIMOX ウェハーを用いた一体型の放射線検出器の開発を試みたことがある。⁶⁾ またその後 UNIBOND™ 基板が現れてから、別グループも開発を試みている⁷⁾が、いずれも研究所内の設備を使ったプロセスであったためか、技術力不足で SOI 特有の課題を克服できずに終わってしまっている。

そこで我々は SOI LSI を量産している日本企業にアプローチを試み、最先端のプロセス技術を用い、課題を解決し開発を試みることにした。幸い OKI セミコンダクタ(株)の協力を得ることができ、同社の 0.2 μm CMOS Fully Depleted (FD)-SOI プロセスを元に共同開発をスタートした。その後、リーマン・ショックによる半導体業界の大不況といった困難な時期もあったが、多くの方のご支援により現在は実用化に目処がつく所まで来たと考えている。

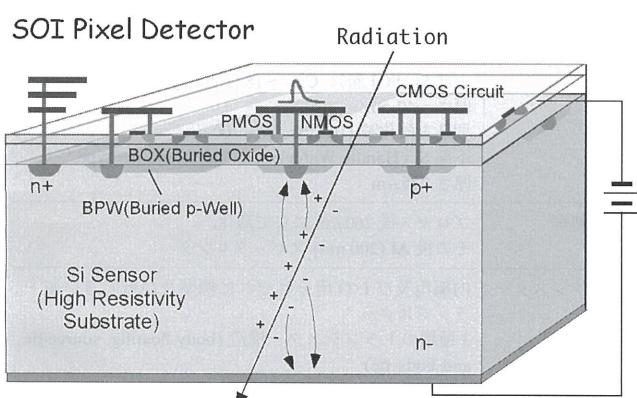


図 1 SOI ピクセル放射線イメージセンサーの構造。

2. SOI ピクセル

- SOI ピクセル検出器の主な特徴を以下に挙げる。
- センサーと回路間に機械的な接続部分が無いため、不感領域や多重散乱の原因となる物質量が少なく、ピクセルサイズも小さくすることができる。
 - サブミクロノの半導体プロセスを使うことにより、センサー部容量が非常に小さく ($\sim 10 \text{ fF}$), S/N を高くすることができます。
 - LSI の標準デバイスである CMOS (Complementary Metal Oxide Semiconductor; 相補型金属酸化膜半導体) ランジスターを用いた回路を形成でき、ピクセル毎に高機能な処理を行うことができる。
 - トランジスターが形成される SOI 層が非常に薄い ($\sim 40 \text{ nm}$) ため、荷電粒子の衝突による発生電荷量が少なく、シングルイベント効果^{*1}が起こりにくい。また、通常の CMOS LSI で故障原因となるラッチアップ現象^{*2}も起こらないことから、衛星等の宇宙用途にも向いている。
 - 通常のバルク CMOS デバイスと異なり、SOI では各トランジスターが完全に絶縁されているのでトランジスター間の漏れ電流が小さく、低温 ($\sim 4 \text{ K}$) から高温 ($\sim 600 \text{ K}$) まで広い温度範囲で動作する。
 - SOI 技術は低消費電力、高速という特性から産業界で広く用いられている技術なので、今後とも発展が期待できる。また、量産化した際には低価格で生産できる。
 - SOI を発展させた形体として、垂直積層 (3D) 技術に繋げることができ、ピクセル面積を増やすことにさらに高機能化が図れる。

SOI ピクセルの用途としては、高エネルギー加速器実験でのビーム衝突点付近で荷電粒子の軌跡を測定する崩壊点検出器 (Vertex Detector) としての用途の他、放射光での X 線構造解析用検出器、衛星搭載用放射線検出器、X 線やハドロンビームを用いた医療分野への応用等多くのものが考えられる。また、近赤外光や中性子 (変換膜が必要) の検出といった応用も考えられる。将来の夢としては、RF 回路を搭載し、体内に埋め込んで無線通信によりリアルタイムで脳や体内の様子がわかるようなチップができるかとも考えている。

SOI ウエハーとしては Si 以外の半導体を張合わせたものも試作されているが、現在の所プロセス上の問題からセンサー部のウエハーは Si に限っている。Si の場合、高エネルギー荷電粒子に対しては、厚さ $50 \mu\text{m}$ 程度で充分な感度が得られる。高エネルギーの X 線を測定する為にはより厚いセンサーが必要となるが、厚さ $350 \mu\text{m}$ で 20 keV X 線に対し 30% 程度の検出効率が得られる。さらにこれを積層すれば、より高エネルギーまで検出可能となる。また

裏面電極を薄くし、裏面照射を行うことにより、 $\sim 1 \text{ keV}$ 程度からの低エネルギー X 線の検出も行えるようになる。

ピクセルに載せる機能としては、さまざまなアイデアが出ている。後で述べるように計数型では数十 μm 角のピクセル毎に $\sim 10 \text{ MHz}$ 程度で動作するカウンターを載せられるので、チップ全体では $\sim 100 \text{ GHz/cm}^2$ といった超高レートの測定が行えることとなる。また、内部にメモリーを載せることで、データ読み出しによるデッドタイムを無くし、高速の時分割測定を行うことも可能となる。さらに、近傍のピクセル間で信号のやり取りをすることにより、放射線により発生した電荷が、ピクセル間で分割されてしまう (charge sharing) 影響を避けることができる (逆に charge sharing を利用して位置分解能を上げることもできる)。さらに、ひとつのピクセル内にゲインの異なる複数のアンプを載せ、ダイナミックレンジを広げるといったチップもすでに開発に着手している。

この他、内蔵用の ADC の開発も行っており、これによりチップからはデジタル信号のみが出てくるようにすることもできる。

2.1 放射線センサー用 SOI プロセスの開発

一体型放射線センサー用 SOI プロセスの主な仕様を表 1 に示す。

プロセスではまず SOI 層にトランジスターを形成し、その後 SOI 層と埋め込み酸化膜 (BOX: Buried Oxide) 層に穴を空け、下部 Si 層に不純物インプラントにより p+ と n+ の領域を作る (それぞれ PSUB, NSUB 領域と呼ぶことにする)。次に穴を酸化膜で再度埋めた後、コンタクトとビアを形成し、上部のアルミ配線層と接続を行う。その後は通常の CMOS プロセスと同様のステップを行っていく。インプラント後の SOI チップの断面写真を図 2 に示す。

センサー部 Si の抵抗率は購入時の仕様は $1 \text{ k}\Omega \cdot \text{cm}$ 以上であるが、プロセス終了後はおよそ $700 \Omega \cdot \text{cm}$ という値が得られている。これはプロセス中の熱処理により、Ther-

表 1 放射線センサー用 SOI プロセスの主な仕様。

プロセス	0.2 μm 低リード完全空乏化 SOI CMOS, 1 Poly, 4 (5) Metal layers, MIM コンデンサー, DMOS option Core (I/O) 電圧 = 1.8 (3.3) V
ウエハー	直径: 200 mm ϕ , 上部 Si (SOI 層): Cz, $\sim 18 \Omega \cdot \text{cm}$, p-type, 厚さ $\sim 40 \text{ nm}$ 埋め込み酸化膜 (BOX): 厚さ 200 nm 下部 Si (Handle Wafer): Cz, $700 \Omega \cdot \text{cm}$, n-type, 厚さ 725 μm
裏面処理	プロセス後 260 μm にまで薄化, その後 Al (200 nm) スパッタリング
トランジスター	内部用及び I/O 用それぞれに標準及び低しきい値トランジスター 3 種類のトランジスター構造 (body-floating, source-tie and body-tie)
その他	BPW (Buried p-well) 処理 3 次元積層化処理

*1 放射線により発生した電荷により、メモリー内容が変わってしまうような現象。

*2 CMOS 構造の寄生トランジスターによる電流経路が、放射線やノイズの影響で導通状態になり、動作不良を起こす現象。

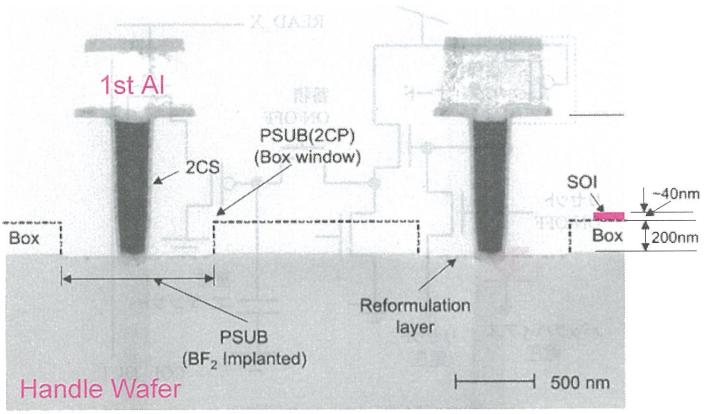


図2 支持基板への不純物打ち込み後の断面写真。

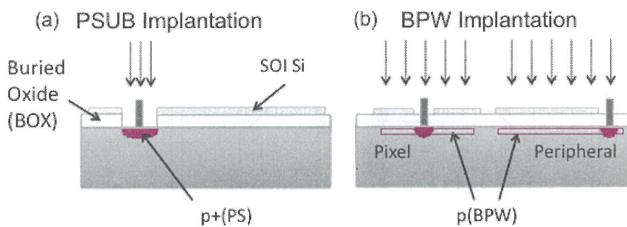


図3 (a) PSUB 形成の為のインプランテーションの様子. (b) BPW 形成の為のインプランテーション. SOI 層, BOX 層を通過させて打ち込む.

mal Donor が発生し抵抗率が下がった為と考えられる。より低い電圧で厚い空乏層が得られるよう、ウェハーの高抵抗率化やプロセスの改良には引き続き取組んでいる。

2.2 バックゲート効果

SOI ピクセルを実現する上で、第一に問題となるのがバックゲート効果と呼ばれる現象である。MOS トランジスターはゲート電極の電圧によりトランジスターのチャネル領域が制御されるが、SOI の構造を逆に眺めると下部シリコン (Handle wafer) 側の電圧によってもトランジスターのチャネルが制御されてしまうことが判る。

当初は、トランジスターの近くに所々 PSUB 領域を設けてこの電圧を固定 (pinning) することで、トランジスター裏面の電圧をできるだけ抑えるようにした。ただ、この方法だと回路部の面積が大きくなってしまうことと、完全にはバックゲート効果を抑えることができないため、より効率的な方法が必要であった。

新たに考案した方法は、図3(b) に示すように SOI 層及び BOX 層に穴を空けずに、これらの層を通り抜けさせて、BOX 層の下に p 領域 (BPW: Buried p-Well) をインプラントにより設ける方法⁸⁾である。不純物原子の打ち込みエネルギーは、トランジスターの特性に影響を与えず BOX 層の下に不純物濃度のピークが来るようシミュレーションを行い調整した。

実際に BPW が無い場合と有る場合との NMOS トランジスター特性の比較を図4 に示す。BPW が無い場合は裏面電圧 V_{back} を上げて行くと、まずしきい値のシフトが観測され、やがて裏面電圧によりトランジスターのチャネル

が形成されて常時電流が流れてしまうようになってしまふ。一方 BPW 層を設け電位を固定すると、裏面電圧を 100 V まで上げても、全くトランジスター特性に変化が見られないことがわかる。

バックゲート効果の抑制の他に、BPW には以下のようない点があることも判った。

- PSUB 領域を最小にしたまま、BPW によりセンサー面積を拡大できるため、トランジスターが配置できる領域が増え、結果的にピクセル面積を小さくできる。
- PSUB に比べ BPW 領域の不純物濃度は 1,000 分の 1 程度と低いので、高電圧のガードリング部に BPW を置くことにより高電界部が減らせ、高い降伏電圧を達成できる。
- BPW により BOX にかかる電界が減少し、放射線により BOX 中で発生した電子・ホール対の再結合割合が増加し放射線耐性が向上する。
- 濃度の違う領域を利用して、アバランシェ・ダイオード等の新たなセンサー構造を作れる可能性がある。

2.3 MPW ラン

半導体プロセスでは量産化した後は、個々のチップ価格を安くできるが、開発段階ではプロセス毎に多額の費用がかかってしまう。この為、ひとつのマスク上に多数の設計を載せ、個々のコストを下げる Multi Project Wafer (MPW) ランと呼ばれるやり方がよく取られる。

今回の SOI Pixel プロセスでは、このようなサービスを行ってくれる機関はないので、我々自身で MPW ランのサービスを行うことにした。これは他のユーザーへのサービスの為に我々自身の時間を取られてしまうこととなるが、まずはユーザーを増やして継続的にプロセスが行える環境を作ることが開発を成功させる上での最優先事項と考え、世界各地の研究者への参加呼びかけを行った。

図5に最近行った MPW ランのウェハー写真を示す。SOI ピクセル検出器実現への期待は高く、現在は国内の大学の他、米国、ヨーロッパの研究機関も参加している。毎年一回、コラボレーションミーティングを開催⁹⁾して技術

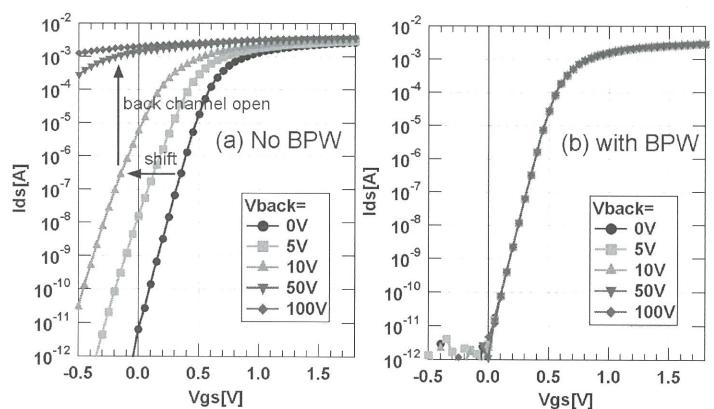


図4 (a) BPW 層が無い時のトランジスター $I_{ds}-V_{gs}$ 特性の裏面電圧 (V_{back}) による変化. (b) BPW 層を設け 0 V に固定した際の同様の特性. 裏面電圧の影響は全く受けなくなつた.

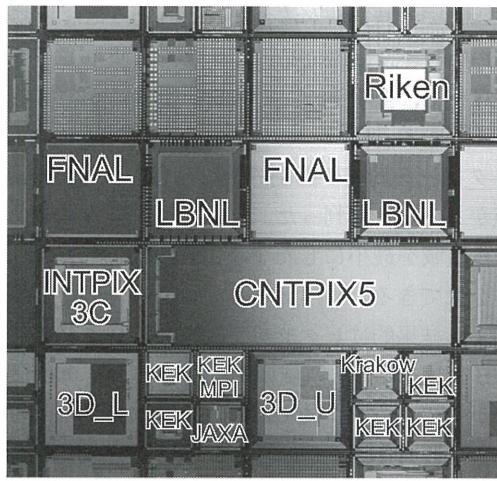


図 5 MPW ランウェーの写真。KEK のチップの他、海外の研究機関からのチップも載っている。

的課題や応用について議論を行い、幅広い分野での利用を目指している。

3. ピクセル検出器

ピクセル検出器は信号処理方式から、大きく積分型と計数型とに分けられる。以下にそれぞれの検出器の特徴と開発状況について述べる。

3.1 積分型ピクセル

積分型ピクセル検出器は、通常の光イメージセンサーと同様に発生した電荷を一定時間コンデンサーに積分し、その電圧を順次読み出すもので、比較的回路が簡単なので開発当初より取組んでいる。

2006 年には $20\text{ }\mu\text{m}$ 角のピクセルを 32×32 画素、 2.4 mm 角チップに並べたものを試作した。2007 年以降は 5 mm 角チップに拡大し、 128×128 画素並べたものを数種類作ってセンサー構造の研究、放射線耐性の試験等を行っている。また最近では $10.2\text{ mm} \times 15.4\text{ mm}$ の大きさのチップに、 $17\text{ }\mu\text{m}$ 角ピクセルを 512×832 (約 43 万) ピクセル搭載したものを作成した。

代表的な積分型ピクセルの回路を図 6 に示す。センサー ダイオードには逆バイアスをかけ、リセット用と保護用のトランジスターが付けられている。この出力はソースフォロワ回路により取り出され、次段の蓄積コンデンサーに電圧が保持される。蓄積時間はスイッチ回路により調節でき、指定した時間内にセンサーに入射した放射線による積分電荷信号のみを測定することができる。読み出す際には READ_X 信号により特定の行が選択されて、COL_OUT 線よりアナログ信号が列方向に出力される。さらにそのうちのひとつの列の信号のみが最終的に選択されて外部に出力される。

積分型ピクセルのレイアウトの 1 例を図 7 に示す。半導体プロセスでは、表面の均一性を保つために、メタル配線がない領域にもダミーメタルを配置するが、チップ上面から光を当てて試験できるよう中心部には約 $4\text{ }\mu\text{m}$ 角のダミ

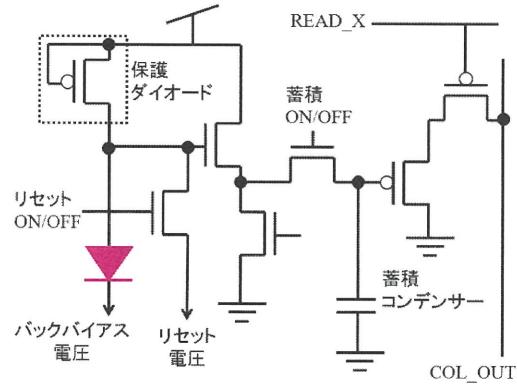


図 6 積分型ピクセルの回路例。

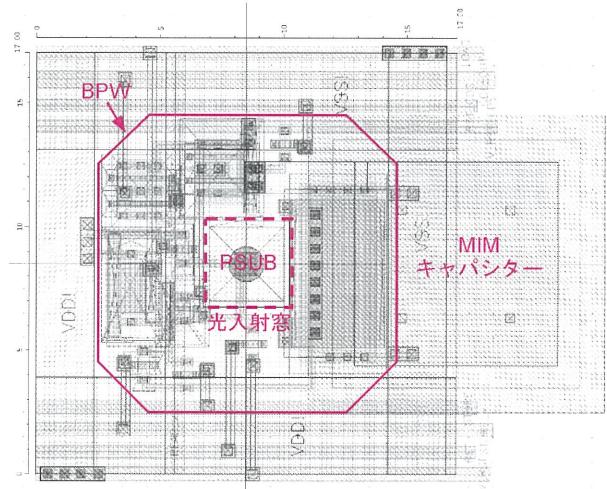


図 7 INTPIX4 ピクセルレイアウト。ピクセルサイズは $17\text{ }\mu\text{m}$ 角、CDS 回路を内蔵。中心部にはダミーメタルの配置を禁止した、光入射窓がある。

ーメタル禁止領域を設けてある。中心の PSUB 電極を囲んで BPW が配置しており、蓄積用コンデンサーとしては Metal-Insulator-Metal (MIM) 型コンデンサーを用いている。また図 7 のピクセルは $17\text{ }\mu\text{m}$ 角という小さな面積であるが、ノイズを減らす為の相関 2 重サンプリング (CDS) 回路も内蔵している。

ピクセルの外側、チップ外周部には外側から順に、センサー電圧を供給するための HV ring (チップ裏面からも供給できる)、電場集中を緩和するための guard ring、基準電圧 (anode 電圧) を与える bias ring 等を配置している。Bias ring のコーナー部分には電場が集中しやすいので、できるだけ滑らかにして電場の集中を緩和するとともに、Field Plate を配置したり、BPW で囲む等の工夫で、降伏電圧を上げるよう改良を続けている。

ウエハーを薄くする為の開発も行っている。薄化前および $105\text{ }\mu\text{m}$ まで薄くした¹⁰⁾後のセンサー部の I-V 特性を図 8 に示す。降伏電圧および I-V 特性を変化させずに、薄くできていることが判る。

試作チップはまず光を当てて試験を行うが、センサーの表面付近の様子しか判らないので、より深い部分を調べるには、赤外線や X 線による測定が必要となる。

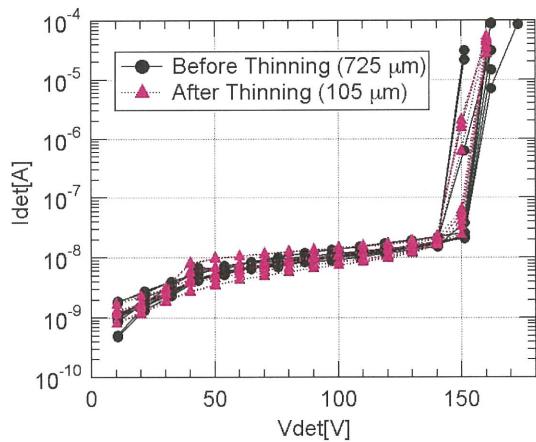


図8 ウエハー薄化前後のセンサー (INTPIX2) 逆バイアス I-V 特性 (ウェハー上の多数の地点のデータ). 薄化による変化はほとんどなかった.

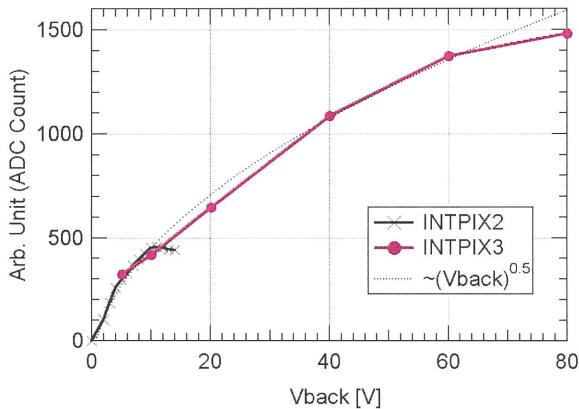


図9 積分型検出器 (INTPIX2 および INTPIX3) に赤外線レーザーを照射した時のピクセル出力のセンサー電圧 (V_{back}) 依存性. 点線はセンサー電圧の平方根で空乏層が延びると仮定した時の期待値.

(1) 赤外線応答

赤外線レーザーを照射することにより、センサー電圧に対する出力変化を調べた。使用した赤外線の波長は 980 nm であり、シリコンでの吸収長は約 100 μm である。センサー電圧を高くすると、空乏層が増大し有感領域が増すので、センサー出力も増加していくはずである。センサー電圧 60 V で空乏層厚さが約 100 μm となるので、この付近まではセンサー出力が増加することが予想される。試験結果を図9に示す。¹¹⁾

BPW 無しのセンサー (INTPIX2) ではセンサー電圧 10 V 付近からは、それ以上出力値が増えなくなり、逆に減る様子が見られる。これは、バックゲート効果により読み出し回路が正常に動作しなくなった為と考えられる。一方、BPW 付きのセンサー (INTPIX3) では、センサー電圧 60 V 以上まで出力の増加を確認した。INTPIX2 と INTPIX3 のピクセル回路および測定対象のレイアウトはほぼ同一であり、違いは周辺回路部に BPW が設置されていることのみであるので、この結果は BPW によるバックゲート効果抑制が有効であることを示している。

(2) X 線応答

X 線発生装置 (リガク社 FR-D) を用いて X 線像を取得

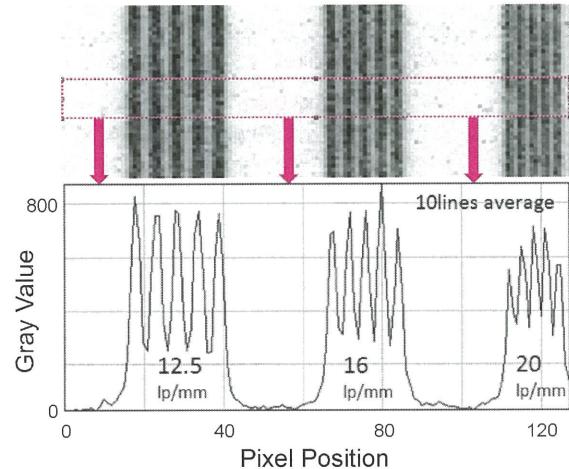


図10 (上) INTPIX2 による X 線テストチャート像の一部と、(下) 赤線枠内の平均プロファイルのグラフ.

表2 主な計数型ピクセル検出器の諸元比較.

	PILATUS II	MEDIPIX2	CNTPIX
Technology	CMOS 0.25 μm (Hybrid)	CMOS 0.25 μm (Hybrid)	SOI 0.2 μm (Monolithic)
Pixel size	172 μm	55 μm	60–64 μm
Comparator	1	2	2
Counter Depth	20 bit	13 bit	16–18 bit
Chip Size (mm ²)	10.5 × 17.5	14.1 × 16.1	10.2 × 15.4
No. of Pixels	60 × 97	256 × 256	72 × 216

(注: 参考として代表的な検出器のパラメータを挙げたが、次々と改良されているので、これらの数字の優劣だけでどの検出器が優れているとは単純には言えない。)

した。この発生装置には銅ターゲットが設置されているので、主に 8 keV の特性 X 線が得られる。センサーの前面に X 線テストチャートを置いて取得した画像を図10に示す。画像に映っているのはラインペア数 12.5, 16, および 20 lp/mm のチャート領域である。ここで 20 lp/mm とは 1 mm に 20 組の線とスペース、つまり 25 μm 毎にスリット線とメタル線が交互に配置されていることを表す。図10 上に四角で示した 10 行について、列方向の平均プロファイルをプロットしたものが図10 下にあるヒストグラムで、20 lp/mm の領域においても濃淡の差が観測できた。ピクセルサイズが 20 μm 角であることを考慮すると、ピクセル間のクロストークは充分小さいと言える。

3.2 計数型ピクセル

計数型ピクセルは個々の光子をひとつずつカウントするタイプの検出器で、原理的にノイズフリーで高ダイナミックレンジの測定が行える。また出力データもデジタルであり、取り扱いやすいという利点もある。この為、次世代のイメージングデバイスとして、非常に期待されている。

計数型の検出器は、高エネルギー加速器実験のための検出器として開発された技術が応用されており、代表的なものとして PILATUS,^{12, 13)} MEDIPIX¹⁴⁾ 検出器などがある。それぞれの主な諸元の比較を表2に示す。計数型では回路

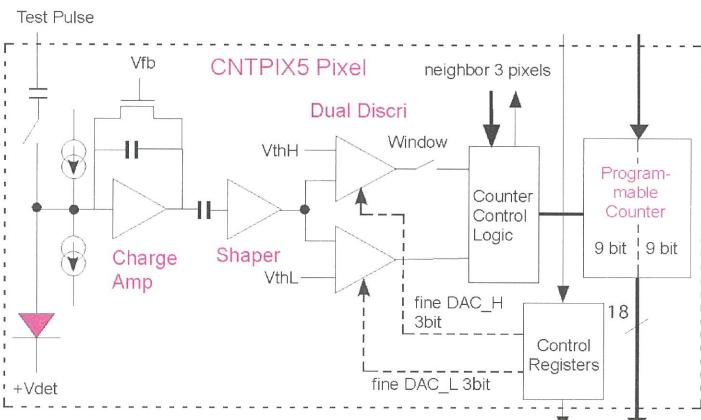


図 11 計数型 SOI ピクセル検出器のピクセル回路構成例 (CNTPIX5).

部分の占める面積でピクセルの大きさが決まってしまうので、SOI を使う利点が表からは見えにくいが、何万点ものバンプ接続を行わなくて済むのでハイブリッド型に比べて、価格や信頼性、薄型化の点において有利であると考える。

図 11 に計数型ピクセル回路の 1 例を示す (CNTPIX5)。検出器からの信号はリーク電流補償付き電荷増幅器 (Preamp) で増幅され、さらに Shaper により波形整形される。次に低いしきい値と高いしきい値を持った 2 つの波高弁別器 (Discriminator) により X 線エネルギーが選別される。ここでは、ピクセル間のばらつきを吸収するため、3 bit のしきい値微調回路が各波高弁別器に設けられている。現在の所アナログ部のノイズは~100 e-程度であるが、回路およびレイアウトの最適化によりさらに減少できるものと考えている。

カウンター回路はピクセル回路内において大きな面積を占め、消費電力も大きいので、これを如何に小さく高性能にするかが設計者の腕の見せ所である。我々は、部分的にダイナミック回路を用いることにより、シフト機能付き D-Flip/Flop を 1 bitあたり $7.2 \mu\text{m} \times 12.2 \mu\text{m}$ という小ささで実現している。また全体は非同期式リップルカウンターになっておりカウントアップのタイミングが少しずつされることによりピーク電流の減少を図っている。カウンター自身は 1 GHz 以上の速度で動作するが、アナログ回路の制限より実際の計数速度は最大~10 MHz 程度となっている。現在のピクセルサイズは $64 \mu\text{m}$ 角であるが、3D 積層化を行うことにより、さらなる高密度化を目指している。

データの読み出しは、列方向に 16~18 bit を並列にシフトして、一端から読み出している。ピクセルのレイアウト例を図 12 に示す。上部には 9 bit のカウンターが 2 個あり、これは 18 bit カウンターとして、あるいは 4 ピクセルを組み合わせて 9 bit カウンター 8 個として時分割測定に用いることができる。下部にはアナログ回路及び設定レジスター等がある。センサーに繋がる読み出しビアは下部にある為、センサー領域とピクセル回路とは少しづれた位置にある。

現在のチップの外形は $15.4 \text{ mm} \times 5.0 \text{ mm}$ で、長方形の

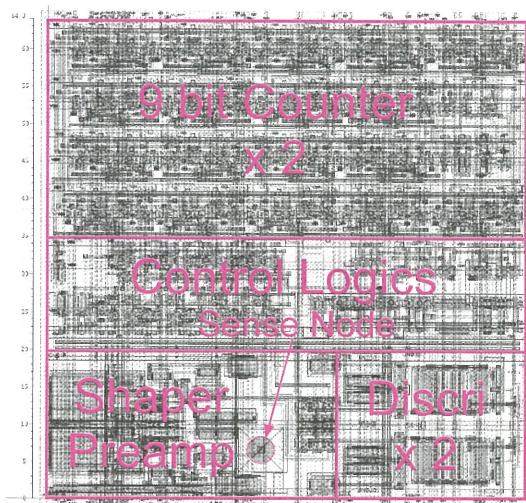


図 12 計数型 SOI ピクセル検出器のピクセルレイアウト例 (CNTPIX5)。ピクセルサイズは $64 \mu\text{m}$ 角。

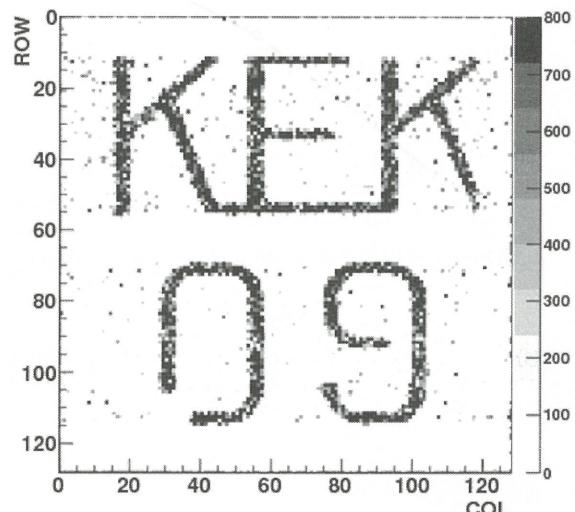


図 13 計数型ピクセル検出器 (CNTPIX2) を用いて 8 keV X 線 ($\text{K}\alpha$ 線) 照射により得た金属マスク像。

短辺側から読み出している。これにより、長辺方向は 2 倍の 30.4 mm 、短辺方向にはチップを並べた分だけの面積をカバーできるようになる。

計数型ピクセルでも、X 線照射によるイメージ取得を試みた (図 13)。金属板に穴を開けたマスクを使用したイメージで、X 線エネルギーは前と同様~8 keV である。

4. 放射線耐性

放射線イメージセンサーを実際に実験で使用する際に問題となるのが放射線耐性である。前に述べたように、SOI はアクティブな Si 層が薄いためシングルイベント効果に対しては強い耐性を持っている。

シングルイベント効果とは、陽子や重イオンなどの高エネルギー粒子が素子に入射することにより一時的に過電流が発生し、メモリーやフリップ・フロップの論理値を反転させたりする現象である。

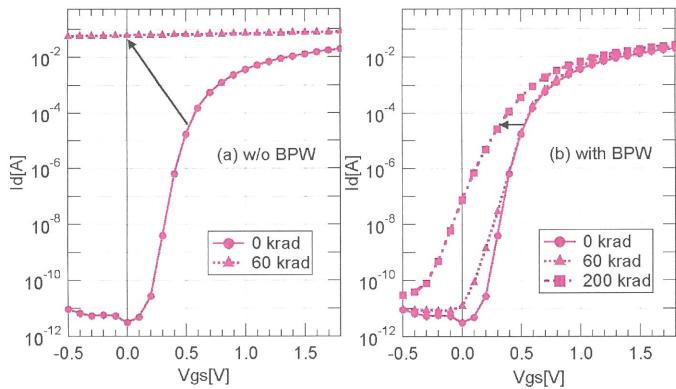


図 14 X 線照射による SOI NMOS I/O トランジスターの I_d - V_{gs} 特性変化 (@ $V_{ds}=1.8$ V). センサー部に 100 V 印可した状態で照射. (a) BPW が無いサンプル. (b) BPW ありのサンプルで BPW を 0 V に固定して照射.

これに対し蓄積線量効果というのがあり、これは中性子などによるイオン化を伴わない損傷 (NIEL: Non-Ionising Energy Loss) と、イオン化を伴う損傷 (TID: Total Ionizing Dose) に分けることができる。SOI で問題となるのは主に TID である。

TID はさらに、酸化膜中に捕獲されたホール (Oxide Trap) による効果と、Si-SiO₂ 界面に生成される界面準位の増加による効果 (Interface Trap) とに分けられる。これらの効果により、トランジスター特性が変化したり、リーク電流が増加するといった現象が起こり、一定量を超えると回路が動作しなくなってしまう。

SOI ではゲート酸化膜 (~5 nm) のみならず、下部に厚い BOX 層 (~200 nm) を有するため、この部分での蓄積電荷と界面捕獲準位の効果が耐性に影響する。

我々のグループでは東北大サイクロotron (CYRIC) での 70 MeV 陽子線照射や、日本原子力研究開発機構高崎量子応用研究所での γ 線 (Co⁶⁰) 照射、研究所内の放射光や X 線発生装置による照射実験を行いながら、しきい値電圧の変化量を TCAD (Technology Computer Aided Design) シミュレーションの結果と比較し、問題点の理解を試みている。

BOX における変化を理解するため、バックゲート電圧を通常のゲート電圧のようにトランジスターを見立て、 $I-V$, $C-V$, あるいは Charge Pumping といった手法を組み合わせることで、各種蓄積電荷密度を計測できる。

図 14 にセンサー電圧を 100 V 印加したまま、X 線を照射した時の結果を示す。図 14(a) は BPW なしの NMOS トランジスターの I_d - V_g 特性で、60 krad (SiO₂) の照射で、すでにトランジスターは導通状態となってしまっている。図 14(b) は同様な条件での BPW あり NMOS トランジスターの特性である。BPW ありの場合 60 krad (SiO₂) ではほとんど変化は見られず、200 krad (SiO₂) でもまだ充分スイッチ特性を有している。これは BPW ありの場合 BOX 層にかかる電界が弱められ、放射線により発生した電子・ホール対がすぐに再結合して消える割合が増加した為と考えられる。さらに、残っている影響もアニーリングにより、

ほぼ元の状態に回復することも確認されている。

また図 4 と図 14 を比べると、Back Gate 電圧による効果と放射線による効果が似たような変化をしていることに気がつくだろう。実際に放射線により BOX 中にトラップされた電荷は、逆方向に Back Gate 電圧を振ることにより補償ができる。これを用いると、数十 Mrad 以上の線量を照射しても、トランジスターが動作することが確認されている。¹⁵⁾ 今後、これらの特性を利用してさらに耐放射線性を上げたいと考えている。

5. まとめ

張合わせ SOI ウエハーを用い、放射線センサーと読み出し回路とを一体化させたイメージセンサーを開発している。製造には LSI 製造と同じ半導体プロセスを用いており、高精度、高分解能なピクセル検出器が安価に製造できる可能性がある。

また、各ピクセルに CMOS 集積回路を組み込めるので、ピクセル毎のデータ選別や、パイプライン処理、時分割処理、可変ゲイン、近傍ピクセル間のクラスタリング処理といったことができるようになり、従来不可能であったような測定が可能となる。

SOI ピクセルでは、センサーとエレクトロニクスが至近距離にあり、センサー容量が小さいという利点があるが、逆にセンサー部の電圧がエレクトロニクス部に影響してしまうという問題点があった。我々はこれを BPW という層を BOX 下に設けることで解決した。BPW 層により 200 krad (SiO₂) 程度まで放射線耐性も向上しており、今後さらに構造の工夫で 1 Mrad (SiO₂) 以上にまで向上させたいと考えている。

すでに、積分型と計数型のイメージセンサーを数種類試作し、X 線や荷電粒子に対し信号を検出することに成功している。

現在の性能で応用可能な分野も見て來たので、今後は実際にユーザーに実験で使用していただきながら、放射線耐性、S/N、読み出し速度、実装方法等の向上をはかり、大面積検出器の実現を目指したいと考えている。

最後に、本稿を書くにあたっては、SOI Pixel 開発の共同研究に参加されている方々に、協力をいただきました。特に OKI セミコンダクタ(株) および OKI セミコンダクタ宮城(株)の方々には、仕事の枠を超えた熱意で開発に取組んでいただき感謝しています。

本研究は KEK 測定器開発室のプロジェクトとして支援を受け、科学技術振興機構の先端計測分析技術・機器開発事業、日本学術振興会科学研究費補助金、日米科学技術協力事業の援助を受けて行っています。

また、チップの設計にあたっては東京大学大規模集積システム設計教育研究センターを通し、ケイデンス(株)、シノプシス(株) 及びメンターグラフィックス(株) の協力で行われました。

参考文献

- 1) M. Bruel: US patent (1994) No. 5,374,564.
- 2) SOI Pixel R&D web page, <http://rd.kek.jp/project/soi/>
- 3) Y. Arai, et al.: Nucl. Instr. and Meth. A (2010) [doi: 10.1016/j.nima.2010.02.190].
- 4) J. E. Lilienfeld: U. S. patents (1930) No. 1,745,175; (1932) No. 1,877,140; (1933) No. 1,900,018.
- 5) K. Izumi, M. Doken and H. Ariyoshi: Electronics Letters 14 (1978) 593.
- 6) B. Dierickx, et al.: IEEE Trans. on Nucl. Sci. 40 (1993) 753.
- 7) J. Marczewski: IEEE Trans. on Nucl. Sci. 57 (2010) 381.
- 8) 特願 2010-52173 「半導体装置及び半導体装置の製造方法」
- 9) KEK Feature Story, http://www.kek.jp/intra-e/feature/2010/Detector_SOI.html
- 10) (株)ディスク: TAIKO プロセス. <http://www.discousa.com/jp/solution/library/taiko.html>
- 11) 廣瀬 穂: 修士論文, 大阪大学大学院理学研究科 (2009). http://rd.kek.jp/project/soi/documents/0903Mthesis_Hirose.pdf
- 12) P. Kraft: IEEE Trans. on Nucl. Sci. 56 (2009) 758.
- 13) H. Toyokawa, et al.: Nucl. Instr. and Meth. A (2010) [doi: 10.1016/j.nima.2010.02.196].

- 14) X. Llopert, et al.: IEEE Trans. on Nucl. Sci. 49 (2002) 2279.
- 15) K. Hara, et al.: IEEE Trans. on Nucl. Sci. 56 (2009) 2896.

(2010年4月17日原稿受付)

Development of Radiation Imaging Sensor with SOI Technology

Yasuo Arai, Toshinobu Miyoshi, Ryo Ichimiya

and Yoshiyuki Onuki

abstract: There are large demands for high-resolution, high-speed, and high-sensitivity radiation imaging sensor in many fields. To fulfill these demands, it is indispensable to combine the sensor and the readout electronics in a chip, but this was difficult to achieve in existing technologies. However this long time dream of developing monolithic radiation detector become possible by using Silicon-On-Insulator technology. We describe the status of SOI imaging sensor development and remaining issues.

『大学の物理教育』誌定期購読のすすめ

『大学の物理教育』は、年3回(3月、7月、11月)発行で年間購読料(個人)は1,000円です。購読ご希望の方は、お電話(03-3434-2671)またはFax(03-3432-0997)宛にご連絡下さい。

また、本誌ホームページのURLは次の通りですので、どうぞご覧下さい。

<http://wwwsoc.nii.ac.jp/jps/jps/kyoikushi/index.html>

『大学の物理教育』編集委員会

Vol. 16-2(7月15日発行) 目次

- 高大連携による研究会活動の意義……………谷口和成
特集 新時代の物理教育を探る
シンポジウム「新時代の物理教育を探る」……………村田隆紀
米国の物理教育の動向……………覧具博義
研究にもとづく授業の改善と評価……………笠 潤平
専門教育を生かす物理導入基礎教育の実践……………三沢和彦
物理コースの質の保証と認証評価……………酒井康弘
シンポジウム「新時代の物理教育を探る」総合討論報告……………興治文子
講義室
自然放射線によって励起する蛍光X線元素分析……………荒川悦雄, 山田修平, 鴨川 仁, 相澤則行
学部生による数物セミナーの発足とその活動……………井上優貴, 田中良樹
教育実践
慣性系の定義に着目した力学教育の実践……………細田宏樹

東京農工大学SAILプロジェクトにおける「自由課題実験」/「研究室体験配属」の実施

……………島田絢行, 室尾和之, 仁藤 修, 佐野 理, 三沢和彦
工学系大学教育の導入としてのものづくり教育

……………鷹野重之, 石松 純
大学院生による学部1年生の修学サポート
……………波田浩文, 森 朋子, 雨森 聰, 廣光一郎, 山田容土, 武藤哲也

教育報告

「若手と科学教育を語る会」の報告

……………安田淳一郎, 古結 尚, 小西琢真, 濑々将吏, 山田吉英,
片岡佐知子, 菊地邦友, 前 直弘, 峰 真如
教育に関する一言

開催情報

寄贈書リスト

編集後記