SOI技術を用いた一体型 Pixel 検出器用 読み出しシステムの開発、 及び積分型 Pixel 検出器の性能評価

大阪大学大学院 理学研究科物理学専攻 山中卓研究室 前期博士課程2年

廣瀬 穣

February 3, 2009

概 要

本研究の目的は、SOI(Silicon-On-Insulator)技術を用いた一体型の Pixel 検出器 (以 下 SOIPIX と呼ぶ)の読み出しシステムを開発し、SOIPIX の性能を評価することで ある。SOIPIX の大きな特徴は、現存のピクセル検出器と違いセンサーとアンプ等の 読み出し回路が一つのシリコンウェハーにまとまっていることである。一体型にす る利点としては、不要な物質量を減らすことが出来ること、位置分解能の向上等が 挙げられる。また、浮遊容量が減少することにより、動作速度の向上、高いS/N比 の獲得などといった利点が生まれることも重要な点である。SOIPIX の性能評価をす るにあたり、まず読み出しシステムの開発を行った。読み出しシステムは大きく分け て3つの要素がある。まず、読み出し用の汎用ボードである SEABAS, SEABAS 上 の FPGA に実装するファームウェア、SEABAS から送られてくるデータを受け取る ソフトウェアである。本研究はこの中でファームウェアとソフトウェアの開発を主 に担当し、電荷積分型ピクセル検出器の読み出しシステムを完成させた。この開発 した読み出しシステムを用いて、SOIPIXの読み出し回路の Gain, Noise 等の動作特 性を測定した。また、放射線に対する反応を調べる為に、X線源、 線源などを用 い、その反応を調べた。これらのテストより、今年度プロセスしたピクセル検出器 が正常に動作するということを確認した。

目 次

第1章	序論	9
1.1	半導体検出器の現状・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	9
1.2	SOI 技術	9
	1.2.1 SOI 技術とは	9
	1.2.2 SOI 技術を半導体検出器へ応用した場合の利点	10
	1.2.3 SOI 技術を用いた半導体検出器の応用	10
	1.2.4 SOI 技術を用いた半導体検出器の開発、及び試験状況	10
1.3	本研究のねらい..............................	12
空っ主	业 送 /+ +A 山 四	10
弗2早	干导体快山路	13
2.1		13
	2.1.1 シリコン結晶	13
	2.1.2 p型半導体、n型半導体	13
	2.1.3 半導体検出器の原理	15
	2.1.4 ストリップ型検出器	19
	2.1.5 ピクセル 型検出器	20
2.2	SOI 技術を用いたピクセル型半導体検出器	21
	2.2.1 SOI ウェハーの製造方法	22
	2.2.2 SOI 技術を用いたピクセル型半導体検出器の概要	24
	2.2.3 SOIPIX の利点	25
笋?咅	雲荷積分刑 Divol 梌出哭	97
オリ 早 21	电何復力主日は日本の日本の日本の日本の日本の日本の日本の日本の日本の日本の日本の日本の日本の日	21
0.1		$\frac{21}{97}$
		21
2.0	3.1.2 电何禎力空しソビル快山品の伸迫 ····································	27
3.2		27
		29
	3.2.2 合ビクセル内の構造	30
		30
	3.2.4 INTPIX2の制御信号	33
	3.2.5 制御信号のダイアグラム	34

第4章	テスト用読み出しシステム	36
4.1	汎用読み出しボード "SEABAS"	36
	4.1.1 開発の経緯と SEABAS の仕様	36
	4.1.2 SiTCP について	39
	4.1.3 読み出し用ファームウェア	40
4.2	読み出し用ソフトウェア	43
	4.2.1 ソケットプログラミング	44
	4.2.2 ROOT ライブラリを用いた GUI ソフトウェア	44
		10
弗 5草	INTPIX2 アナロク特性テスト	46
5.1		46
5.2	back-gate bias 幼果 · · · · · · · · · · · · · · · · · · ·	49
5.3		52
5.4	Reset 時間測定	57
5.5	Capacitor Leak 特性	57
5.6	Sensor Leak 特性	59
5.7	消費電力測定	59
第6音	動作テスト	64
750 ∓ 61	シュクを用いたり次元イメージ	64
6.2	INTPIX9 /イブ測定	65
0.2	1011 IA2 / 「 入別	65
	0.2.1 · · · · · · · · · · · · · · · · · · ·	65 65
63		67
0.5 6.4	ノロスト ノ別に・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	69
0.4 6 5		00 71
0.0		(1 71
	0.5.1 A 緑に刈9 8 欠心 · · · · · · · · · · · · · · · · · ·	(1 70
0.0	0.5.2	73
6.6	β 緑源 COテスト	77
第7章	まとめと課題	78
第8章	結論	80
付録A	DAQ ソフトウェアの使用方法	81
付録B	Scan Time の最適化	82

図目次

(a): SOI CMOS トランジスタ。回路間は絶縁膜で分離されている。	
(b): Bulk CMOS トランジスタ。(a),(b) 共に左が NMOS、右が PMOS。	11
一部の電子が励起しているシリコン結晶の模式図	14
(a): 導電体のバンド構造、伝導帯と価電子帯が一部重なっている。(b)	
:半導体のバンド構造、 E_q が比較的小さく (~ $1eV$ 程度)常温では一部	
の電子が伝導帯へ励起している。 $(c): 不導体のバンド構造、E_aが大$	
きくほぼ全ての電子が価電子帯に存在する。	14
(a): P 型半導体。共有結合の必要な電子が一つ足りず、その穴が正孔	
として振る舞う。この正孔が電荷を運ぶ。(b):N型半導体。共有結合	
に参加しない電子が一つ余り、導電性を示す。	15
(a):N型半導体のバンド構造。ドナーの作る準位が伝導帯のすぐ下に	
出来る。この準位の電子が伝導帯に励起し、キャリアが生まれる。(b)	
: P 型半導体。アクセプターの作る準位が価電子帯のすぐ上に出来る。	
価電子帯の電子がアクセプター準位に励起し、その穴が正孔として振	
る舞う。この正孔がキャリアとなる.....................	16
PN 接合を行ったときのバンド構造	17
ストリップ型検出器の概略図。	20
ハイブリット型ピクセル検出器の概略図。センサー用のシリコンウェ	
ハーと読み出し回路のウェハーをバンプボンディングにより接続する。	21
張り合せ法。	22
SIMOX 法。	23
Smart Cut 法。	24
SOIPIX の断面図。下部のn型基板をセンサーとして使用する。	25
ト部から見た電荷積分型ピクセル検出器の模式図。外側から HV ring、	
Bias Ring、Guard Ringという3つの電極でピクセルで囲まれてい	
る。HV ring はチップ表面から逆バイアス電圧を掛ける為の n ⁺ の電	
極、Bias Ring はバイアス電圧を掛ける為の p ⁺ の電極、Guard Ring	
は back-gate bias 効果を抑制する為に設けられた p ⁺ の電極である。	28
	 (a): SOI CMOS トランジスタ。回路間は絶縁膜で分離されている。 (b): Bulk CMOS トランジスタ。(a),(b)共に左が NMOS、右が PMOS。 一部の電子が励起しているシリコン結晶の模式図 (a): 導電体のバンド構造、伝導帯と価電子帯が一部重なっている。(b): 半導体のバンド構造、左g が比較的小さく(~1eV 程度)常温では一部の電子が伝導帯へ励起している。(c): 不導体のバンド構造、左g が大きくほぼ全ての電子が価電子帯に存在する。 (a): P型半導体。共有結合の必要な電子が一つ足りず、その穴が正孔として振る舞う。この正孔が電荷を運ぶ。(b): N型半導体。共有結合に参加しない電子が一つ余り、導電性を示す。 (a): N型半導体のバンド構造。ドナーの作る準位が伝導帯のすぐ下に出来る。この準位の電子が伝導帯に励起し、キャリアが生まれる。(b): P型半導体。アクセプターの作る準位が価電子帯のすぐ上に出来る。 価電子帯の電子がアクセプター準位に励起し、その穴が正孔として振る舞う。この正孔がキャリアとなる NY型やセプター準位に励起し、その穴が正孔として振る舞う。この正孔がキャリアとなる NY型とクセル検出器の概略図。センサー用のシリコンウェハーを続み出し回路のウェハーをパンプボンディングにより接続する。 張り合せ法。 SIMOX 法。 SIMOX 法。 SOIPIX の断面図。下部のn型基板をセンサーとして使用する。 上部から見た電荷積分型ピクセル検出器の模式図。外側からHV ring、 Bias Ring はバイアス電圧を掛ける為のn⁺の電極、Guard Ring は back-gate bias 効果を抑制する為に設けられたp⁺ の電極である。

3.2	電荷積分型ピクセル検出器の断面図。支持基板はn型半導体で絶縁膜	
	の逆側 (図では下側) はアルミのスパッタリングを行っており逆バイア	
	ス電圧を掛ける為の電極となっている。	28
3.3	INTPIX2 ブロック図。ピクセルとその周辺回路はチップ上でこのよ	
	うにレイアウトされている。この図で左上のピクセルのアドレスが	
	(RA,CA)=(0,0) である。	29
3.4	INTPIX2 レイアウト。レイアウト外形は 5.0mm 角、ピクセル部は	
	2.56mm 角となっている。レイアウトの四方に I/O Pad が存在し、図	
	3.3 にある各種信号線への入出力を行う。	30
3.5	INTPIX2の各ピクセル内に備わる回路の回路図。左下のダイオードが	
	センサーとして働くダイオードを表す。read_x はそのピクセルの Row	
	Address と Row Address の enable 信号が与えられた時に On となる信	
	号である。col_outはColumn Bufferの入力に接続されている。以降の	
	説明で使用するトランジスタの名前を青色の文字で示した。	31
3.6	Column Bufferの回路図。この回路が各列に一つ備わる。同じ列のピ	
	クセルの col_out(図 3.5) がその列の Column Buffer の IN へ接続され	
	ている。また、VH2, VL2はバイアス回路から供給されるバイアス電	
	圧である。SOUTはAOUTの出力バッファーへと繋がっており、ここ	
	から各ピクセルの信号を出力する。以降の説明で使用するトランジス	
	タの名前を青色の文字で示した。	32
3.7	INTPIX2 制御信号タイミング。トリガーの入力が無い時、周期的に	
	リセットを掛ける(この周期が積分時間となる)。トリガーが来るとリ	
	セットを止め、STORE=Low とし、アドレスを与えてピクセルスキャ	
	ンを行う (各ピクセルのスキャンの間隔を Scan Time と呼ぶ)。	35
4 1		07
4.1	$SEABAS \dots \dots$	31
4.2		37
4.3		38
4.4	DAQ system 主体図、及びノアームウェア内クロック図。	41
4.5		42
4.6	GUIソノトワェアのインターノェイス画面。亦枠と数子は付録Aでの	
	説明の為に使用する。	45

5.1	センサー部ダイオード、I-V 特性。電流値は絶対値を取っている。 V_{back}	
	が正の方向が逆バイアス電圧である。黒の実線はINTPIX2のパッケー	
	ジされたチップ、黒の点線はINTPIX2のベアチップの測定結果。ま	
	た、赤の一点鎖線は参考データとしての INTPIX1 の測定結果である。	
	100Vを境に測定器が変わるため、100V付近で多少のズレが観測され	
	ている。また、 $Chip$ の破壊を防ぐため電流は $5\mu A$ 以上流れないよう	
		47
5.2	各 V_{back} での空乏層の厚さの計算値。現在のウェハーは厚さが $260 \mu { m m}$	
	であるため、全空乏化には約300Vの逆バイアス電圧が必要であるこ	
	とが分かる。また、接合電圧により、 $V_{back}=0$ Vでも $10\mu m$ 程度の空乏	
	層が存在する。	48
5.3	(a) は INTPIX2 に STOREI から信号を入れ、STOREO から出力され	
	る信号をオシロスコープで観測したもの。V _{back} は0Vと125Vにて測	
	定した。0Vの時と125Vの時で出力波高に変化が無く、出力が完全に	
	重なってしまったため少しずらして描画している。(b)はINTPIX1で	
	同様にして取ったデータである。V _{back} =40[V]で既に出力の形が崩れ始	
	めていることが分かる。	50
5.4	V_{back} と VR6 の抵抗値を変えていき、VL2 の値を測定した。Z 軸を	
	VL2[mV]の値としている。	51
5.5	(a):RSTV を変化させたときの AOUT の変化を各 V _{back} で測定した結	
	果。 V_{back} を上げると動作電圧範囲は狭くなる。また、動作開始電圧	
	$\mathrm{RSTV}_{\mathrm{min}}$ が V_{back} を上げると低くなることが分かる。 $(\mathrm{b}):\mathrm{RSTV}$ を変	
	化させた時に AOUT が線形に変化する部分を Fit し、その関数と実際	
	の AOUT の差を示す。この差が $\operatorname{20mV}$ 以内の範囲を動作範囲として	
	扱う。差が $20\mathrm{mV}$ となる最低の RSTV を $\mathrm{RSTV}_{\mathrm{min}}$ とする。このグラ	
	フは <i>V</i> _{back} =10Vの時の例。	53
5.6	V_{back} とVR6の抵抗値を変えていき、AOUTの出力電圧範囲を測定し	
	た。Z 軸に AOUT の出力電圧範囲を [mV] 単位で示す。	54
5.7	各 V _{back} での Gain、Gain は V _{back} を上げると減少傾向にある。	55
5.8	求めた RSTV _{min} を Vback に対してプロット。これを 1 次関数で Fit を	
	行い、各 V_{back} での $\operatorname{RSTV}_{\min}$ を求め以降のテストで使用する。	56
5.9	RST 信号の長さを変えていき、AOUT を測定した。RST 信号は図中	
	青の点線のタイミングで入力する。それぞれの RST 信号の長さに対	
	応する AOUT の時間変化を表示している。	58
5.10	STORE=Low 状態での AOUT の変化。 V _{back} =5V	60
5.11	STORE=Low 状態での AOUT の変化。V _{back} =10V	60
5.12	STORE=Low 状態での AOUT の変化。V _{back} =20V	61
5.13	STORE=Low 状態での AOUT の変化。 <i>V</i> _{back} =40V	61

5.14	センサー部ダイオードからの漏れ電流による出力電圧の上昇	62
6.1	INTPIX2を用いて、可視光レーザーを照射して取得した画像。INT- PIX2の上に可視光田マスクを置いある	64
6.2	各ピクセルの持つ信号のばらつき。二次元グラフでは縦に縞が観測さ	01
	れる。各列やピクセル毎のばらつきが大きく、ペデスタルの RMS は	
	50[ADU] 程度となる。	66
6.3	各ピクセルの持つ ADC 出力のばらつきを、事前に各ピクセル毎に計	
	算したペデスタルを引くことにより抑えることが出来る。	66
6.4	(RA,CA)=(64,64) のピクセルの ADC 出力の分布	67
6.5		68
6.6	(RA,CA)=(63,64)のヒクセルにレーザーを入射したときの信号	69 70
6.7 6.9		70
0.8	小外線を照射した時のAOUIの面力を音 V_{back} に対してフロットした。 按今雲圧の曲刑的な値として V_{ack} に対してフロットした。	
	接口電圧の無望的な恒として $V_b=0.7[V]$ を選び、式 (0.0) の関数形で Fit を行った結果を赤娘で示す $V_{c}=-10[V]$ 程度までは予相通りの結	
		72
6.9	(a):INTPIX2 へ X 線照射して得られた Image。(b):使用した真鍮製マ	• =
	スク	72
6.10	左から、 $V_{back}{=}0\mathrm{V},1\mathrm{V},1.5\mathrm{V}$ の時の信号量。 $0\mathrm{V}$ の時は X 線に対する	
	感度が無い。	73
6.11	ペデスタルの変化。照射量を増やすとペデスタルは高くなる。・・・・	74
6.12	X線の照射範囲。図中の緑の部分がX線が当たりAOUTの出力が上	
	がっている。赤枠で囲んだ部分をX線照射領域としてペデスタルの計	
0.10		75
6.13	ヘテスタルを取得した且後のA 線照射中のテータを用い、信亏重を放	70
614	別緑里の関数としてフロットした。	70
0.14	ーロークビルの持つにち重のヒストクラム。かか緑緑のウ、黒か緑緑無 しの時のデータである	
	クセルが増える。	77
B.1	光は (RA,CA)=(64,64) を中心に当てている。(a):ScanTime が 200ns の	
	時の取得画像。Scan Timeが短いため絵が全体的に石にすれる。CA=64	
	を中心にたか自たつくいないようにテータか出力される。(b):ScanTime が 1600mg の時の取得画像。Scan Time は大八万、 $CA = 64 \pm 0.55$ に火	
	か 1000ns の時の取得回家。SCAN 11me は下方で、UA=04 を中心に尤が当たっているトンに出力される	Q 9
ВЭ	Jコにノしいるカノに山川これる。 V_{40V} の時、光を昭射したがら Seen Time を恋えていった時の	03
D.2	ADCの出力をCA 方向に Projection した図 Scan Time が短いと ADC	
	分布はCAが大きい方向(後に読み出す方向)にずれる。	84

B.3	各 V _{back} で Scan Time を変えていき、光を当てた位置の Mean をプロッ	
	トした。 V_{back} が高くなると、 ${ m Scan}~{ m Time}$ を長くしないといけないとい	
	うことが分かる。・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	84

表目次

5.1	各 V_{back} での出力電圧の増加率	59
5.2	各 V_{back} でセンサー部からの Leak により AOUT が飽和するまでの時間	59
5.3	1)DAQ 中 (光照射無し)の消費電力	63
5.4	2)DAQ 中 (光照射あり) の消費電力	63
5.5	2)DAQ 停止中の消費電力	63
B.1	テストに用いた Scan Time	82

第1章 序論

この章では半導体検出器の用途、SOI技術を用いた半導体検出器の特徴について 簡単に紹介し、本研究の目的を述べる。半導体検出器の動作原理やSOI技術の詳細 は第2章で説明する。

1.1 半導体検出器の現状

高エネルギー実験において、半導体検出器は高い位置分解能や高レート耐性を持 つなどの大きな利点があり、多くの実験で採用されている。半導体検出器は一般的に 数十 µm の位置分解能を持ち、この分解能は他の位置検出器では達成することが難し い。半導体検出器を用いると荷電粒子の飛跡、崩壊点、衝突点等を精度よく決定出来 るため様々な物理の検証に使われている。KEK B-factory 実験、CERN LHC(Large Hadron Collider) 実験、その他、数多くの実験で使用され今や半導体検出器は必要不 可欠な検出器となっている。

半導体検出器は高エネルギー実験以外でも広く使用されている。低エネルギーの X線や線の検出用途として、宇宙関係の実験(人工衛星、宇宙線関連)、医療(PET) 用検出器等が挙げられる。また、日常生活においてもデジタルカメラ等、広く用いられている。

このように半導体検出器は日常生活を含めた広い分野で使われており、今後更な る改良、発展が期待される。とりわけ、以下で説明する SOI 技術は劇的な性能改善 をもたらすことが期待され、注目されている。

1.2 SOI技術

1.2.1 SOI技術とは

SOIとはSilicon-On-Insulatorの略であり、シリコンウェハー(Handle Wafer)の上 に薄い絶縁酸化膜を作り込み、さらにその上に作り込んだシリコンウェハーにトラ ンジスタ等の電気回路を形成する技術のことである。図 1.1 に SOI CMOS トランジ スタと、古くから使用されている Bulk CMOS トランジスタの模式図を示す。SOI CMOS トランジスタは絶縁膜によって、個々のトランジスタが完全に分離されてい ることが特徴である。また、絶縁膜が存在することにより Bulk CMOS トランジスタ に比ベリーク電流や寄生容量が減る。その結果、回路の高速化と消費電力の抑制と 言う利点が得られる。このような利点により、一般的な PC に用いられている CPU 等の半導体機器の製造は SOI 技術を用いたものが主流となっている。

1.2.2 SOI 技術を半導体検出器へ応用した場合の利点

そもそものアイデアは、下部の支持基板を粒子を検出するセンサーとして用い、 SOI層の回路をアンプ等の読み出し回路とすることにある。これにより、センサー、 読み出し回路一体型の粒子検出器を作ることが出来る。現行のハイブリット型ピク セル検出器では、センサーと読み出し回路は別ウェハーを用いて作成され、それら 二つをボンディングにより接続している。この接合がdead channelの主要な原因で、 読み出し数の多い大型検出器では無視出来ない問題となっている。ボンディング不 要ということが一体型検出器の大きな利点である。また、製造には一般の SOI デバ イス用のプロセスラインで製造することが出来る為、歩留まりが良くなる。大量に 製造する必要のある実験では、これは重要な点である。さらに、前節で述べた SOI 技術を用いた IC としての高速動作や低消費電力といった利点も併せ持つため、次世 代の半導体検出器として有望である。

1.2.3 SOI技術を用いた半導体検出器の応用

SOI 技術により一体型ピクセル検出器が実現された場合の応用範囲は広い。例えば、10³⁵cm⁻²s⁻¹のルミノシティを目指す次世代のLHCを用いた実験のアップグレードや、SuperKEKB実験のアップグレードにおいて、最内層の検出器として使える有望な技術である。

また、ピクセルサイズを $10\mu m$ 程度、ウェハの厚さを $50\mu m$ 以下にすることが出来 れば、多重散乱の影響を抑えるために物質量を減らし、かつ高い位置分解能が要求 される ILC(International Linear Collider) 実験に応用することも可能となる。

この他、高精度なX線撮像素子として宇宙物理、物質構造解析、医療用等に幅広 く応用出来る可能性がある。また、光検出器としても有効面積を増やせる等、発展 の可能性がある。

1.2.4 SOI 技術を用いた半導体検出器の開発、及び試験状況

2005 年に KEK 測定器開発室でスタートした SOI pixel グループが SOI 技術を用 いた半導体検出器の開発を主導している。これまでは年に一回程度プロセスを行い、 Test Element Group(TEG)の製造、性能評価を行っている。前年度プロセスを行っ





図 1.1: (a): SOI CMOS トランジスタ。回路間は絶縁膜で分離されている。(b): Bulk CMOS トランジスタ。(a),(b) 共に左が NMOS、右が PMOS。

た電荷積分型のピクセル検出器では可視光に対する反応を確認する等の成果を上げている。

しかし、粒子検出器としての実用には解決すべき種々の課題がある。その中で最も 大きな課題となっているのが back-gate bias 効果と呼ばれるトランジスタの特性変化 である。SOIトランジスタの支持基板側に電圧を掛けると、そのトランジスタの閾値 電圧等の特性が変化してしまうのである。SOI技術を用いた検出器ではセンサー側 のダイオードを空乏化させる為に支持基板側に電圧を掛ける為、暗にこの back-gate 電圧を掛けることになる(空乏化については第2章で説明する)。この back-gate bias 効果で読み出し回路が動作しなくなるという一体型検出器特有の問題を解決しなけ ればならない。また、支持基板をセンサーとして使用するには半導体を空乏化させ る必要がある。理想は基板全体を空乏化させることだが、その為には高電圧を掛け る必要がある。現在までのところ全空乏化させる前にマイクロ放電と呼ばれる現象 が起こり、高い電圧を印加することが出来ない。その為、センサーを全空乏化出来 るように改良する必要がある。その他、読み出し回路側を設計する上で重要となる 回路レベルのシミュレーションのパラメータ(SOIトランジスタの特性等)を整備す ること等、解決しなければならない課題は沢山ある。

また、作成した検出器のテストシステムに関しても課題が有る。例えば前年度の 試験に使用していた読み出し用基板は、元々別の検出器のテスト用に開発された基 板で、我々の開発した検出器のテストに用いるにはFPGAの性能が足りず、読み出 し速度が遅い等といった問題点があった。今後SOI技術を用いた検出器を試験する にあたって、十分なFPGAの性能を持ち、読み出し速度がボトルネックとならない 読み出しシステムの開発が求められる。

1.3 本研究のねらい

次世代の半導体検出器として有望な SOI 技術を用いた検出器の開発が本研究の目 的である。解決すべき課題は沢山有るが、前節で述べた読み出しシステムの課題は 今後の開発を行う上で重要かつ早急に行わなければならない事項である。そのため、 本研究では新たな読み出しシステムの開発のため、新しいテスト用読み出し基板の開 発を行った。その読み出し基板の FPGA に実装するファームウェア、読み出し用の ソフトウェアも開発し、SOI 技術を用いた検出器のテストシステムの整備を行った。 また、開発した読み出しシステムを用いて、2008 年にプロセスを行った電荷積分型 のピクセル検出器について性能試験を行った。本稿はそれらをまとめた論文である。

以降、本論文では、半導体検出器の概要、SOI技術を用いた一体型ピクセル検出 器についてまず説明する。次にSOI技術を用いた検出器用読み出しシステムの開発 と、積分型ピクセル検出器の性能評価の概要について説明し、最後に結論を述べる。

第2章 半導体検出器

1.1 で述べたように、半導体検出器の利用は近年の実験では不可欠となっている。 本章では、半導体検出器の動作原理、及び SOI 技術の詳細を述べる。

2.1 既存の半導体検出器

2.1.1 シリコン結晶

高エネルギー実験の分野で用いられる半導体検出器はシリコンを用いる場合が多い。よって、シリコン結晶を例にして説明する[1]。図2.1で一部に熱励起がある状態のシリコンの結晶構造を示す。また、半導体のエネルギー準位のバンド構造は図2.2(b)の様になっている(参考に導電体のバンド構造(a)と不導体のバンド構造(c)も示す)。エネルギー準位のバンド構造は、エネルギーの低い方から順に価電子帯(valence band)、禁制帯(band gap)、伝導帯(conduction band)と呼ばれており、電子の存在出来ない禁制帯と呼ばれる領域が存在する(禁制帯のエネルギー幅を E_g とする)。価電子帯に存在していた電子(共有結合に参加していた電子)が E_g 以上のエネルギーを受け取り、伝導帯へ励起した時、その電子は電荷を運ぶキャリアとなることが出来る(伝導帯のエネルギー準位は電子で占められていないため、伝導帯にある電子は自由に結晶内を動き回ることが出来る)。また、伝導帯に電子が移った後の価電子帯には電子が存在しない穴があく。これを正孔といい、伝導帯の電子同様に結晶内を動き回ることが出来、正の電荷を運ぶキャリアとなる。

このように純粋なシリコン結晶は、熱励起により伝導帯へ励起した電子が存在することにより多少の導電性を示すため、半導体と呼ばれている。

2.1.2 p型半導体、n型半導体

シリコン結晶に、3価や5価の元素を不純物として添加し作られているのがp型や n型半導体である。

4価の元素であるシリコンにホウ素等の3価の元素を添加すると、図2.3(a)の様に 結晶内の共有結合に使われる電子が一つ足りなくなる。この電子の足りない穴が正 孔として振る舞う。この添加された3価の元素をアクセプターと呼ぶ。この時のバン



図 2.1: 一部の電子が励起しているシリコン結晶の模式図



図 2.2: (a): 導電体のバンド構造、伝導帯と価電子帯が一部重なっている。(b): 半 導体のバンド構造、 E_g が比較的小さく (~1eV 程度)常温では一部の電子が伝導帯へ 励起している。(c): 不導体のバンド構造、 E_g が大きくほぼ全ての電子が価電子帯に 存在する。

ド構造は図 2.4 の (a) の様になっており、アクセプターの作る準位が価電子帯のすぐ 上に出来ている (シリコンの場合、この準位と価電子帯の準位の間のエネルギー差は 0.05eV 程度である)。そのため、室温では価電子帯にある電子がこの準位に容易に遷 移する。この遷移した電子の後に空いた穴が、電荷の担い手となる自由な正孔とし て振る舞う。これが p 型半導体である。

一方、シリコン結晶に5価の元素を添加すると(この5価の元素をドナーと呼ぶ)、 図 2.3(b)の様に共有結合に参加せずに余る電子が存在する。この時、図 2.4(b)の様 に、余った電子の許される準位が伝導帯のすぐ下に出来る。その結果、室温では余っ た電子が容易に伝導帯に遷移する(シリコンの場合、この準位と伝導帯の準位の間の エネルギー差は0.05eV程度である)。その結果、電荷の担い手となる自由な電子が発 生する。これがn型半導体である。



図 2.3: (a): P型半導体。共有結合の必要な電子が一つ足りず、その穴が正孔として 振る舞う。この正孔が電荷を運ぶ。(b): N型半導体。共有結合に参加しない電子が 一つ余り、導電性を示す。

2.1.3 半導体検出器の原理

p型半導体とn型半導体は、二つを互いに接合すると様々な特性を生む。例えば、 一対のp型半導体とn型半導体を接合したものをダイオードと呼ぶ。現在の半導体 検出器にはこの構造がよく使用されるため、以下で説明する。p型半導体とn型半 導体を接合すると、それぞれの半導体に含まれる伝導電子や正孔が拡散し、接合部 付近では互いに結びつく(拡散電流が生まれる)。この結果、p型半導体中のアクセプ ターは負に帯電し、n型半導体中のドナーは正に帯電する(図 2.5 上図参照)。ドナー



図 2.4: (a): N型半導体のバンド構造。ドナーの作る準位が伝導帯のすぐ下に出来る。この準位の電子が伝導帯に励起し、キャリアが生まれる。(b): P型半導体。アクセプターの作る準位が価電子帯のすぐ上に出来る。価電子帯の電子がアクセプター準位に励起し、その穴が正孔として振る舞う。この正孔がキャリアとなる

やアクセプターは結晶格子に固定されているため、それぞれの半導体内で電荷の偏 りが生じ、PN 接合を横切る方向に電場が形成される。拡散はp型半導体、n型半導 体のそれぞれのフェルミ準位が同じになった時点で平衡に達する。この時のバンド 構造が図 2.5の下図である。PN 接合を行うと、p 型、n 型の間には電位差が生じ、こ の電位差を接合電圧 V_k と呼ぶ。また、接合部付近は自由な電荷が存在せず、空乏層 領域と呼ばれる。空乏層領域に荷電粒子等が入射して価電子帯の電子にエネルギー を与えると、この電子は伝導帯に遷移し、そのあとには正孔が出来る。空乏層領域 には電場が存在するため生成した電子はn領域方向へ、正孔はp領域方向へ移動し、 互いに引き離される。更に空乏層領域には電荷がないことから再結合せず、最終的 に p-、n-領域にそれぞれ引き寄せられ電気信号として検出出来る。一対の電子正孔 対を生成するのに必要なエネルギーはシリコンで約3.6eVなので、集めた電荷を測 定することによりどれだけのエネルギーが空乏層領域に与えられたかがわかる。こ の原理を利用したものが半導体検出器である。しかし、接合しただけの状態では空 乏層の厚さは数 µm であり、空乏層領域で荷電粒子が落とすエネルギーが少ないため 実用に向かない。また、空乏層の外側に存在する空乏化されていない領域が存在す ることも問題となる。これは空乏層で発生した電荷が空乏化されていない領域に存 在する自由な電子や正孔と再結合してしまい、通過粒子の情報が失われてしまうた めである。

この問題を解決するため、半導体検出器にはダイオードのn側の電位が高くなる ように電圧を印加(逆バイアス電圧)して空乏層を更に広げる。検出器としては半導 体内を全空乏化させて使用するのが理想である。



図 2.5: PN 接合を行ったときのバンド構造

ここで、逆バイアス電圧を掛けた時の空乏層の厚さを簡単に計算してみる。いま、 PN 接合された検出器の電荷密度 $\rho(x)$ が、

$$\rho(x) = \begin{cases}
eN_D & (0 < x < x_n) \\
-eN_A & (-x_p < x < 0)
\end{cases}$$
(2.1)

であるとする (つまり、p型、n型半導体は一様に不純物添加されている)。ただし、eは電気素量、 N_D, N_A はそれぞれドナー、アクセプターの濃度であり、 x_p, x_n はp型、 n型半導体中の空乏層の厚さである。また、検出器全体の電荷は0なので、

$$N_A x_p = N_D x_n \tag{2.2}$$

である。検出器中の任意の点での電位 $\psi(x)$ はポアソン方程式

$$\frac{d^2\psi(x)}{dx^2} = -\frac{\rho(x)}{\varepsilon} = \begin{cases} -\frac{eN_D}{\varepsilon} & (0 < x < x_n) \\ \frac{eN_A}{\varepsilon} & (-x_p < x < 0) \end{cases}$$
(2.3)

に従う。ただし、 ε はシリコンの誘電率である。式 (2.3)を解いて電場 Eを得る為に、 空乏層の両端 ($x = x_p, x_n$)では電場が0になるという境界条件を入れる。すると、空 乏層中の電場 E(x)は以下のように求まる。

$$E(x) = -\frac{d\psi}{dx} = \begin{cases} \frac{eN_D}{\varepsilon}(x - x_n) & (0 < x < x_n) \\ -\frac{eN_A}{\varepsilon}(x + x_p) & (-x_p < x < 0) \end{cases}$$
(2.4)

式 (2.4) をもう一度積分すると、電位分布 $\psi(x)$ が得られる。境界条件として、PN 接合の接合電圧を V_b 、バイアス電圧を V として

$$\psi(-x_p) = 0, \quad \psi(x_n) = V_b + V$$
 (2.5)

をとると、

$$\psi(x) = \begin{cases} -\frac{eN_D}{2\varepsilon}(x - x_n)^2 + (V_b + V) & (0 < x < x_n) \\ \frac{eN_A}{2\varepsilon}(x + x_p)^2 & (-x_p < x < 0) \end{cases}$$
(2.6)

が得られる。さらに、x = 0での連続条件から

$$\psi(x=0)(-x_p < x < 0) = \psi(x=0)(0 < x < x_n)$$
(2.7)

が要求されるので、

$$V_{b} + V = \frac{e}{2\varepsilon} (N_{D} x_{n}^{2} + N_{A} x_{p}^{2})$$
(2.8)

となる。式 (2.8) と式 (2.2) より、

$$x_n = \sqrt{\frac{2\varepsilon(V_b + V)}{eN_D(1 + \frac{N_D}{N_A})}} , \quad x_p = \sqrt{\frac{2\varepsilon(V_b + V)}{eN_A(1 + \frac{N_A}{N_D})}}$$
(2.9)

が得られ、式 (2.9) より空乏層領域の厚さ Wは、

$$W = x_n + x_p = \sqrt{\frac{2\varepsilon(V_b + V)}{e}} (\frac{1}{N_D} + \frac{1}{N_A})$$
(2.10)

となる。

通常、バイアス電圧は接合電圧よりも数十倍高いため $V_b \ll V$ と考えると、式(2.10)より空乏層領域の厚さは逆バイアス電圧の平方根に比例していると言える。

また、ドナー濃度とアクセプター濃度が著しく違う PN 接合の場合を考える。例と して $N_D \ll N_A$ を考えると、式 (2.2) と式 (2.9)、式 (2.10) より、

$$x_p = \sqrt{\frac{2\varepsilon(V_b + V)N_D}{eN_A^2}} \ll x_n = \sqrt{\frac{2\varepsilon(V_b + V)}{eN_D}} \simeq W$$
(2.11)

が得られる。

つまり、P⁺N 接合タイプの半導体検出器では空乏層はn側に広がっていくことを 表す。またこの時、n型半導体の比抵抗

$$\rho_n = \frac{1}{e\mu N_D} \tag{2.12}$$

を使って空乏層の厚さWを書き直すと(但し、 μ は電子の易動度)、

$$W = \sqrt{2\varepsilon(V_b + V)\mu\rho_n} \tag{2.13}$$

となる。式 (2.13) より、同じ逆バイアス電圧で広い空乏層領域を得るには、大きな 比抵抗をもつシリコンウェハーを用いることが望ましいということが分かる。

2.1.4 ストリップ型検出器

高エネルギー実験でこれまでに用いられた検出器の中で代表的な検出器である、ストリップ型検出器について説明する。この検出器は図2.6のようにシリコンウェハーに p⁺ 領域をストリップ状に形成している (ここでは n 型基板のストリップ型検出器を例とする)。ここで、逆バイアス電圧を印加すると p⁺のストリップから基板の n 型 半導体に向かって空乏層が広がる。この空乏層が、隣のストリップから広がってきた空乏層と繋がった時、空乏層の電気抵抗が非常に高いことから各 p⁺のストリップ が電気的に分離される。これにより、p⁺のストリップ一つ一つがダイオード型半導体検出器となる。つまり、非常に細長い半導体検出器が連続して並んでいることになる。

粒子がこの検出器を通過すると、空乏層で生まれた正孔が通過位置のp⁺ストリッ プに収集される。ストリップに集まった電荷により誘導された外部のアルミ電極の 電荷を読み出すことで荷電粒子の通過位置を求めることが出来る。また、このスト リップを交差させるようにして検出器を配置することによって、荷電粒子の通過位 置の二次元情報を求めることが出来る。一般的にストリップ間の距離は数 10µm 程 度で、一枚のストリップ型検出器に 500~1000 本程度のストリップのあるものが使 用されている。この検出器の利点は、大面積の検出器を用いても読み出しチャンネ ルを比較的少なくすることが出来る点である。しかし、検出器に一度に入射する粒 子が多く、複数のストリップから同時に信号が検出される場合は二次元の位置情報 を一意的に決めることが困難となる。この問題を克服する検出器として、ピクセル 型検出器がある。



図 2.6: ストリップ型検出器の概略図。

2.1.5 ピクセル型検出器

現在使用されているピクセル型検出器の基本的な構造を図2.7 に示す。この検出器 も一つのセンサーを多チャンネル化して使用する検出器の一種である。電極を格子 状に並べて配置することにより、粒子の通過位置の二次元の情報を得る。一つの電極 の面積がストリップ型より小さいことにより、多数の粒子が同時に検出器を通過し た場合でも通過位置を一意に決めることが出来る。またその他にも、電極が小さい ことにより漏れ電流と静電容量が小さくなり、同じ寸法のストリップ型検出器より も電子雑音が小さくなるという利点がある。現在用いられているピクセル検出器は 図 2.7 のように、センサーとなるシリコンウェハーとアンプ等の読み出し回路を別々 のチップとして作り、それをバンプボンディングと呼ばれる技術を用いて繋ぎ合わ せて製造している。この為、このタイプのピクセル型検出器をハイブリット型ピク セル検出器と呼ぶこともある。この、センサーと読み出し回路との接続がハイブリッ ト型ピクセル検出器の重要な課題である。接続の不具合が dead channel の主要な原 因となっており、大面積のピクセル検出器を使用する大型実験で問題となっている。 また、接続に失敗してしまうと歩留まりが悪くなり、高価になってしまうというこ となどが挙げられる。



図 2.7: ハイブリット型ピクセル検出器の概略図。センサー用のシリコンウェハーと 読み出し回路のウェハーをバンプボンディングにより接続する。

2.2 SOI技術を用いたピクセル型半導体検出器

1.2.1 で説明したように、SOIとはシリコンウェハー2枚を絶縁酸化膜を介して接合し、その一方の500nm 程度の薄いシリコン層にトランジスタ等の電気回路を形成

する技術のことである。通常のバルク CMOS 技術よりも高速性、低消費電力性が高いことが特徴であり、産業界では既に広く使われている技術である [2]。

2.2.1 SOI ウェハーの製造方法

まず SOI ウェハーの製造方法を説明する。SOI ウェハーの製造方法には大きく分け て3種類あり、張り合せ法、SIMOX 法、そして Smart-Cut 法と呼ばれている。我々 の用いている SOI ウェハーは、フランスの SOITEC 社の登録商標である UNIBOND SOI ウェハーに用いられている Smart-Cut 法と呼ばれる技術を用いている。しかし、 実際使用しているウェハーは SOITEC 社からライセンスを受けている信越半導体(株) が日本で生産した物を使用している。

張り合せ法

張り合せ法による製造過程を図 2.8 に示した。この方法は名前の通り、図 2.8 の (a),(b)の様にSiO₂のついた二枚のウェハーを熱処理によって張り合わせる技術であ る。その後、片側のウェハーを研削、研磨して SOI 層と呼ばれる薄いシリコン層を 形成する。CMOS トランジスタはこの SOI 層の上に作られる。



図 2.8: 張り合せ法。

SIMOX 法

Separation by IMplantation of OXygen(SIMOX) ウェハーは図 2.9 に示すように、 高エネルギーの酸素イオンをシリコンウェハーの表面に打ち込み、これを熱処理する ことにより酸化膜を形成する。完成したウェハーは図 2.9 のように表面近傍に薄い酸 化膜層が埋め込まれ、その上に薄いシリコン層が形成されることになる。張り合せ 方式では均質な酸化膜層や SOI 層を形成することが難しいため、SIMOX 方式が SOI ウェハー製造の主流となっている。しかし、酸素イオン打ち込みによる SOI 層の薄 膜欠陥が出来やすいという欠点がある。



図 2.9: SIMOX 法。

Smart-Cut 技術

酸素イオン打ち込みを行う SIMOX 法と異なり、水素イオン注入による剥離法を用 いている。図 2.10 に製造過程を示す。まず、用意したウェハーの表面に酸化膜を形 成する。次に酸化膜を形成したウェハー表面に水素イオンを打ち込む。この状態の ウェハーと、別に用意しておいたウェハーとを熱処理により接合する。接合したウェ ハーの内、水素イオンを注入されたウェハーは水素脆化現象が起きるため、注入さ れた面ではがれやすくなっておりこれを剥がす (数 µm の厚さで剥離が可能)。剥がし た面を洗浄、研磨し 500nm 程度の厚さにし、SOI ウェハーの完成となる。 SIMOX 法と比べ、打ち込むイオンのサイズが非常に小さいため、SOI 層に残存す る欠陥が極めて少ない。そのためこの方法は、その後の CMOS プロセスを考えると 有利になる。また、酸化は通常の熱酸化行程で行える為、埋め込み酸化膜の厚さも 他の方法に比べると調整しやすいという利点がある。我々SOIpixel グループの用い る SOI ウェハーはこの方法で製造されている。



図 2.10: Smart Cut 法。

2.2.2 SOI技術を用いたピクセル型半導体検出器の概要

我々SOI pixel グループが開発している SOI 技術を応用したピクセル型半導体検出 器 (SOIPIX)の基本的な構造について説明する。SOIPIX は図 2.11の様に、通常の SOI デバイスでは使用していない下部の支持基板にダイオードを形成し、センサーと して使用するという検出器である。また、SOI 層は通常の SOI デバイス同様に CMOS 回路を形成することが出来るので、SOI 層にアンプ等の読み出し回路を形成する。こ れらにより、1枚のウェハーにセンサーと読み出し回路を実装し、一体型の検出器と したものである。

SOI技術を用いた場合、読み出し回路に複雑な信号処理を持たせた検出器が製造 可能であるのが特徴である。実際、X線計数を行う処理回路を読み出し回路に持つ、 計数型ピクセル検出器や、SuperBelle実験のトリガー用遅延回路を内蔵したピクセ ル検出器がテストされている。



図 2.11: SOIPIX の断面図。下部の n 型基板をセンサーとして使用する。

2.2.3 SOIPIX の利点

1.2.2 で述べたように、SOI 技術を半導体検出器に応用すると様々な利点が生まれる。本節ではそれぞれの利点について詳細を述べる。

高速性

SOI CMOS トランジスタは Bulk CMOS トランジスタよりも、ソース、ドレイン 領域の接合容量が絶縁膜によって大幅に低減する。寄生容量が減少することにより、 高速な読み出しが可能である。

低消費電力

SOI CMOS 回路は絶縁膜によってシリコン基板部と回路部が絶縁されている為に リーク電流が減少する。これにより、消費電力を抑えることが出来、大量に検出器 が導入される実験では電源系、冷却系の負担が減る。高エネルギー加速器実験では、 内層に冷却用のパイプ等の不要な物質を減らすことが出来る等の利点が挙げられる。 また、電源の限られている宇宙関係、人工衛星等に載せて行う実験では消費電力の 低下は大きな利点となる。

高放射線耐性

SOI ウェハーではシリコン基板と回路部が絶縁酸化膜により分離されている。そのため、放射線の入射により基板部分で発生する電荷は回路の動作に影響を与えない。また、絶縁酸化膜上の SOI 層は 500nm 程度と薄いため、放射線入射により SOI 層で発生する電荷は少ない。よって従来の Bulk CMOS トランジスタよりも放射線耐性は向上する。次世代の加速器では、最内層の検出器は現存の加速器実験よりも数倍、数十倍の放射線量を受けると考えられる。その為、この利点は次世代の実験には欠かすことが出来ない。

温度耐性

SOI CMOS トランジスタは高温状態での閾値電圧の変化及び増加率が少なく、高 温環境下でも動作する。このため、宇宙、軍事用途等、特殊な環境下でも使用する ことが出来る。

高集積性

SOI CMOS は隣り合う素子間に絶縁膜があるため互いに干渉しない。そのため素 子の分離性がよくなり素子間の距離を近づけることが出来る。回路面積を小さく出 来ることになり、各ピクセルに複雑な信号処理機能を持つ CMOS 回路の実装が可能 となる。また、トランジスタ自身が小さくなることにより放射線の通過する確率が 減り、前述の高放射線耐性化にも寄与する。

研削、研磨によりウェハーの薄型化が可能

位置検出器として使用する場合、多重散乱等の影響を小さくすることが出来るため、重要な利点である。また、現存のハイブリット型はセンサーと読み出し回路の 2枚のウェハーが存在していたのに対し、一体型である為、1枚のウェハーで検出器 として成り立っており不要な物質が減少する。

センサーと読み出し回路間接続のバンプボンディング不要

浮遊容量が減少し、SOIPIX は S/N 比が良くなる。また、ボンディングされた物 より物理的衝撃に強くなり、扱いが容易。歩留まりが良くなり価格を抑えることが 出来る。また、不要な物質であるバンプボンディングのバンプをなくすことが出来、 多重散乱を抑えることが出来る。

第3章 電荷積分型Pixel検出器

本研究の研究対象となる SOIPIX は電荷積分型の SOI ピクセル検出器である。この章では積分型ピクセル検出器の原理、開発状況などをまず説明し、次に本研究で扱う INTPIX2 と呼ばれるピクセル検出器について説明する。

3.1 現在までに開発された積分型ピクセル検出器

3.1.1 開発状況

SOI pixel グループの開発する Test Element Group(TEG) の製造は全て、日本国 内で SOI のチップを取り扱っている OKI セミコンダクター (株) が行っている。2007 年までの TEG のプロセスはデザインルール 0.15µm の Fully-depleted SOI CMOS プ ロセスで行われている。

現在までに開発された電荷積分型ピクセル検出器としては、2007年にプロセスされた INTPIX1 と呼ばれる TEG がある。INTPIX1は1チップにピクセル数が128×128 あり、ピクセルサイズは $20\mu m$ 角である。チップサイズは5mm角で、可視光や密封線源による 線の検出が確認されている[3]。

3.1.2 電荷積分型ピクセル検出器の構造

電荷積分型ピクセル検出器の構造を表す模式図、及び断面図を図 3.1、図 3.2 に示 す。チップの中心部にピクセル回路が配置されている。本研究で扱う INTPIX2 も図 3.1、図 3.2 と同じ構造を持っている。

3.2 INTPIX2の構造、及び原理

INTPIX2 は、INTPIX1 と違って OKI セミコンダクター (株) のデザインルール 0.2µm プロセスにより製造されたチップである。構造は INTPIX1 とほぼ同じで、 20µm 角のピクセルを 128×128 個実装する。レイアウト外形は 5.0mm 角で、厚さ 260µm(+10µm-20µm) まで研磨した後、底面に 200nm の Al スパッタリングを行っ ている。このアルミ電極を利用してセンサー部ダイオードに逆バイアス電圧を印加



図 3.1: 上部から見た電荷積分型ピクセル検出器の模式図。外側から HV ring、Bias Ring、Guard Ring という3つの電極でピクセルで囲まれている。HV ring はチップ 表面から逆バイアス電圧を掛ける為の n⁺ の電極、Bias Ring はバイアス電圧を掛け る為の p⁺ の電極、Guard Ring は back-gate bias 効果を抑制する為に設けられた p⁺ の電極である。



図 3.2: 電荷積分型ピクセル検出器の断面図。支持基板はn型半導体で絶縁膜の逆側 (図では下側)はアルミのスパッタリングを行っており逆バイアス電圧を掛ける為の 電極となっている。 する。INTPIX2 はベアチップの他、177 ピンのセラミックパッケージに実装された ものもある。本研究では主にセラミックパッケージに実装されたチップを用いる。次 節より、INTPIX2 内部の各部分を説明する。

3.2.1 INTPIX2全体の構造

INTPIX2のチップの全体ブロック図を図 3.3 に、レイアウトを図 3.4 に示す。



図 3.3: INTPIX2 ブロック図。ピクセルとその周辺回路はチップ上でこのようにレイ アウトされている。この図で左上のピクセルのアドレスが (RA,CA)=(0,0) である。

INTPIX2 は図 3.3 の様に、ピクセルセンサー部とアドレスデコーダ等の周辺回 路からなっている。INTPIX2 に、縦方向のアドレス (RA[6:0]) と横方向のアドレス (CA[6:0]) を入力することによりピクセルのアドレスを指定する。指定されたピク セルのアナログ出力は AOUT 端子より出力される。これを繰り返すことにより各 ピクセルのデータを読み出す方式となっている。その他、各ピクセルの信号読み出 しの為に、各列に備わる bufsw(Column Buffer)、AOUT 端子へ信号を出力する為の aobuf(AOUT Buffer)、それぞれの Buffer のパラメータとなっているバイアス電圧を 供給する為のバイアス回路 (BiasV) が存在する。



図 3.4: INTPIX2 レイアウト。レイアウト外形は 5.0mm 角、ピクセル部は 2.56mm 角となっている。レイアウトの四方に I/O Pad が存在し、図 3.3 にある各種信号線へ の入出力を行う。

3.2.2 各ピクセル内の構造

図3.5 に一つのピクセルに対応する回路図を示し、以下でセンサーからの電荷の積 分、及び読み出し方法について説明する。

RST=Low にした状態ではセンサー部ダイオードから集めた電荷は V_{sense} ノードに 蓄積される。この蓄積された電荷による V_{sense} の電位変化をNMOSのソースフォロ アを通じて V_{store} へ伝えることにより、 C_{store} へ電荷を蓄積する(この時、STORE=Hi としている)。STORE=Low とすることにより C_{store} への電荷の蓄積が止まる。この STORE 信号を制御することにより、各ピクセルの積分時間を決定する。また、 C_{store} に溜めた電荷のリセットはSTORE=Hi, RST=Hi とすることによって行う。 C_{store} に 蓄積された電荷は、Row Address Enable(RAEN)=Hi の時、Row Address(RA) で指 定された行の read_x のトランジスタが On となることにより Column Buffer へ送られ る。この操作は1行にある 128 個のピクセルに対して同時に行われる。Column Buffer に送られたアナログ信号は、次節で説明する手法で最終的に AOUT へ送られる。

3.2.3 Column Buffer について

INTPIX2 は図 3.6 で示す回路が各列に備わっている。

3.2.2 で説明したように、ある行が選択されると、その行のピクセルの出力が各 Column Buffer へと伝わる。この時 Column Buffer の中では、入力された信号のレベル



図 3.5: INTPIX2の各ピクセル内に備わる回路の回路図。左下のダイオードがセン サーとして働くダイオードを表す。read_x はそのピクセルの Row Address と Row Address の enable 信号が与えられた時に On となる信号である。col_out は Column Buffer の入力に接続されている。以降の説明で使用するトランジスタの名前を青色 の文字で示した。



図 3.6: Column Buffer の回路図。この回路が各列に一つ備わる。同じ列のピクセル の col_out(図 3.5) がその列の Column Buffer の IN へ接続されている。また、VH2, VL2 はバイアス回路から供給されるバイアス電圧である。SOUT は AOUT の出力 バッファーへと繋がっており、ここから各ピクセルの信号を出力する。以降の説明で 使用するトランジスタの名前を青色の文字で示した。

に応じて net4 ノードの電位が変化する。ここで、Column Address Enable(CAEN)=Hi の信号を与えると、Column Address(CA) で指定された列の SEL_x が ON となるこ とによって、Column Buffer へ入力された信号が SOUT へ出力される。以上の過程 で、RA と CA により指定されたピクセルの出力が AOUT の出力 Buffer へと伝わり、 最終的に AOUT 端子から個々のピクセルからの信号を読み取ることが出来る。

3.2.4 INTPIX2の制御信号

以上の説明で出てきたものも含め、INTPIX2の制御信号についてまとめる。

デジタル信号

- RA[6:0]
 Row Address (行アドレス) 信号。7bit で 0~127 までの行を指定する。
- CA[6:0]
 Column Address (列アドレス) 信号。7bit で 0 ~ 127 までの列を指定する。
- RAEN Row Address Enable **信号。**
- CAEN Column Address Enable 信号。
- RST

ピクセルの V_{sense} ノードの電圧をRSTVの電位に設定する。この端子より入力 されたRST 信号が全ピクセルに分配される。

- STOREI
 ピクセルのSTORE 信号入力端子。この端子より入力されたSTORE 信号が全 ピクセルに分配される。
- LEN_x、及び REN_x これらの信号は Column Buffer 等に与えるバイアス電圧の制御信号である。デー 夕読み出しを行っていないときはバイアス電圧を 0V とし消費電流を抑えると いう機能を実装出来るが、本研究の範囲では使用していない。

アナログ信号

• IINLD

load 電圧制御用参照電流。この端子に流れ込む電流値を調整することにより、 ピクセル回路内の load 電圧を調整する。load 電圧を上げるとピクセル内回路 の動作速度が上がる。但し、消費電流は増加する。

• IIN2

VL2 及び、VH2 電圧制御用参照電流。この端子に流れ込む電流値を調整する ことにより、Column Buffer 及び AOUT Buffer に与えられるバイアス電圧を調 整する。VL2 を上げると、各 Buffer の動作速度が上がる。但し、消費電流は増 え、AOUT の出力電圧範囲が狭くなる。

• RSTV

ピクセル内 V_{sense} ノードのリセット電圧。RST信号により V_{sense} はRSTVの電位までリセットされる。 V_{sense} が図 3.5 の N1 トランジスタの閾値電圧を越えた時に V_{store} の電位が変化するため、RSTV は通常 0.5V 程度の電圧で使用する。

• AOUT

アナログ出力信号。各ピクセルの信号はこの端子より出力される。

3.2.5 制御信号のダイアグラム

3.2.1 で述べたように、INTPIX2 はアドレス指定により、1 つの出力端子から全て のピクセルの出力を読み出す検出器である。その動作の一連の流れを図 3.7 に示す。 外部からのトリガーが無い場合には周期的にリセットを掛ける。よってこの周期がセ ンサーからの信号の積分時間に対応している。トリガーが来た場合はその信号を読 み出すために周期リセットを止め、蓄積された電荷を保持するために STORE=OFF にする。それと同時にアドレスを次々と与え、その出力を取り出す (あるアドレスを 与えてから次のアドレスを与えるまでの時間を Scan Time と呼ぶ)。


図 3.7: INTPIX2 制御信号タイミング。トリガーの入力が無い時、周期的にリ セットを掛ける (この周期が積分時間となる)。トリガーが来るとリセットを止め、 STORE=Low とし、アドレスを与えてピクセルスキャンを行う (各ピクセルのスキャ ンの間隔を Scan Time と呼ぶ)。

第4章 テスト用読み出しシステム

本研究では INTPIX2 のテストを行う為の Data Acquisition(DAQ) system の開発 を行った。DAQ system は、3.2.5 で説明した INTPIX2 の制御信号用ファームウェア を搭載した SEABAS と呼ばれる読み出し基板と、PC(linux) 上で動作する C++を用 いて書かれたデータ取得用ソフトウェアからなる。以下で、開発した DAQ system について説明する。

4.1 汎用読み出しボード "SEABAS"

SEABAS(Soipix EvAluation BoArd with SiTCP)とは、SOIPIXのテスト用に今 年度新たに開発した汎用の読み出し基板のことである。SiTCPと呼ばれるネットワー クプロセッサを搭載しており、Ethernetを用いたDAQを行えることが大きな特徴で ある。また、SEABAS 自身はFPGA、ADC、DAC 等に繋がったコネクタを提供す るだけとなっている。これにより、SOIPIX からのアナログ信号、デジタル信号のい ずれの出力も受けることが出来、SOIPIXの仕様に合わせた SUB BOARD を作り替 えることによって、様々な SOIPIX のテストに対応出来る。実際、2.2.2 で述べた計 数型ピクセル検出器や SuperBelle 実験テスト用ピクセル検出器のテストも同じボー ドで行っている。

図 4.1 に SEABAS の写真、また図 4.2 に INTPIX2 用の SUB BOARD の写真を示す。

4.1.1 開発の経緯とSEABASの仕様

2007年にプロセスを行った INTPIX1のテストには、Hawaii 大が開発した COBI ボードと呼ばれる読み出し基板を用いてテストを行った。COBI ボードは元々CAP4 と呼ばれるピクセル検出器のテスト用読み出し基板で、USBを用いたデータ転送と SOIPIXの制御以外の機能を実装していない。また、搭載している FPGAの容量が 小さく、ピクセルからの出力を小分けにして読み出さざるを得なかったため読み出 し時間が長いという問題もあった。

そこで、これに変わる読み出し用のテストボードとして、SEABASを開発することになった。上記のCOBIボードの問題点を解決する為に、SEABASには大容量FPGAの搭載、その他にNIM I/O、ADC、DACを実装する。これらを実装することによ

SEABAS



☑ 4.1: SEABAS



図 4.2: INTPIX2 用 SUB BOARD

り、問題点を解決しつつ、今後プロセスを行う予定のあらゆる SOIPIX のテストを 行う事が出来る読み出し基板となる。

次に SEABAS のデータ転送の仕組みについて説明する。以前使用していた COBI ボードは、USB のインターフェイスを用いて PC と接続を行っていた。USB は転送 速度などは問題ないが、ケーブルを用いて延長できる長さに規格上の制限があるた めテストに於いて不便であった。また、USB ハブを介すると COBI ボードが認識出 来ないなどの問題もあった。そこで、SEABAS には SiTCP と呼ばれるネットワー クプロセッサを搭載し、PC とのインターフェイスに Ethernet を用いることにした。 Ethernet による読み出しとすることによって SEABAS をネットワーク機器として扱 えることになり、原理的には読み出しボードと PC の距離に制限がなくなる。

ここで、SEABAS の全体像を図 4.3 に示す。SEABAS は 2 つの FPGA を実装して おり、一つは SiTCP FPGA、もう一つは User FPGA と呼ばれている。SiTCP FPGA は SiTCP 専用で、ユーザーは手を加える必要が無い。この SiTCP が Ethernet へと 接続されておりデータを PC へ送受信する。SiTCP は FIFO と同じ様なインターフェ イスとなっており、User FPGA 内で、データを FIFO に保存するのとほぼ同じ操作 でデータを PC へ送受信することが出来る。TCP/IP を用いたデータ転送の仕組みを 透明化することで、SEABAS を用いたテストシステムの開発を容易にする狙いがあ る。User FPGA は、SOIPIX の制御を行う用途にユーザーが自由に使うことが出来 る。また、User FPGA から ADC, DAC, NIM I/O を制御する。



図 4.3: SEABAS の概略図

SEABAS のスペックを以下に記す。

- SiTCP 100BASE-T 規格の SiTCP。
- User FPGA Xilinx Vertex4(XC4VLX25-10FF668)

120本のI/OがSUB BOARD 接続用のコネクタと繋がっている。ADC,DAC,NIM の制御もこの FPGA が行う。

• ADC

ANALOG DEVICES 製 AD9235

最大 65MHz で動作する 12bit A/D Converter。1ADU=0.24mV でトータル約 1V のレンジがある。オフセットは SEABAS 上の可変抵抗により調整出来る。

• DAC

National Semiconductor 製 DAC124S085 4 系統の 12bit の D/A Converter 。最大出力電圧は 3.3V。

• Power

± 5V を入力する。プラス側は約 1A、マイナス側は約 0.2A 流すことの出来る 外部電源を使用。また、この電源を利用して SUB BOARD に 1.8V と 3.3V の 電源を供給することが出来る。

NIM INPUT/OUTPUT 2 系統ずつ (LEMO コネクタ)

4.1.2 SiTCP について

SiTCP とは FPGA で TCP/IP の処理を実現したネットワークプロセッサの事であ る。TCP とは Ethernet と呼ばれる転送規格を利用したプロトコルの一つで、イン ターネット等で我々の日常生活でも大変良く使用している規格である。TCP はコネ クション型の通信で1対1の通信を行い、欠損パケットの再送といったエラー訂正 の仕組みを持つ。データ転送に信頼性の求められる場面で用いられるが、処理が複 雑になるため OS 等のソフトウェアにより処理している。ソフトウェアを用いる為に 一般的には処理が重くなり、安定した高い通信速度を実現するには送信サーバにか なりの性能が要求される。しかし、この処理を FPGA で行うことによって、SiTCP は手軽に高い通信速度を得られる。CAMAC や VME 等を使用する必要がなく DAQ system 自体をコンパクトに出来る等の利点が得られる。今回 SEABAS に採用した SiTCP は 100BASE-T 規格の物を搭載しており、95Mbps 程度で安定してデータを転 送出来る。

SiTCP は TCP だけではなく UDP を用いて User FPGA 内部の Resister を操作す るインターフェイスを持つ。これは Remote Bus Control Protocol(RBCP) と呼ぶ。 本研究により開発した DAQ system では読み出しパラメータや DAC のコントロール 等に使用する [4][5]。

4.1.3 読み出し用ファームウェア

本研究で開発した INTPIX2 読み出し用ファームウェアについて説明する。ここで 言うファームウェアとは、SEABAS 上の User FPGA に実装するプログラムのこと を指す。INTPIX2 DAQ 用のファームウェアを記述する Hardware Description Language(HDL) には Verilog HDL を用いた。ファームウェアの主な役割は INTPIX2 の 操作 (アドレス指定、周期リセット等) や、ADC により A/D 変換されたデータを取 り込み PC へ送信することである。この機能の他に、PC から User FPGA 内のレジ スタを操作する仕組みを備える。このレジスタに Integration Time や Scan Time 等 の読み出しに関するパラメータ等を割り当てておき、PC からそれらを変更出来るよ うな機能を実装する。ファームウェア内のブロック図及び DAQ system の全体図を 図 4.4 に示す。また、図 4.5 に DAQ のフローチャートを示す。

図4.4に示す様にファームウェアは複数のモジュールで構成されている。以下でそれぞれについて説明する。

• State Machine

DAQ system の状態を管理する。状態は大きく分けると、TCP Connection 待ち 状態、TCP Connection は確立されたが DAQ は開始されていない状態、DAQ 状態がある。DAQ 状態でトリガーが来た場合には、INTPIX2 コントロールの モジュールにピクセルスキャンの要求を出す、NIM 出力より Busy 信号を出す 等を行う。

• INTPIX2 Control

DAQ system の状況に応じて INTPIX2 に必要な制御管理を行う。具体的には、 DAQ 状態になるとピクセルに対し周期リセット等の信号を与えることや、ト リガーが入り、State Machine からピクセルスキャンの要求が来た場合、ピク セルスキャンを行うこと等がある。

• FIFO

INTPIX2 Control がピクセルスキャンを行うと、INTPIX2 はアナログ信号を 出力する。そのアナログ信号を SEABAS 上の ADC が A/D 変換を行う。デジ タル化されたデータを INTPIX2 Control の指定したタイミングでデータとし て取り込む。FIFO には現在のところ 128×128 ピクセル分 (1 イベント) のデー タを保存出来る。

- Data transfer
 FIFO にデータがある場合、順次 SiTCP を通じ PC へ送信を行う。
- Resister
 SiTCPの機能の一つである、Slow Control 用プロトコルの RBCP を用いてア



図 4.4: DAQ system 全体図、及びファームウェア内ブロック図。



Repeat ...

図 4.5: DAQ のフローチャート。

クセスされるレジスタ。DAQ開始信号、Integration Time、Scan Time等の読 み出しパラメータを保存する。その他にDACのコントロールの為のコマンド 等もこのレジスタに保存する。

 DAC Control Resister に保存された DAC のコントロールコマンドをデコードし、DAC から 出力される電圧を操作する。

これらのモジュールを利用し、図 4.5 に示す流れで DAQ を行う。以下がその説明 である。

1. DAQ 前の初期化

PC から SEABAS に対し TCP の Connection を確立する。RBCP を用いて、 Integration Time、Scan Time、Reset Width の初期値を送信しセットする。ま た、同時に SEABAS は INTPIX2 に対し周期リセットを送信しはじめる。この 状態で PC からの DAQ 開始信号を待つ。

2. DAQ 状態

PCからDAQ開始信号を受けると、SEABASはトリガー待ち状態に入る。トリ ガーが来るとピクセルスキャンを行い、INTPIX2から送られ、ADCでデジタ ル化されたデータをFIFOへと保存する。FIFOにデータがあると、SEABAS は順次そのデータをPCへ送信する。そのデータをPCが受信し、保存する。 この後、またトリガー待ち状態に戻る。これを繰り返す。

3. DAQ 終了

DAQ を終了し PC 上の DAQ ソフトウェアを終了する。この時、User FPGA 内部の Resister をクリアし、TCP の Connection を閉鎖、次の DAQ を待つ。

以上のような仕組みで INTPIX2 を制御しデータを PC へ転送する。

4.2 読み出し用ソフトウェア

SEABAS と接続し Linux 上で DAQ を行うソフトウェアを開発した。主な機能は 単純で、SEABAS への TCP の Connection を行い、送られてくるデータを受け取る こと。また、読み出しパラメータを送信する為の UDP(RBCP) によるパケットの送 信を行うことだけである。以下で開発したソフトウェアについて説明する。

4.2.1 ソケットプログラミング

SEABAS は SiTCP を搭載しているため Ethernet を介して TCP/IP を用いて PC と情報をやり取りする。そのため、DAQ ソフトウェアも TCP/IP によるデータのや り取りをする必要がある。このような TCP/IP を用いてデータ通信を行うプログラ ミングをソケットプログラミングという。ソケットとは TCP/IP 通信の為の抽象化 されたインターフェイスであり、このソケットに対してデータ通信を行うことによ リデータが転送される。TCP によるパケットの再送などの処理は OS レベルで行わ れているため、プログラマが意識する必要はない。

このソケットを扱う関数は各プログラミング言語に存在し、どんな言語を用いて も SEABAS を用いた DAQ の為のソフトウェアは記述出来る。その中で本研究では C++を用いて記述した。これは、次節で述べる ROOT ライブラリとの親和性が高い 為である。

4.2.2 ROOT ライブラリを用いた GUI ソフトウェア

COBIボードを使用していた際に開発された元東工大の小野俊氏の作成した DAQ ソフトウェアがある [6]。このソフトウェアを元にし、ROOT ライブラリを用いた SEABAS-INTPIX2 用のソフトウェアを開発した。以前のソフトウェアからは設定出 来なかった積分時間等の読み出しパラメータを変更する機能を実装している。これ により、データ受信を行いながら読み出しのパラメータを変化させ、受信したデー タの変化をリアルタイムで見ること等が可能になる。また、GUI とすることにより 開発者以外の人間でも直感的に簡単にテストを行うことが出来るという利点がある。 開発した DAQ ソフトウェアの画面を図 4.6 に示す。使用方法は付録 A で示す。この ソフトウェアを用いて第5章、第6章のテストを行った。



図 4.6: GUI ソフトウェアのインターフェイス画面。赤枠と数字は付録 A での説明の 為に使用する。

第5章 INTPIX2 アナログ特性テスト

本章では INTPIX2 のセンサー及び回路部の特性を測定した結果を示す。前年の INTPIX1 を用いたテストでは、back-gate bias 効果が AOUT の出力特性等、読み出 し回路にどう影響を与えるのかは調べられていない。そこで、本章では INTPIX2 に 実装された読み出し回路のアナログ特性を測定し、back-gate bias 効果がどの部分に どう影響を及ぼしているのかを考察する。

また、半導体検出器の基本的な特性測定も行ったのでその結果もまとめる。

5.1 センサー部ダイオード I-V 特性測定

まず始めに、センサー部ダイオードの電流電圧特性を測定した。測定ではBias Ring とGuard Ring を接地し、 V_{back} の電位を変化させた (V_{back} とは 3.2 で説明したチップ裏 面のアルミ電極の電位である)。測定装置はV_{back}=99[V]まではHewlett-Packard(HP) 社の Precision Semiconductor Parameter Analyzer(4156A) を使用し、V_{back}=100[V] 以 上の測定にはKEITHLEY 社のSourceMeter 2410を使用した。参考に取った INTPIX1 の結果も合わせて図5.1に示す。基本的に良好なダイオード特性を示していることが 分かる。逆バイアス電圧を掛けた時に、急激に電流が流れ出す電圧(ブレイクダウン 電圧 V_{break} と呼ぶ) が、INTPIX1 と比べると、INTPIX2 は V_{break}=125[V] 程度と大 幅に上昇していることが分かる。ここで、INTPIX2のセンサー側の基板に用いてい るシリコンウェハーの比抵抗 $\rho = 700[\Omega \cdot cm]$ と式 (2.13) を用いて計算した空乏層の 厚さを図 5.2 に示す。図 5.2 より、INTPIX2 ではブレイクダウンさせずに空乏層領域 を約 $160 \mu m$ まで広げられることが分かるが、INTPIX2 のセンサー部の厚さは $260 \mu m$ なので、まだ全空乏化には至っていない。検出効率向上のためには、より高いブレイ クダウン電圧を達成する為の改良が必要である。例えば、X線用途等ではセンサー 部の厚さが薄いと反応率が低い為、センサー部を更に厚くすることが望ましい。ま た、高エネルギー用途においても、放射線損傷によりセンサー部の抵抗値が変わり、 同じ厚さの空乏層領域を得る為により高い逆バイアス電圧を印加しないとならない ことも考えられる。

また、図 5.1 によると、ベアチップに比べパッケージされたチップはリーク電流が およそ 10 倍程度多いが詳細は不明である。パッケージされたチップは 5V、20V 付近 に、ベアチップは 50V 付近に傾きが変わる点があるが、この原因も不明である。



図 5.1: センサー部ダイオード、I-V 特性。電流値は絶対値を取っている。Vback が正 の方向が逆バイアス電圧である。黒の実線は INTPIX2 のパッケージされたチップ、 黒の点線は INTPIX2 のベアチップの測定結果。また、赤の一点鎖線は参考データと しての INTPIX1 の測定結果である。100V を境に測定器が変わるため、100V 付近で 多少のズレが観測されている。また、Chip の破壊を防ぐため電流は 5µA 以上流れな いようにしている。



図 5.2: 各 V_{back} での空乏層の厚さの計算値。現在のウェハーは厚さが $260\mu m$ であるため、全空乏化には約 300Vの逆バイアス電圧が必要であることが分かる。また、接合電圧により、 $V_{back}=0V$ でも $10\mu m$ 程度の空乏層が存在する。

5.2 back-gate bias 効果

前節の測定により、センサーに 125V の逆バイアス電圧を掛けることが可能だと 分かった。しかし、INTPIX2 は V_{back} =125V で動作しない。なぜなら back-gate bias 効果で MOSFET の閾値電圧 V_T が変化してしまうからである。1.2.4 でも述べたが、 SOIPIX は一体型の検出器であるが故に、 V_{back} を上げることにより、SOI 層のトラ ンジスタの back-gate 端子の電位が正に変動してしまう。すると、NMOS、PMOS 共 に V_T の値が下がる。この効果により INTPIX2 の場合、読み出し Buffer に与えるバ イアス電圧が変動する等の影響を受ける。また、最終的にはスイッチとして使用し ている NMOS が働かなくなるために回路全体が動作しなくなる。

本節では INTPIX2 の I/O 部、及びバイアス回路 (BiasV) に対して back-gate bias 効果がどのように影響を与えるかを調べる。INTPIX2 に使用されているトランジス タは I/O 部と読み出し回路部で異なる仕様の物が使われている。そのため、影響の 現れ方が違う可能性がある。

I/O 部に対する back-gate bias 効果の影響

I/O 部に対する back-gate bias 効果の影響を調べる為に、INTPIX2 は入力端子から入れた信号をそのまま出力するだけのループバック回路を持っている (STOREI、及び STOREO)。この端子を利用し、I/O 部の動作の変化を V_{back} の関数として調べた。結果を図 5.3 に示す。図 5.3:(a) によると INTPIX2 は V_{back} = 125[V] でも入力波形が崩れず出力されていることがわかる。 V_{back} =125V の時は 0V の時に比べ 8ns 程度信号の立ち上がりが遅くなる現象が観測されているが、現在のファームウェアではこの遅延は全く問題とならない。これより、INTPIX2 は V_{back} = 125[V] までは I/O 部に関しての back-gate bias 効果の影響はないと結論づけられる。参考までに INTPIX1 で同様に取得したデータを図 5.3:(b) に示している。40V 程度の V_{back} で入力した波形が崩れて出力されていた。これは I/O 部が back-gate bias 効果による影響で正常に動作していないことを意味する。この現象が INTPIX2 では改善された。¹

読み出し回路に対する back-gate bias 効果の影響

読み出し回路に与える影響として、BiasVの挙動を調べた。BiasVはload(図 3.5)、 VL2(図 3.6)に掛ける電圧を作る回路なので、back-gate bias効果の影響を受けると 読み出し回路の動作電圧範囲などの特性が大きく変わる。ここではback-gate bias効 果により VL2 がどう変化するかを調べる。VL2 は 3.2.4 で説明したように、IIN2 端 子への参照電流に依存する。参照電流は SUB BOARD 上の可変抵抗 (VR6) で調整す

¹I/O 部は OKI セミコンダクターにより提供されたもので、改善された具体的な理由は不明である。



図 5.3: (a) は INTPIX2 に STOREI から信号を入れ、STOREO から出力される信 号をオシロスコープで観測したもの。 V_{back} は 0V と 125V にて測定した。0V の時と 125V の時で出力波高に変化が無く、出力が完全に重なってしまったため少しずらし て描画している。(b) は INTPIX1 で同様にして取ったデータである。 V_{back} =40[V] で 既に出力の形が崩れ始めていることが分かる。

るので、 V_{back} と VR6 の抵抗値を変化させて VL2 を測定した。図 5.4 に示された測定 結果から分かるように、 V_{back} を上げていくと VL2 は低くなる方向に動くということ が分かった。



図 5.4: V_{back} と VR6 の抵抗値を変えていき、VL2 の値を測定した。Z 軸を VL2[mV] の値としている。

結論、及び考察

高い*V_{back}*を掛けても I/O 部に関しては back-gate bias 効果の影響を受けず、設計 通りに動作することが分かった。しかし、高い*V_{back}*は BiasV に影響を与え、VL2 の 値が下がることが確認された。

ここで、VL2が低下した場合、INTPIX2の動作にどう影響を与えるかを考察する。 定性的にはVL2が低い場合、図 3.6 の N1 トランジスタの drain/source 間の抵抗値 が上がる。そのため、net4 ノードの最低電位が上昇する。回路の電源電圧は 1.8V に 固定されているので、net4 ノードの最高電位は上がらず、結果として出力電圧範囲 が狭くなることが予想される。そこで、次節では読み出し回路の動作範囲について 詳細を述べる。

また、VL2が下がると図 3.6 の N1 トランジスタに流れる電流が減るため、Column Buffer の動作が遅くなることが考えられる。これについては付録 B で詳細を述べる。

5.3 読み出し回路動作電圧範囲、及び Gain 測定

読み出し回路動作電圧範囲測定

本節では V_{sense} の変化に対する AOUT の出力電圧範囲を測定する。 V_{sense} の電位 を操作するため、RST=Hi を与えた状態で RSTV を変化させる (図 3.5)。RST に使 用している図 3.5 の N0 トランジスタはスイッチとして動作しているので電圧降下は 無視して良く、RSTV= V_{sense} となる。本来 RST と RSTV は C_{store} に溜めた電荷をリ セットするためのものであるが、このように外部から V_{sense} を操作する用途にも使用 出来る。実際に RSTV を変化させて、AOUT の出力電圧を測定した結果を図 5.5:(a) に示す。高い V_{back} を印加した時、予想通り出力電圧範囲が狭くなっていることが分 かる。この測定は前節で説明した VR6 の抵抗値を最大にして測定した結果であり、 V_{back} を高くしても出力電圧範囲は 400mV 程度の広さがある。前節の測定によると VR6 の抵抗値を上げると VL2 が下がるため、図 5.5:(a) の結果よりもさらに出力電 圧範囲が狭くなる。VR6 の抵抗値を変化させて出力電圧範囲を測定した結果が図 5.6 である。以上の測定により back-gate bias 効果の影響で INTPIX2 の出力電圧範囲が 狭くなることが確認された。

Gain 測定

図 5.5:(a) に戻り、 V_{sense} (RSTV)の変化に対する AOUT の変化の度合い (Gain と 定義する)を調べる。まず、RSTV の変化に対して AOUT が線形に変化する領域を 直線で Fitting する。Fitting によって得られた直線の傾きが INTPIX2 の Gain とな る。Gain を V_{back} に対してプロットした結果が図 5.7 であり、 V_{back} を上げると Gain は下がる方向に動くことが分かる。つまり、 V_{back} を上げたときは見かけ上の信号量 が小さくなる。

実際に動作させる場合の RSTV

INTPIX2が微小信号に対して感度を持つようにするには、図 5.5:(a) で AOUT の傾 きが大きくなり始める RSTV に設定して使用する。そこで、前節で線形部の Fitting によって得られた直線と、実測の差が 20mV 以内となる範囲を線形応答部として定 義し、各 V_{back} での線形応答部の最小の RSTV を RSTV_{min} と定義する (図 5.5)。各



図 5.5: (a):RSTV を変化させたときの AOUT の変化を各 V_{back} で測定した結果。 V_{back} を上げると動作電圧範囲は狭くなる。また、動作開始電圧 RSTV_{min} が V_{back} を上げると低くなることが分かる。(b):RSTV を変化させた時に AOUT が線形に変化する部分を Fit し、その関数と実際の AOUT の差を示す。この差が 20mV 以内の範囲を動作範囲として扱う。差が 20mV となる最低の RSTV を RSTV_{min} とする。このグラフは V_{back} =10V の時の例。



図 5.6: *V_{back}* と VR6 の抵抗値を変えていき、AOUT の出力電圧範囲を測定した。Z 軸に AOUT の出力電圧範囲を [mV] 単位で示す。



図 5.7: 各 V_{back} での Gain、Gain は V_{back} を上げると減少傾向にある。

 V_{back} に対する RSTV_{min} を図 5.8 に示す。 V_{back} が高くなると RSTV_{min} が小さくなる。 図 5.8 のグラフを直線で Fitting することで RSTV_{min} を決定し、以降のテストでは V_{back} に応じて RSTV=RSTV_{min} に設定した。



図 5.8: 求めた $RSTV_{min}$ を Vback に対してプロット。これを 1 次関数で Fit を行い、 各 V_{back} での $RSTV_{min}$ を求め以降のテストで使用する。

考察

予想通り back-gate bias 効果により出力電圧範囲が狭くなることが確認された。こ こで、VL2が下がったこと以外に図 3.5 の P2 トランジスタの閾値が下がったことも ー因として考えられる。この PMOS の drain 側は Column Buffer(図 3.6) の回路の中 で PULL UP されているので、PMOS の閾値が下がると V_{store} 一定なら、PMOS の 抵抗値は上がり、結果として AOUT の最低値は上がる。しかし、以上のように考え られるが、Column Buffer 起因の現象とピクセル内トランジスタ起因の現象を個別に 観測する手段がないため、どちらの影響が大きいか等といった議論が INTPIX2 では することが出来ない。

 V_{back} を上げることによって RSTV_{min} が下がる理由は、back-gate bias 効果によって定性的に説明が出来る。図 3.5 の回路における、図 3.5 の N1 トランジスタの閾値

が back-gate 効果により下がることで、より小さい V_{sense} でも V_{store} に変化が現れる ことになる。

5.4 Reset 時間測定

この節では、 V_{store} が RSTV_{min} に下がるまでの時間 (Reset Time) を測定した結果 について述べる。図 3.5 の RST 信号を Hi にすると、 C_{store} の電荷がリセットされる。 電荷を完全にリセットするために十分な時間 RST を Hi にしたいが、RST 信号を出 している間はセンサーからの電荷を積分出来ないので Dead Time を生じてしまう。 そのため、AOUT が既定の電圧に下がる為に必要な最短の時間 RST 信号を送るこ とが重要である。ここで、RST 信号は SEABAS 上の User FPGA より送信される。 SEABAS は現在 25MHz の Clock で動作しているため、RST 信号の幅は 40ns 間隔で 調整している。RST 信号の長さを変えて AOUT を観測した結果が図 5.9 である。測 定の結果、RST 信号を 200ns 以上与えたときに AOUT は既定の電圧に下がることが

5.5 Capacitor Leak 特性

INTPIX2ではリセットしてから積分時間後にSTORE信号をLowにして、 C_{store} (図 3.5)に蓄えられた電荷を保持することで、全てのピクセルの積分時間を一定にする。 しかし、STORE のスイッチに用いている NMOS も Leak 電流が 0 ではないため、 STORE=Low 時にも C_{store} に電荷が蓄積され V_{store} が変動する。INTPIX2 はアドレ ス指定を行い、一つの AOUT から各ピクセルの信号を順次読み出している。そのた め、最初に読み出すピクセルと最後に読み出すピクセルとでは STORE = Low にし てからの時間が異なる。そこで、STORE 信号が Low の時の V_{store} の変動特性を調 べた。

測定方法はSTORE = Low にしてから、アドレスを固定して AOUT を一定時間毎 に読み出し、その変化を見た。今回は INTPIX2 の中央付近の RA = 63 ~ 65, CA = 63 ~ 65 の計 9 ピクセルについて調べた。Scan Time は INTPIX2 の動作速度にもよる がおよそ 1 ~ 5 μ s で使用している。最初にアドレス指定されるピクセルと最後にアド レス指定されるピクセルとでは最大 5 μ s×128 × 128 \simeq 80ms の時間差があるため、こ の範囲の時間変化を測定した。また、 V_{back} については 5, 10, 20, 40[V] について測定 した。その結果を図 5.10 ~ 図 5.13 に示す。図 5.10 ~ 図 5.13 から、ピクセル毎に傾向 は違うが C_{store} には電荷が溜まり、AOUT は時間が経つにつれ上昇する。例として (RA,CA)=(64,64) のピクセルの各 Vback での AOUT の増加率を Time=10 ~ 30[ms] を直線と仮定し Fitting して求める。結果は表 5.1 に示す。 V_{back} を高くするとともに Leak により C_{store} に流れ込んでくる電荷量が増加していることが分かる。これは、図



図 5.9: RST 信号の長さを変えていき、AOUT を測定した。RST 信号は図中青の点 線のタイミングで入力する。それぞれの RST 信号の長さに対応する AOUT の時間 変化を表示している。

3.5 のN3 トランジスタの閾値電圧が back-gate bias 効果によって下がり、このNMOS の Leak 電流が増えたことによると思われる。

$V_{back}[V]$	増加率 [ADU/ms]
5	0.58
10	0.72
20	1.15
40	1.86

表 5.1: 各 V_{back} での出力電圧の増加率

5.6 Sensor Leak特性

INTPIX2 を遮光し、センサーからの漏れ電流による AOUT の変化を調べた。図 5.14の様に STORE=Hi の状態で Integration Time を長くしていくと、放射線等、外 部からの電荷が与えられなくても AOUT は飽和する。RST 直後の AOUT のレベルか ら飽和した AOUT のレベル間の 2%から 98%まで上昇する時間を Sensor Leak Time と定義し、これを各 V_{back} で測定した。まず AOUT の時間変化を図 5.14 に示す。V_{back} を上げるとともに出力が飽和するのにかかる時間が短くなる。各 V_{back} の Sensor Leak TIme を求めた。結果は表 5.2 に示す。

表 5	.2: f	各 Vback	でセンサー	・部からの	Leak により) AOUT	が飽和する	までの時間
-----	-------	---------	-------	-------	----------	--------	-------	-------

$V_{back}[V]$	Sensor Leak Time[ms]
5	91.9 ± 1.2
10	54.2 ± 0.4
15	38.2 ± 0.3
20	32.9 ± 0.3
30	19.9 ± 0.5
40	10.5 ± 3.3

5.7 消費電力測定

大量に検出器を導入する大型実験では低消費電力であることが求められるため、 INTPIX2がどの程度の消費電力なのかを調べるのは重要である。



図 5.10: STORE=Low 状態での AOUT の変化。V_{back}=5V



図 5.11: STORE=Low 状態での AOUT の変化。V_{back}=10V



図 5.12: STORE=Low 状態での AOUT の変化。V_{back}=20V



図 5.13: STORE=Low 状態での AOUT の変化。Vback=40V



図 5.14: センサー部ダイオードからの漏れ電流による出力電圧の上昇

消費電力は INTPIX2 上の回路に与える 1.8V と 3.3V の電源から流れる電流を測定 することによって計算する。また、測定は、1)DAQ 中、2)DAQ 中で一部に光を当て た状態、3)DAQ を止めた状態の 3 つの場合について行った。

表 5.3 ~ 表 5.5 にまとめられた結果から分かるように、3.3V の電圧を使用する I/O 部の消費電力に対する寄与は無視出来る。光を当てたときは V_{sense} の電位が上昇す るため、図 3.5 の N1 トランジスタを流れる電流が増加することにより基本的には 消費電流が増加する。DAQ 中よりも DAQ が停止している時の消費電流が多い理由 は、RST 信号が送られていないので V_{sense} がリーク電流により上昇したままになっ ており、図 3.5 の N1 トランジスタに流れる消費電流が増えているためと思われる。 また、 V_{back} を上げると、図 3.5 の N1 トランジスタの閾値が下がることと、Leak に より V_{sense} の電位が上昇しやすくなるため、この NMOS を流れる電流が増えるため 電流が増加する。ここで、20~30V 以上の V_{back} を与えた時、DAQ 中 (光照射あり) と DAQ 停止中は消費電流は減少する傾向がある。これは、図 3.5 の P2 トランジス タ等、PMOS を通る電流経路の消費電流が back-gate bias 効果によって減少するこ とにより消費電流が減少した結果だと考えられる。

いずれの場合も消費電流は高くとも 10mA 強であるため、この INTPIX2 の電源に は 20mW 以上の電源を用意すれば十分であることが分かった。また、本研究の範囲 では使用していないが、3.2.4 で説明した、消費電力を下げる為の LEN_x、REN_x を 用いると更に低消費電力が期待出来る。

表 5.3: 1)DAQ 中 (光照射無し)の消費電力

$V_{back}[V]$	$I_{1.8V}[mA]$	I _{3.3V} [mA]	消費電力 [mW]
5	5.9	0.02	10.6
10	8.9	0.02	16.0
15	10.1	0.02	18.2
20	10.8	0.02	19.4
30	11.3	0.02	20.3
40	11.4	0.02	20.5

表 5.4: 2)DAQ 中 (光照射あり)の消費電力

$V_{back}[V]$	$I_{1.8V}[mA]$	$I_{3.3V}[mA]$	消費電力 [mW]
5	10.2	0.02	18.4
10	10.3	0.02	18.5
15	10.6	0.02	19.1
20	10.4	0.02	18.7
30	10.2	0.02	18.4
40	9.6	0.02	17.3

表 5.5: 2)DAQ 停止中の消費電力

$V_{back}[V]$	$I_{1.8V}[\mathrm{mA}]$	$I_{3.3V}[mA]$	消費電力 [mW]
5	8.9	0.02	16.0
10	9.9	0.02	17.8
15	10.8	0.02	19.4
20	11.2	0.02	20.2
30	10.8	0.02	19.4
40	10.8	0.02	19.4

第6章 動作テスト

本章では、INTPIX2を動作させ、可視光、赤外線、X線、線を用いて行った様々 なテストの結果について述べる。可視光での動作テストの後、2µmまで集光できる レーザーを用いて回路間のクロストークの有無を調べた。赤外線レーザーを用いた テストではV_{back}に応じて空乏層が広がっているかどうかを確認する。また、放射線 源に対する反応を確認する為に、X線照射装置、線源を用いたテストを行った。

6.1 マスクを用いた2次元イメージ

まず最初に、INTPIX2 が動作し 2 次元イメージが取得出来ることを示す。動作パ ラメータは、 V_{back} =5V、Integration Time = 10 μ s、Scan Time = 1 μ s、VL2=772mV とした。光源は波長 690nm の可視光レーザーを用い、可視光用のマスクを使用する。 取得画像を図 6.1 に示す。作成したマスクどおりのイメージが取得出来ていることか ら、アドレスデコーダなどが正常に動作し、ピクセル全面で読み出しが出来るとい うことが分かった。以下では、さらに詳細なテストを行う。



図 6.1: INTPIX2を用いて、可視光レーザーを照射して取得した画像。INTPIX2の上に可視光用マスクを置いある。

6.2 INTPIX2 ノイズ測定

INTPIX2を遮光しノイズレベルを測定した結果を述べる。ここで、INTPIX2の画 質を悪化させる原因としては2つの要素を考える。一つは各ピクセルの持つトラン ジスタ特性のばらつきや Buffer の特性のばらつき等によって、特定のピクセルや列 が常に高い(または低い)レベルを出力すること。もう一つは熱雑音などにより各ピ クセルの出力がふらつくことである。これらについて以下で調べた。

測定に使用したデータは、ランダムトリガーを用いて取得した。 V_{back} =5[V]、Integration Time は 10 μ s である。

6.2.1 ペデスタルの不均一性

ある特定の1イベントにおける、各ピクセルの ADC の値を1次元、2次元ヒスト グラムで図 6.2 に示す。図 6.2 の二次元グラフから分かるように、縦方向に縞が観測 される。これは、3.2.3 で説明した Column Buffer の特性がばらついていることによ る。また、同じ列にあるピクセル間でも特性にばらつきが有る。その結果、各ピク セルの ADC 値を1次元のヒストグラムにすると、RMS は 50[ADU] 程度と大きくな る。このピクセル間のばらつきを抑える為に、各ピクセル毎にペデスタルを計算す る。ペデスタルの求め方は、事前に同じ読み出しパラメータで取得したイベントを 用いて、各ピクセル毎に ADC 値の平均を計算して求める。各イベントで生の ADC 値からペデスタルを差し引く。そうして得られた分布の一例を図 6.3 に示す。二次元 グラフより、Column Buffer やピクセル毎のばらつきが抑えられ縦方向の縞が抑えら れたことが分かる。また、ペデスタル分布の RMS は 4.8[ADU] 程度となり、図 6.2 の 50[ADU] 程度のばらつきと比べ大幅に分布の幅が狭くなった。次節以降の解析では、 各ピクセル毎に計算したペデスタルを ADC 出力から引いた値を正味の信号量として 扱うことにする。

6.2.2 ノイズ測定

図 6.4 は (RA,CA)=(64,64) のピクセルの ADC 分布である。このような ADC 分布 の RMS をノイズと定義し、各ピクセル毎のノイズを計算する。全ピクセルのノイズ を測定した結果を図 6.5 に示す。全ピクセルに対するノイズの平均値は 4.44[ADU] で あることがわかる。また二次元分布 (図 6.5) を見ると、特定の列や端のピクセルのノ イズが大きい等といった問題は無いことがわかる。

なお、 V_{back} =5Vの時のGain は 0.68、1ADU=0.24mV であること、そして、 V_{sense} 部分の容量は約 10fF であることから 1ADU は約 20electron と計算出来る (但し、容量は配線等のジオメトリから計算した値で、INTPIX2 では精密に測定されてはいな



図 6.2: 各ピクセルの持つ信号のばらつき。二次元グラフでは縦に縞が観測される。 各列やピクセル毎のばらつきが大きく、ペデスタルの RMS は 50[ADU] 程度となる。



図 6.3: 各ピクセルの持つ ADC 出力のばらつきを、事前に各ピクセル毎に計算した ペデスタルを引くことにより抑えることが出来る。

いため10%程度の誤差はある)。1ADU=20electronとして考えると、各ピクセルは平均で88electron程度のノイズレベルである。



図 6.4: (RA,CA)=(64,64) のピクセルの ADC 出力の分布

6.3 クロストーク測定

ピクセル間のクロストークを調べる為に、 2μ m 程度まで集光できる可視光レーザー (λ =532nm)を用いて (RA,CA)=(63,64)のピクセルにのみレーザーを入射した。この ときの各ピクセルの正味の信号量を図 6.6 に示す。図 6.6 のようにあるピクセルにの みレーザーを照射した時、他のピクセルには反応がないことが分かった。各イベント で信号の出力がノイズの3倍以上のピクセルを Hit と定義すると、(RA,CA)=(63,64) を中心にした 11×11 ピクセルでは 500 イベント中 Hit があったのはレーザーを入射 しているピクセルだけであった (500 イベント全て Hit あり)。このことからもピクセ ル間クロストークは無いと結論づけられる。



図 6.5: 全ピクセルに対するノイズの分布

6.4 赤外線レーザーを用いたテスト

半導体への入射前の光子のflux を Φ_0 とすると、半導体中を $x\mu$ m 進んだときの flux $\Phi(x)$ は、

$$\Phi(x) = \Phi_0 e^{-\alpha x} \tag{6.1}$$

と表される。ここでを吸収係数と呼ぶ(図 6.7)。

図 6.7 に示された penetration depth を見ると、現在まで使用してきた波長 690nm と 532nm のレーザーはシリコン中で数 μ m 進むことが分かる。一方、図 5.2 からわ かるように、 V_{back} を掛けなくても 10μ m は空乏層が存在する。そのため、 V_{back} に依 らずほぼ全ての光子が空乏層でエネルギーを落としてしまい、 V_{back} によって空乏層 が広がったかどうか確認することが可視光レーザーでは原理的にできない。

そこで、赤外領域の光を利用する。今回使用した赤外線レーザーは、波長が980nm である。波長 980nm の光子は図 6.7より、100µm 程度シリコンの中を進むことがわ かる。つまり、空乏層の広がりに応じてセンサーで検出する光子の数が増えるので、 逆に検出した光子数から空乏層の厚さを評価出来る。そこで、AOUT がどのような 式に従うかを計算してみる。式 (6.1)より光子が xµm 進んだ時に反応した光子は、

$$\Phi_0 - \Phi(x) = \Phi_0(1 - e^{-\alpha x}) \tag{6.2}$$

となる。反応した光子に対し AOUT は比例関係にあるので、比例係数を C_1 として、

$$AOUT = C_1 \times \Phi_0(1 - e^{-\alpha x}) \tag{6.3}$$



図 6.6: (RA,CA)=(63,64) のピクセルにレーザーを入射したときの信号



図 6.7: 半導体中での光子の吸収係数
となる。また、空乏層の厚さは*V_{back}*の関数で式 (2.10) のようになっているため、

$$AOUT = C_1 \times \Phi_0(1 - e^{-\alpha C_2 \sqrt{V_{back} + V_b}}) \tag{6.4}$$

と書ける。ここで、式 (2.10) の V_{back} と V_b 以外の定数は C_2 として纏めた。AOUT は 定数を整理すると、 V_{back} の関数として

$$AOUT = C_3(1 - e^{-C_4\sqrt{V_{back} + V_b}})$$
(6.5)

の形に従うと考えられる。

測定ではレーザーの入射位置を固定し、 V_{back} を変えていく。レーザーが当たって いるピクセルの ADC 値の平均を計算し、その値を V_{back} の関数として描いたのが図 6.8 である。図 6.8 を式 (6.5)の関数形で Fit すると、 $V_{back}=10$ [V] 程度までは予想通 りの関数形で AOUT が増加していくことを確認出来た。10V 以上では AOUT が式 (6.5) に従わない。現段階ではその理由は理解されていないが、以下の3つの可能性 がある。

1. 空乏層が何らかの原因で広がっていない。

2. 空乏層は広がっているが何らかの原因で発生した電荷を収集出来ない。

3. back-gate bias 効果の影響により AOUT の出力が大きくならない。

以上の原因の組み合わせである可能性もある。この現象の理解の為には更なる別の テストを必要とする。

6.5 X線源でのテスト

INTPIX2 以前のテストでは X 線に対する検出能力は確認されていない。そこで、 X 線照射を行い INTPIX2 の反応を見た。X 線照射装置は KEK 物質構造学研究所の リガク製 FR-D を用いた。ターゲットは Cu で、アルミフォイルを用いて低エネル ギーの X 線を防いでいるため、8.04keV の K 線と 8.91keV の K 線が主成分であ る。K 線の 20%の強度で K 線が入射しているため、加重平均をとると 8.19keV の X 線源ということになる。

6.5.1 X線に対する反応

まず X 線に反応があるかを調べる為に真鍮製のマスクで INTPIX2 の一部を覆い、 反応を見た。X 線照射中にランダムトリガーで取得したある 1 イベントの画像を図 6.9 に示す。図 6.9 は V_{back} = 1.5V の時の画像である。 V_{back} を変えたときの信号量を 図 6.10 に示す。 V_{back} =0V の時は X 線に対し反応が得られなかった。また、 V_{back} の 増加に従い、信号も大きくなっている。以上から、センサー部で X 線を検出してい たことがわかる。



図 6.8: 赤外線を照射した時の AOUT の出力を各 V_{back} に対してプロットした。接合 電圧の典型的な値として $V_b=0.7$ [V] を選び、式 (6.5) の関数形で Fit を行った結果を 赤線で示す。 $V_{back}=10$ [V] 程度までは予想通りの結果が得られた。



図 6.9: (a):INTPIX2 へ X 線照射して得られた Image。(b):使用した真鍮製マスク



図 6.10: 左から、 V_{back} =0V, 1V, 1.5Vの時の信号量。0Vの時はX線に対する感度が 無い。

6.5.2 放射線損傷

放射線損傷のテストの為に V_{back}=5V で、「X 線を照射し、その後ペデスタルを取る」ということを繰り返しペデスタルがどう変化するか調べた。図 6.11 は X 線照射 領域中の 400 ピクセル (図 6.12 の赤枠) のペデスタルの平均値を X 線照射量の関数と して描いている。X 線照射に伴い、ペデスタルは高くなることが分かる。また、50Gy 程度の照射量でペデスタルの変化は緩やかになることが分かった。

信号量のX線照射量に対する依存性を図 6.13 に示す。正味の信号量はX線照射量 に伴って増加することが分かった。X線の強度は変えていないので信号量が増加す る原因としては、読み出し回路のGainの変動が考えられる。X線照射後に、Gainの 再測定をしていないので今後再測定する必要がある。

考察

ペデスタルの上昇の原因について考察する。X線照射によって絶縁酸化膜に電荷 が溜まるためSOIトランジスタの支持基板側の電位が変わり、back-gate bias効果と 同様な効果が生まれトランジスタの特性が変化するのではないかと考えられている。 トランジスタの特性によりGainが変わる可能性は考えられるが、SOIトランジスタ のX線照射時の特性変化は詳しく調べられていないため、この現象に対する具体的 な説明は未だなされていない。



図 6.11: ペデスタルの変化。照射量を増やすとペデスタルは高くなる。



図 6.12: X線の照射範囲。図中の緑の部分がX線が当たりAOUTの出力が上がっている。赤枠で囲んだ部分をX線照射領域としてペデスタルの計算に用いる。



図 6.13: ペデスタルを取得した直後の X 線照射中のデータを用い、信号量を放射線 量の関数としてプロットした。

6.6 *β*線源でのテスト

この節では 線源 (⁹⁰Sr)を用いたテストについて述べる。テストの目的は荷電粒 子の検出能力を確かめることである。⁹⁰Sr は出てくる電子のエネルギーが最大でも 2MeV と低く、有効なトリガーを作ることが出来ないため、ランダムトリガーで大量 にデータを収集した。ここでは *V_{back}=5V* でデータを収得した。

線源ありの時と、無しの時で反応がどう変わるかを調べる。図 6.14 がその結果で ある。図 6.14 は 6 万イベントに対して、各ピクセルの ADC 値をヒストグラムにした ものである。 線源無しの場合には出力の大きいピクセルはない。しかし、 線源 ありでデータを取った時には、ADC の値が大きいピクセルが明らかに増える。

以上から、電子に対しても検出器として作動していることが分かる。荷電粒子に 対する反応をより詳細に行うにはビームテストを行うことが必要である。



図 6.14: 各ピクセルの持つ信号量のヒストグラム。赤が線源あり、黒が線源無しの時のデータである。 線源有りの時、明らかに高い出力を持つピクセルが増える。

第7章 まとめと課題

本稿では、KEK 測定器開発室のSOI pixel グループが開発しているSOI 技術を用 いた一体型ピクセル検出器(SOIPIX)の試験用読み出しシステムの開発について、及 び電荷積分型ピクセル検出器(INTPIX2)の性能評価の結果について述べた。

SOIPIX は加速器実験やX 線検出用途等、応用範囲の広さから次世代の検出器とし て注目されているが、実用化に向けて解決すべき課題は数多くある。また、実用化に 向け様々な試験を行う必要があるが、試験用の読み出しシステムにも課題があり早期 解決が望まれていた。そこで、今年度新たに SOIPIX 試験用読み出しボード SEABAS を開発した。SEABAS は SiTCP と呼ばれるネットワークプロセッサを搭載しており、 PC と SEABAS が有ればデータ収集出来るというコンパクトな DAQ system を作る ことが出来る。また、SiTCP によりデータを高速転送出来るため、SOIPIX の性能 評価を行う際に読み出しシステムの能力がボトルネックとはならないなどの利点が ある。この SEABAS を用いた DAQ system 用に、本研究では SEABAS の FPGA を 用いて INTPIX2 を操作するファームウェア、及び SEABAS から送信されるデータ を受信するソフトウェアを開発した。以前までの DAQ system では行うことが出来 なかった読み出しパラメータをソフトウェアから変更出来るようになり、ファーム ウェアを書き換えることなく様々な試験を簡単に行える。また、ソフトウェアのイ ンターフェイスを GUI とすることにより、誰でも簡単に INTPIX2 の試験を行うこ とが出来る。

次に本研究では、開発した DAQ system を用いて INTPIX2 の性能試験を行った。 回路やセンサー部の特性を測定し、SOIPIX の大きな問題点となっている back-gate bias 効果がどの部分にどのように影響を与えているのかについて考察した。I/O 部 に関しては back-gate bias 効果の影響が現段階では無視出来ることが分かった。しか し、ピクセル内の回路や Column Buffer には影響を与え、読み出し特性を変えてし まう。具体的には出力電圧範囲が狭くなることや、Gain の減少等を確認した。

さらに、INTPIX2を実際に検出器として動作させ試験を行った。設計通り可視光 に対し反応があり、ピクセル間のクロストークがないことを確認した。また、赤外 線レーザーを用い10V程度までは計算通りに空乏層が広がっていることも確認出来 た。しかし、10V以上では期待した形で出力が得られなかったため、更なる試験が 必要である。放射線源に対する反応としては、X線と線に対する検出器の応答を 観測した。X線に対する試験において、INTPIX2は検出器として機能することが確 認された。しかし、X線照射後にペデスタルが上昇するという現象を発見した。ど のようなメカニズムでペデスタルが上昇しているのかはまだ理解できていないため、 これについても更なる試験が必要である。 線に対する応答も確認し、定性的なが らも荷電粒子を検出できることが分かった。ビームテスト等による、荷電粒子に対 する詳細な性能評価が今後の課題である。

第8章 結論

本研究において開発した INTPIX2 用の読み出しシステムは、期待通りに SOIPIX のテストを簡便にした。INTPIX2 の性能評価をスムーズに行うことが出来、積分型 ピクセル検出器について様々な特性を理解することが出来た。さらに、動作テストに おいてはクロストークが無かったことや X 線、線に感度が有ること等、ポジティ ブな発見があった。

しかし、back-gate bias 効果の影響は大きく、このままでは実用に耐えないため、 根本的な解決が必要不可欠である。また、back-gate bias 効果がどこにどう影響を与 えているのかを直接調べることが出来る様な仕組み(INTPIX2内の回路からのプロー ブポイント等)が現状ではないため、今後の SOIPIX の回路設計の際に出来る限り多 くのデバッグ用の仕組みを備えることが課題である。

付 録A DAQソフトウェアの使用 方法

付録として、開発した GUI ソフトウェアの使用方法を載せる。

SEABAS と PC を接続し、DAQ ソフトウェアを起動すると図 4.6 の画面が現れる。 以下で図 4.6 の各部の説明を行う (番号が図中の数字と対応)。

- 1. ヒストグラム表示部。図 4.6(4) の表示ヒストグラム選択部で選択したヒストグ ラムが表示される。
- 2. 内部トリガーにて DAQ を行う場合のトリガーレート、及び図 4.6(1) でヒスト グラムを表示する時間間隔を設定する。
- 3. DAQ ログ表示部。起動してから行ったデータ取得に関するログを表示する。また、ログを保存することも出来る。
- 4. ヒストグラム表示部に表示するヒストグラムの種類を選択する。また、軸を log 表示にしたり、軸の表示範囲を指定することが出来る。
- DAQのモードを変更する。データを取得する前にペデスタルを取るモード、ペ デスタルのみ、データのみをとるモード、特定のピクセルだけのデータを取る モードが存在する。
- 6. Integration Time, Scan Time, Reset Width, RSTV の値を設定する事が出来る。
- 7. DAQのスタート、ストップ、一時停止が出来る。
- 8. ペデスタル計算に使うイベント数、データを取得するイベント数を設定する。 また、取得したイベント数を表示する。
- 9. データのセーブを行うファイル名を指定する (データ保存を行わずに DAQ を 行うことも出来る)。
- 10. プログラムの終了、初期化を行うことが出来る。

付 録 B Scan Timeの最適化

BiasVの作るバイアス電圧 VL2 が低下すると、図 3.6 の N1 トランジスタに流れる 電流が減少し、Column Buffer の動作速度が遅くなる。その結果、Scan Time が十分 な長さでない場合、前のピクセルで読み出した情報が残り、各ピクセルの持つ正し い信号量を読み出すことが出来ない。しかし、Scan Time を長くしすぎた場合、1 回 の DAQ に掛かる時間が長くなることや、5.5 で述べた Capacitor Leak の影響をより 多く受けてしまう。その為、前に読み出したピクセルの影響を受けない十分な長さ を持ち、かつ最短の Scan Time で読み出すのが理想である。

そこで最適な Scan Time を決定する方法として、次の様な方法を考えた。直径 200 μ m 程度まで絞れる光を検出器に対して照射する(光を照射する場所は以降では 変更しない)。Scan Time が十分でない時、例えば光の当たっているピクセルを読み 出した後に、当たっていないピクセルを読み出すと、出力信号が高いレベルのまま になる。つまり、開発したファームウェアでは読み出しの方向が左のピクセルから 順に右に向かっているために、Scan Time が十分でない時は光が右寄りに当たって いるようにデータが出力される。しかし、光の当たっている位置は一定であるため、 Scan Time を十分に長くすると出力から得られる光の照射位置がある一定値になる であろうということを利用する。例として V_{back} = 5V で Scan Time が短い時 (200ns) の時と、長い時 (1600ns) の取得画像を図 B.1 に示す。図 B.1 の RA=62~66 までの各 Column の ADC の和を CA 方向に Projection した図を B.2 に示す。また、図 B.2 ADC 分布の平均値を各 Scan Time で Plot したものが図 B.3 である。

V_{back}を上げていくと読み出しに時間が掛かり、光を当てた位置が後に読み出すピクセルの方向 (今回は右方向) にずれる。つまり、正確なピクセルの出力を読み出す 為に必要な Scan Time が長くなっていることがわかる。今回のテストでは図 B.3 より十分だと思われる Scan Time として表 B.1 の値を使用した。

$V_{back}[V]$	Scan Time[μ s]	$V_{back}[V]$	Scan Time[μ s]
5	1	20	3
10	2	30	4
15	2	40	5

表 B.1: テストに用いた Scan Time



図 B.1: 光は (RA,CA)=(64,64) を中心に当てている。(a):ScanTime が 200ns の時の 取得画像。Scan Time が短いため絵が全体的に右にずれる。CA=64 を中心に光が当 たっていないようにデータが出力される。(b):ScanTime が 1600ns の時の取得画像。 Scan Time は十分で、CA=64 を中心に光が当たっているように出力される。



図 B.2: *V_{back}*=40Vの時、光を照射しながら Scan Time を変えていった時の ADCの 出力を CA 方向に Projection した図。Scan Time が短いと ADC 分布は CA が大きい 方向 (後に読み出す方向) にずれる。



図 B.3: 各 V_{back} で Scan Time を変えていき、光を当てた位置の Mean をプロットした。 V_{back} が高くなると、Scan Time を長くしないといけないということが分かる。

謝辞

本論文を書き終わるにあたり、まず始めに学部4年の時から素晴らしい研究環境 と高エネルギー物理に関する基本的な知識を与えて下さった山中卓教授に心から感 謝します。また、助教の原隆宣さん、特任研究員の内田桐日さんには研究に関する ことだけでなく様々な助言を頂きました。ありがとうございました。

SiTCPの開発者である東京大学の内田智久さんには、何も分からなかった私に基 板開発の基礎や、FPGA、HDLの基礎を指導して下さいました。ありがとうござい ました。KEKの新井康夫さん、坪山透さん、三好敏喜さん、東北大学後期博士課程 の堀井泰之さんには、忙しい中、試験に関して様々な助言を与えて下さいました。大 変感謝しております。KEKのスタッフの中でも特に池本由希子さんは、研究だけで なく、様々な相談相手になって下さいました。修士2年からはほとんどの期間を KEK で過ごしましたが、KEK での研究生活において欠かせない存在でした。本当にどう もありがとうございました。また、元東京工業大学の小野俊さんには、ソフトウェア に関する様々な知識を与えて頂きました。本研究で開発した DAQ ソフトウェアは小 野さんがいなければ完成していなかったと思います。本当にありがとうございまし た。その他、SOI ミーティングにおいて、いろいろな助言を下さった全ての SOIPIX コラボレーションの皆様に深くお礼申し上げます。

山中卓研究室博士課程在籍の David Heffernan さん、岩井瑛人さん、佐藤和史さん は物理や解析、コンピュータの話など、様々な知識を頂きました。感謝しておりま す。後輩の高木崇志君、中谷洋平君、柳田陽子さん、安達裕之君、内田潤君、杉山 泰之君には他愛も無い話や物理の話等に付き合ってもらい、大変楽しい時間を過ご せました。ありがとうございました。同期の石川迪雄君、吉元寛貴君、李宗垣君と は普段から互いの研究に関して議論したり、冗談等言い合ったりと非常に楽しい研 究生活を送ることができました。修士論文の作成時にも互いに励ましあって頑張る ことが出来ました。本当にありがとう。秘書の川口真希さんには、KEK 出張でほと んど大阪に居なかったため、事務関係でありとあらゆる様々なサポートをして頂き、 私は研究に専念することが出来ました。本当にどうもありがとうございました。

指導教官である花垣和則准教授には、SOIPIXの開発に携わる機会を与えて下さっ ただけでなく、本研究に関しても熱心な指導、御助力を頂きました。物理学や研究 に対する姿勢など研究者としての知識を与えて下さるだけでなく、日常生活の中で の様々な興味深い話をするなど、素晴らしい研究生活を送ることが出来ました。本 当にどうもありがとうございました。

参考文献

- [1] S.M.Sze, "Semiconductor Devices", John Wiley & Sons Inc(2001)
- [2] Jean-Pierre Colinge, "Silicon-On-Insulator Technology: Materials to VLSI", (Springer, ISBN 1-4020-7773-4)
- [3] Y. Arai, Y. Ikegami, Y. Unno, T. Tsuboyama, S. Terada, M. Hazumi, T. Kohriki, H. Ikeda, K. Hara, H. Miyake, H. Ishino, G. Varner, E. Martin, H. Tajima, M. Ohno, K. Fukuda, H. Komatsubara, J. Ida, H. Hayashi, Y. Kawai,"SOI Pixel Developments in a 0.15 µ m Technology ", (2007) IEEE Nuclear Science Symposium Conference Record, N20-2, pp. 1040-1046.
- [4] Tomohisa Uchida and Manobu Tnaka, "Development of TCP/IP processing hardware," IEEE Nuclear Science Symposium 2006 Conference Record, pp.1411-1414
- [5] Tomohisa Uchida, "Hardware-Based TCP Processor for Gigabit Ethernet," IEEE Transactions on Nuclear Science, 55, pp.1631-1637 2008
- [6] Shun Ono, private communication (2008)