

# ILCに向けたピクセルセンサー:SOFIST の動作試験

大阪大学理学研究科物理学専攻

山中卓研究室 修士2年

森哲平

平成29年2月3日

## 概 要

我々SOI グループでは、ILC に向けて SOI 技術を用いて最適化されたピクセル検出器である SOFIST の開発を行っている。本研究の目的はそのプロトタイプである SOFIST ver.1 の動作試験を行うことである。

SOFIST は  $20\ \mu\text{m}$  角のピクセルセンサーであるが、電荷情報を読み出し、その重心を取ることで ILC の要求を満たす ( $<3\ \mu\text{m}$ ) の実現を目指している。SOFIST ver.1 は電荷分割によってどこまで位置分解能を獲得できるかに焦点が置かれており、本研究の結果が今後の SOFIST の位置測定部分の開発へのフィードバックとなる。本研究では SOFIST ver.1 の S/N の測定、BPW の性能評価を行った。

# 目 次

|                                  |    |
|----------------------------------|----|
| 概要                               | 1  |
| 第 1 章 序論                         | 9  |
| 1.1 高エネルギー物理学実験における半導体検出器        | 9  |
| 1.1.1 半導体検出器の原理                  | 9  |
| 1.1.2 半導体検出器の種類                  | 11 |
| 1.2 ILC 実験                       | 12 |
| 1.2.1 ビーム構造                      | 13 |
| 1.2.2 VTX (Vertex Detector)      | 14 |
| 1.2.3 衝突点近傍に設置する半導体検出器への要求       | 15 |
| 1.3 SOI(Silicon On Insulator) 技術 | 16 |
| 1.3.1 高エネルギー物理における SOI 検出器       | 16 |
| 1.3.2 BPW (Buried P Well)        | 16 |
| 1.3.3 期待されるメリット                  | 17 |
| 1.4 SOFIST                       | 19 |
| 1.4.1 位置情報                       | 19 |
| 1.4.2 ピクセル占有率                    | 21 |
| 1.4.3 時間情報                       | 21 |
| 1.4.4 物質質量                       | 22 |

|              |                                   |           |
|--------------|-----------------------------------|-----------|
| 1.5          | 本研究の目的 . . . . .                  | 22        |
| 1.5.1        | 実施した試験 . . . . .                  | 22        |
| <b>第 2 章</b> | <b>SOFIST v.1</b>                 | <b>23</b> |
| 2.1          | 概要 . . . . .                      | 23        |
| 2.2          | 全体の設計 . . . . .                   | 23        |
| 2.2.1        | ピクセル部分 . . . . .                  | 24        |
| 2.2.2        | Column-ADC . . . . .              | 26        |
| 2.2.3        | アナログ部分 . . . . .                  | 27        |
| 2.2.4        | SOFIST v.1 に実装されている BPW . . . . . | 27        |
| 2.3          | 要求される性能 . . . . .                 | 29        |
| <b>第 3 章</b> | <b>データの読み出し</b>                   | <b>31</b> |
| 3.1          | SEABAS2 . . . . .                 | 31        |
| 3.2          | SOFIST サブボード . . . . .            | 32        |
| 3.3          | 読み出し手順 . . . . .                  | 33        |
| 3.3.1        | ファームウェア . . . . .                 | 33        |
| 3.3.2        | ソフトウェア . . . . .                  | 34        |
| <b>第 4 章</b> | <b>実施した性能評価試験</b>                 | <b>35</b> |
| 4.1          | テストパルスの入力による試験 . . . . .          | 35        |
| 4.1.1        | セットアップ . . . . .                  | 36        |
| 4.1.2        | 測定結果 . . . . .                    | 36        |
| 4.2          | 線源を用いた荷電粒子貫通事象による試験 . . . . .     | 45        |
| 4.2.1        | 測定結果 . . . . .                    | 45        |



|                                   |           |
|-----------------------------------|-----------|
| <b>第 5 章 結果</b>                   | <b>49</b> |
| 5.1 入力パルスに対する出力の線形性 . . . . .     | 49        |
| 5.2 BPW によるピクセルの性能比較 . . . . .    | 49        |
| 5.3 $\beta$ 線源に対する出力 . . . . .    | 50        |
| <b>第 6 章 考察と課題</b>                | <b>51</b> |
| 6.1 一時的なノイズの増加について . . . . .      | 51        |
| 6.2 パルス入力と放射線貫通時の電荷量の違い . . . . . | 51        |
| <b>第 7 章 結論</b>                   | <b>53</b> |

# 図 目 次

|     |   |    |
|-----|---|----|
| 1.1 | pn 接合ダイオードの図。中央の黄色部分が空乏層 . . . . .  | 10 |
| 1.2 | 逆バイアス電圧をかけることで空乏層が広がり、半導体検出器で荷<br>電粒子によって電子正孔対が発生する様子。バイアス電圧の電場<br>によって電荷が収集される。 . . . .  | 10 |
| 1.3 | ストリップ型とピクセル型検出器の概略図。電荷を収集する電極の<br>形状により、得られる位置情報が決定される。 . . . .   | 12 |
| 1.4 | ILC 加速器の全体図。リング状加速器で加速した後に、線形加速器<br>で加速する。加速した電子ビームから陽電子ビームを作り出し、そ<br>れぞれ加速して衝突させる。 . . . .   | 13 |
| 1.5 | ILC のビーム構造 . . . . .  | 14 |
| 1.6 | VTX の断面図 . . . . .  | 15 |
| 1.7 | SOI 技術を用いた半導体検出器の図 . . . . .  | 17 |
| 1.8 | SOFIST の設計図。 $20 \times 20 \mu m^2$ のピクセルが $3125 \times 500$ 個並び、<br>有感領域は $62.5 \times 10 mm^2$ となる。各列に ADC が用意され、並列<br>読み出しを行う。 . . . . | 19 |
| 1.9 | SOFIST の各ピクセルに搭載される回路のデザイン。入力したシグ<br>ナルを増幅するアンプが 1 つ、電荷量を保存するアナログ回路が 2<br>つ、時間情報を保持するタイムスタンプ回路が 2 つ用意される。 . .                             | 21 |

|     |   |    |
|-----|---|----|
| 2.1 | SOFIST v.1 の概略図 . . . . .   | 24 |
| 2.2 | SOFIST のレイアウト。有感領域は $1 \times 1 \text{ mm}^2$ 、全体のサイズは $2.9 \times 2.9 \text{ mm}^2$ . . . . .  | 25 |
| 2.3 | SOFIST v.1 のピクセルに搭載される回路。センサー、もしくはテストパルスによる入力シグナルを Pre-amp で増幅し、後段に用意された 2 つのバッファで保持する。各ピクセルのシグナルはトリガーの入力時に順次読み出される。 . . . .  | 26 |
| 2.4 | Synopsys 社の StarRC を用いて寄生容量を抽出し、1 ピクセル上の回路にテスト入力を行った際の入力出力比の SPICE シミュレーションの結果。左が High-gain 領域、右が Low-gain 領域の出力である。High-gain 領域の出力は 0.823 倍、Low-gain 領域は 0.403 倍となる見積もりである。 . . . .  | 27 |
| 2.5 | 有感領域のピクセルの配置。実際にはこれらに加えて、縦方向に 2 段の電気入力試験用の回路を実装したピクセルが用意されている。左端の $10 \times 50$ ピクセルの領域は 5 fF のフィードバックキャパシタを使用したアンプを実装しており、高いゲインを持つ。他の領域は 20 fF のキャパシタを実装しており低いゲインであるが、それぞれ異なる大きさの BPW を実装している。特に事前の研究で高い性能を示した、本命の $16 \times 16 \text{ } \mu\text{m}^2$ の BPW を搭載している領域は、詳しい試験のため多めのピクセルを確保している。 . . . . | 28 |
| 2.6 | ADC の動作手順。一定量の電流を流し続ける Ramp generator を使用し、電荷情報を時間情報に変換し、時間情報をデジタル情報として読み出す。 . . . .  | 29 |

- 2.7 左が  $14 \times 14 \mu m^2$ 、右が  $16 \times 16 \mu m^2$  の BPW のレイアウト。赤線の部分が BPW の端である。  $16 \mu m$  角ではほぼすべてのトランジスタが覆われているが、  $14 \mu m$  角では一部のトランジスタがはみ出している。 . . . . . 30
- 3.1 SEABAS2 と SOFIST サブボードの写真。左がサブボード、右が SEABAS2。左のサブボード上に SOFIST チップがマウントされている。ビームテストを見据え、金属板上にアライメントされている。 32
- 4.1 1 ピクセルのアンプのアナログ出力。それぞれの波形は、(緑) チップからのアナログ出力、(青) リセットパルス、(黄) テストパルス、(赤) トリガー信号を表す。リセットの開放後に電位が下がり始め、オフセット値に落ち着いたところでテストパルスを入力しそのタイミングで出力電位が下がる様子が確認できる。 . . . . . 37
- 4.2 テスト入力電圧に対する出力値。一つの点が一つの 1 ピクセルごとのペDESTALを引いた後の ADC 値に相当する。High-gain 領域、Low-gain 領域をそれぞれ赤と黒の点で分けて示している。左が Chip 3、右が Chip 4 の図。 . . . . . 38
- 4.3 1 ピクセルのペDESTALのヒストグラム。色は BPW サイズの異なる領域を表し、(緑)  $12 \times 12 \mu m^2$ 、(赤)  $14 \times 14 \mu m^2$ 、(青)  $16 \times 16 \mu m^2$  を表す。センサーバイアス電圧は 140 V。 . . . . . 39
- 4.4 各ピクセルのペDESTAL値を BPW サイズの異なる領域ごとに色分けした平均値分布。(緑)  $12 \times 12 \mu m^2$ 、(赤)  $14 \times 14 \mu m^2$ 、(青)  $16 \times 16 \mu m^2$  を表す。画像はバイアス電圧を 140 V 印加時のものである。 39

|      |   |    |
|------|---|----|
| 4.5  | 全ピクセルについての図 4.3 の標準偏差分布。色は BPW サイズの異なる領域であり、(緑) $12 \times 12 \mu m^2$ 、(赤) $14 \times 14 \mu m^2$ 、(青) $16 \times 16 \mu m^2$ を表す。センサーバイアス電圧は 140 V のときのデータ。 .   | 40 |
| 4.6  | ペDESTALの平均値のセンサーバイアス電圧依存性。(緑) $12 \times 12 \mu m^2$ 、(赤) $14 \times 14 \mu m^2$ 、(青) $16 \times 16 \mu m^2$ を表す。センサーバイアス電圧 140V。 . . . . .   | 40 |
| 4.7  | ペDESTALの標準偏差のセンサーバイアス電圧依存性。(緑) $12 \times 12 \mu m^2$ 、(赤) $14 \times 14 \mu m^2$ 、(青) $16 \times 16 \mu m^2$ を表す。センサー場電圧は 140 V としている。 . . . . .   | 41 |
| 4.8  | 1 ピクセルのシグナル値のヒストグラム。色は BPW サイズの異なる領域を表し、(緑) $12 \times 12 \mu m^2$ 、(赤) $14 \times 14 \mu m^2$ 、(青) $16 \times 16 \mu m^2$ を表す。センサーバイアス電圧は 140 V。 . . . . .   | 42 |
| 4.9  | 全ピクセルについての 1 MIP 相当の電荷量に対する出力のヒストグラム。色は BPW サイズの異なる領域を表し、(緑) $12 \times 12 \mu m^2$ 、(赤) $14 \times 14 \mu m^2$ 、(青) $16 \times 16 \mu m^2$ を表す。画像はバイアス電圧 140 V 印加時のものである。左が Chip 3、右が Chip 4 の図。 . . . | 43 |
| 4.10 | テストパルスで 1 MIP 相当の電荷量を入れた出力のセンサーの HV 依存性。色は BPW の違うピクセルからの出力を示しており、(緑) $12 \times 12 \mu m^2$ 、(赤) $14 \times 14 \mu m^2$ 、(青) $16 \times 16 \mu m^2$ を表す。左が Chip 3、右が Chip 4 の図。 . . . . .              | 43 |
| 4.11 | 1 MIP 相当の電荷入力に対する S/N の HV 依存性。色は BPW の違うピクセルからの出力を示しており、(緑) $12 \times 12 \mu m^2$ 、(赤) $14 \times 14 \mu m^2$ 、(青) $16 \times 16 \mu m^2$ を表す。左が Chip 3、右が Chip 4 の図。                                 | 44 |

|      |   |    |
|------|---|----|
| 4.12 | SOFIST の裏面の写真。シンチレータを固定し、荷電粒子貫通時の<br>イベントを収集する。 . . . . .   | 46 |
| 4.13 | 1 イベントの 픽セルごとのシグナルの 2D プロット。Z 軸は S/N .  | 47 |
| 4.14 | センサーバイアス電圧 140 V での $\beta$ 線貫通事象によって得られたシ<br>グナルの ADC 値の総和。MIP ピークを観測することができる。 . .                         | 48 |
| 4.15 | MIP ピークの値のセンサーバイアス依存性。 . . . . .  | 48 |
| 5.1  | 図 4.15 の横軸を電圧の二乗根としたもの。低電圧領域において Fit<br>した。70 から 80V の位置で外れていることが確認できる。左が Chip<br>3、右が Chip 4 の図。 . . . . . | 50 |

# 第1章 序論

SOFIST(SOI sensor for **F**ine measurement of **S**pace and **T**ime) は ILC 実験での使用を目的として開発している SOI 技術を用いたシリコンピクセル半導体検出器である。この章ではシリコン半導体検出器、ILC 実験、SOI 技術、SOFIST の設計概念について説明し、本研究の目的について示す。

## 1.1 高エネルギー物理学実験における半導体検出器

高エネルギー物理学実験において、半導体検出器は主に位置測定のために用いられる。例えば粒子衝突点近傍に配置され、衝突により生成される荷電粒子の飛跡を測定する。そのため高い位置測定精度と散乱を抑制するために低い物質質量が要求される。更なる性能向上のため、世界中で様々な研究開発が進められている。

### 1.1.1 半導体検出器の原理

半導体検出器は P 型半導体と N 型半導体を接合したダイオード構造になっている。接合時、両者のキャリアの違いから、P 型から正孔が、N 型から電子が拡散する。これによって接合面にはキャリアの存在しない領域が発生し、これを空乏層と呼ぶ。

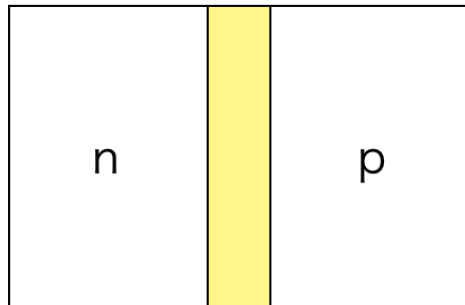


図 1.1: pn 接合ダイオードの図。中央の黄色部分が空乏層

半導体に逆バイアス電圧をかけることで電子が移動し、空乏層がより広がる。この空乏層に荷電粒子が通過すると、エネルギーを落とした分の電子正孔対を生じる。

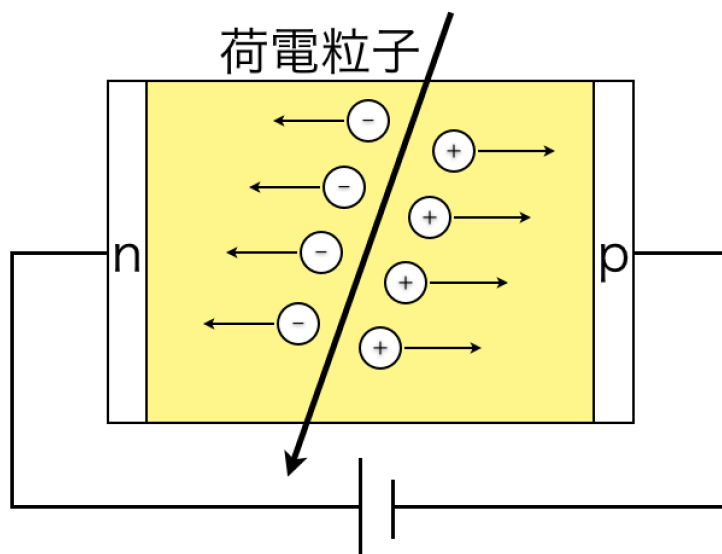


図 1.2: 逆バイアス電圧をかけることで空乏層が広がり、半導体検出器で荷電粒子によって電子正孔対が発生する様子。バイアス電圧の電場によって電荷が収集される。

半導体に Si を用いる場合一对の電子正孔対の生成に平均 3.6 eV 必要で、一般に



広く使われる  $300\ \mu\text{m}$  厚の検出器の貫通事象に対して約 22000 個の電子正孔対が生成される。こうして生まれた電子正孔対は逆バイアス電圧による電場でそれぞれ両端に収集され、この電荷量をもって粒子の通過を測定する。

### 1.1.2 半導体検出器の種類

ここでは半導体検出器をセンサー部の形状、読み出し回路の位置、接続方法によって大別する。

#### ストリップ型、ピクセル型

位置情報は、p 電極 (もしくは n 電極) を分割し、信号の得られた電極の位置として得られる。分割方法には主に図 1.3 に示す 2 種類が用いられる。

ストリップ型では電極を棒状に分割して一次元の位置情報を獲得し、二次元的に見たい場合には同じセンサーを直行させて並べ、X, Y 方向の位置情報を獲得する。ピクセル型では電極をピクセル状に分割したものを並べて、どのピクセルが反応したかによって通過位置を測定できる。

#### オンセンサー型、オフセンサー型

センサーによって生じた電子 (正孔) は読み出しのための電子回路、ASIC (Application Specific Integrated Circuit) を通じて処理される。この ASIC をセンサー上部に置くものをオンセンサー型、センサーと離れた場所に置くものをオフセンサー型と呼ぶ。

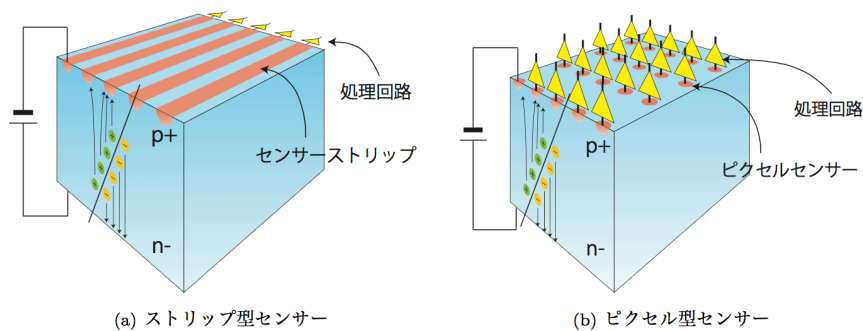


図 1.3: ストリップ型とピクセル型検出器の概略図。電荷を収集する電極の形状により、得られる位置情報が決定される。

## ハイブリッド型、モノリシック型

更にオンセンサー型の検出器では、ASIC とセンサー部の接続方法にはハイブリッド型とモノリシック型の二種類ある。ハイブリッド型では、センサー部とエレクトロニクス部の半導体をそれぞれ制作し、金属バンプによって接合する。モノリシック型ではセンサー部とエレクトロニクス部を一つの基板上で制作する。今回使用し、後述する SOI センサーはモノリシック型に該当する。

## 1.2 ILC 実験

ILC (International Linear Collider) は、岩手県に建設が予定されている線形加速器である (図 1.4)。全長約 30 km に及ぶ直線加速器を用いて、電子と陽電子を衝突させる。重心系エネルギーは 500 GeV の後に 1 TeV へアップグレードを想定している。電子陽電子の高エネルギー衝突実験では LHC などの陽子衝突に比べて背景事象を大幅に削減でき、2012 年に LHC で見つかった Higgs 粒子の精密測定や、超対称性粒子などの新粒子の測定を目的としている。

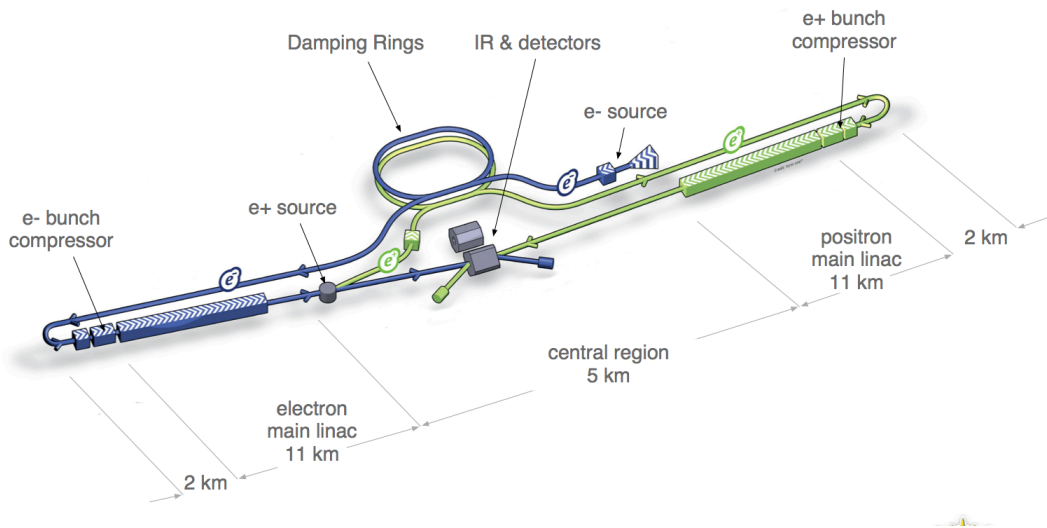


図 1.4: ILC 加速器の全体図。リング状加速器で加速した後に、線形加速器で加速する。加速した電子ビームから陽電子ビームを作り出し、それぞれ加速して衝突させる。

### 1.2.1 ビーム構造

ILC では図 1.5 に示すバンチ構造で電子、陽電子を運び、衝突を起こす。1 ms の間にバンチを集約し、199 ms のインターバルをはさんだ後に再度同じバンチ間隔で衝突させる。このとき 1 ms の間に集約されたバンチの集まりはバンチトレインと呼ばれ、重心系エネルギー 500 GeV までのビームランでは 1 つのトレインに 1312 バンチを集約させる予定である。ILC の検出器の読み出しは、衝突ごとのデータを逐次取得する他に、1 ms のビームトレイン中のデータをバッファに溜め込み、ビームの来ない 199 ms で読み出すことも考えられている。

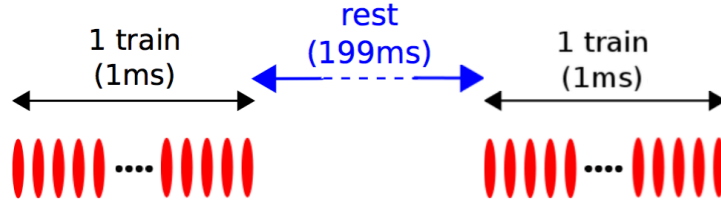


図 1.5: ILC のビーム構造

### 1.2.2 VTX (Vertex Detector)

ここでは ILC 実験で用いる崩壊点検出器、VTX (Vertex Detector) について説明する。VTX は図 1.6 に示すように最内層の検出器で、衝突点から 1.4 cm に設置され、高い位置測定精度が求められる。ILC では Higgs 粒子と各フェルミオンの結合定数の精密測定のため、崩壊する粒子の同定 (フレーバータグ) が非常に重要である。フレーバータグは例えば b クォークの場合、D 中間子が長い寿命を持つために崩壊粒子の飛跡が崩壊点からずれて観測される。崩壊点の測定は、生じたジェットの飛跡をたどることで行われ、飛跡の再構成の精度を表す Impact Parameter 分解能に依存する。ILC では、式 1.1 の Impact Parameter 分解能が要求されている。

$$\sigma < 5 \oplus \frac{10}{p \sin^{3/2} \theta} [\mu m] \quad (1.1)$$

第二項は多重散乱による分解能の誤差を表す。p は運動量、 $\theta$  は粒子の進行方向と磁場方向の角度である。この条件を満たすために、最内層のピクセル検出器には、 $3 \mu m$  以下の分解能、また多重散乱による誤差を抑制するため、1 層あたりの物質量を 0.15 %  $X_0$  以下 (センサー厚  $100 \mu m / layer$  以下) にすることが要求される。

またこの距離ではバックグラウンドも多く拾ってしまうためピクセル占有率が上昇し、シグナルとバックグラウンドの識別が難しくなる。位置分解能の向上、ピ

クセル占有率の抑制に対して多くのグループは、読み出しの間隔を狭めること、ピクセルサイズを小さくすることなどで解決を図っている。

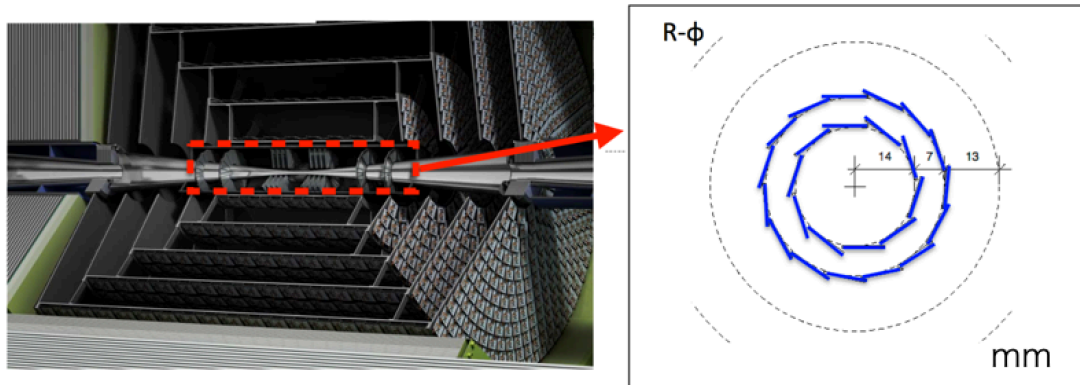


図 1.6: VTX の断面図

### 1.2.3 衝突点近傍に設置する半導体検出器への要求

目指す物理測定の実験要求から、衝突点近傍の検出器への具体的な要求は以下の通りとなる。

- 位置分解能  $3\ \mu\text{m}$  以下
- 厚み  $100\ \mu\text{m}/\text{layer}$
- ピクセル占有率 3 % 以下

## 1.3 SOI(Silicon On Insulator) 技術

SOI とは Silicon On Insulator 技術の略称であり、半導体製造プロセスの一つである。シリコン基板上に絶縁膜層を形成し、その上にトランジスタを配置する。これによって回路上の寄生容量を削減でき、高速化と省電力化を実現できる。従来の Bulk CMOS では P(N) 型トランジスタを作る領域に基板上に N(P) 型ウェル層と呼ばれる不純物層を形成し、電氣的に分離する。それに対し SOI CMOS では酸化膜層によって分離されるため、トランジスタの距離を詰めることができ、回路の密度が高まる。その高速性から、PC やゲーム機などのプロセッサに採用されている。

### 1.3.1 高エネルギー物理における SOI 検出器

高エネルギー物理学実験における SOI 検出器は図 1.7 のようになる。

SOI 検出器は下部の支持基盤をセンサーとして用いて、上部の回路部分を読み出し回路として用いる。これによってセンサー、読み出し回路が一体となったモノリシック検出器となる。

### 1.3.2 BPW (Buried P Well)

SOI センサーでは、センサー部と回路部を分離するために酸化絶縁膜が存在する。しかし過去の実験から、センサー部にバイアス電圧をかけることで生じた電場が、回路部のトランジスタに影響をおよぼすことが明らかになっている。これを Back Gate 効果と呼ぶ。KEK SOI グループでは電荷収集を担う P 型半導体の

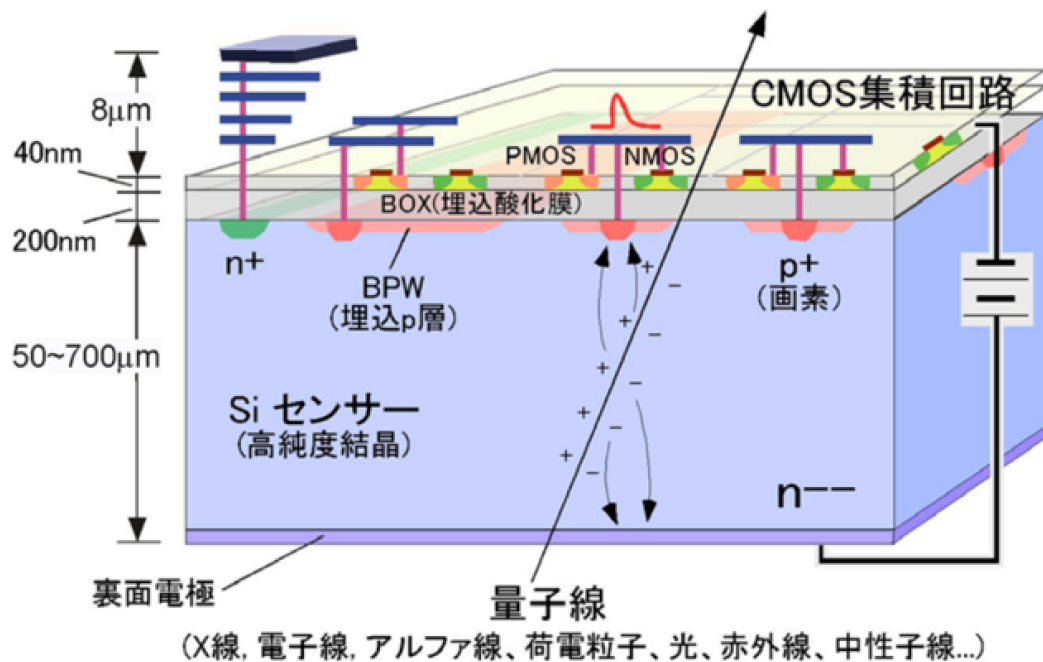


図 1.7: SOI 技術を用いた半導体検出器の図

周りに濃度の薄い P 型半導体の層を埋め込むことで電位を固定する BPW (Buried P Well) などを採用することで、バイアス電圧による影響を抑制している。しかし BPW の実装によって、寄生容量が発生するため、最適のサイズを試験する必要がある。また BPW の実装により、わずかに電荷分割の精度が落ちることが分かっている。

### 1.3.3 期待されるメリット

高エネルギー物理学実験の検出器に SOI 技術を用いることで、以下のメリットが期待される。

## 物質量の低減

従来のハイブリッド型センサーの場合、センサー層と回路層を別途制作し、金属ボンディングにより接続するため、物質量が大きくなる。SOI 技術を用いた半導体検出器の利点として、金属ビアを使用したモノリシック型検出器であることが挙げられる。大幅に物質量を削減できるため、荷電粒子の通過時の多重散乱を抑制することができる。

## ボンディングによる接合が不要

ワイヤボンディングでは、回路層とセンサー層がワイヤーによって接合されるため、検出器外部からの物理的な接触が生じる。このとき断線やショートが生じる。また金属ボンディングの場合、Dead Channel の原因となる。ボンディングで生じる寄生容量を抑えられるため、ノイズの削減が見込める。読み出し Channel の多い高エネルギー物理学実験では、ボンディングの要らないモノリシック検出器は大きな強みとなる。

## 回路の高速性、省電力性

通常の SOI 集積回路と同様に回路の高速性、省電力性を見込める。結果として、熱の発生も抑えられるので温度変化による回路の性質変化も抑制できる。

## 高集積化

酸化膜層によって素子同士が絶縁されているため、従来の Bulk CMOS に比べて回路の密度が高められる。それによってピクセルの大きさを小さくしたり、同じ大きさで別の回路を搭載することができ、高性能化、高分解能化が見込める。



## 1.4 SOFIST

我々SOI大阪グループでは、ILCのバーテックス検出器への要求を満たすためにSOI技術を用いたピクセル検出器SOFISTの開発を行っている。SOFISTでは $20 \times 20 \mu\text{m}^2$ のピクセルを $3125 \times 500$ 個配置し、それぞれに電荷量情報、時間情報を保持する設計を予定している。

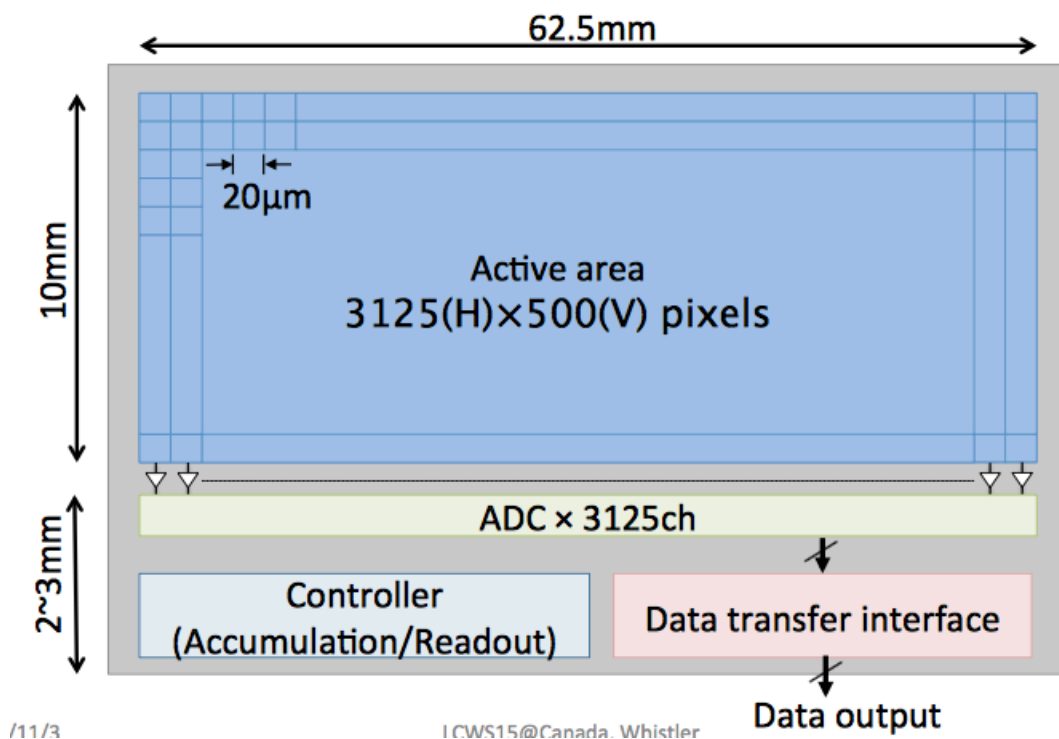


図 1.8: SOFIST の設計図。  $20 \times 20 \mu\text{m}^2$  のピクセルが  $3125 \times 500$  個並び、有感領域は  $62.5 \times 10 \text{mm}^2$  となる。各列に ADC が用意され、並列読み出しを行う。

### 1.4.1 位置情報

ピクセル検出器の位置情報の読み出しには大きく分けて 2 種類ある。

## バイナリ読み出し

生じた電荷に対して閾値を設け、各 Channel でそれを超えるか否かによってヒット情報とする。ピクセル間の間隔を  $d$  としたとき、位置分解能  $\delta x$  は式 1.3 となる。

$$\langle \delta x^2 \rangle = \frac{\int_{-d/2}^{d/2} x^2 dx}{\int_{-d/2}^{d/2} dx} \quad (1.2)$$

$$\delta x = \frac{d}{\sqrt{12}} \quad (1.3)$$

## 電荷量読み出し

ピクセルで毎に得られる電荷量を ADC を用いて読み出す。ピクセルごとの電荷量の重心を取ることで、バイナリ読み出し以上の位置分解能を持つ。2つのピクセルによる電荷分割の場合、ピクセル間の間隔を  $d$ 、各ピクセルでシェアされている総電荷量を  $S$ 、ノイズを  $N$  とすると、位置分解能は、

$$\delta x = \frac{d}{S/N} \quad (1.4)$$

の式で与えられる。

SOFIST ではこちらの方式を採用しており、これによってピクセルサイズが  $20 \mu m$  ながらも  $3 \mu m$  以下の位置分解能が得られるようになる設計である。

## Column-ADC

SOFIST には一列ごとに、計 3125 ch の 8-bits ADC が用意されている。ピクセルで保持した電荷をインターバル中に読み出しを行う。

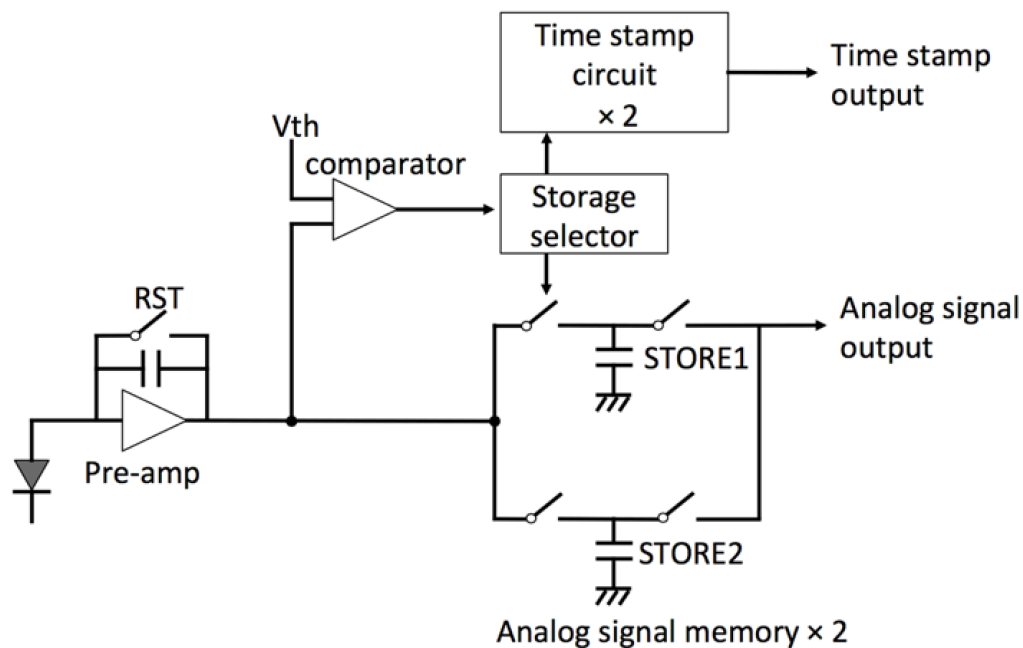


図 1.9: SOFIST の各ピクセルに搭載される回路のデザイン。入力したシグナルを増幅するアンプが1つ、電荷量を保存するアナログ回路が2つ、時間情報を保持するタイムスタンプ回路が2つ用意される。

### 1.4.2 ピクセル占有率

20  $\mu\text{m}$  角のピクセルでは、衝突点に近い ILC のバーテックス検出器は1トレインあたりのピクセル占有率が3 %を越えてしまう。そのため多段のアナログバッファ（キャパシタ）を用意し、ヒットがあつたときに別のバッファに切り替えることで、ピクセル占有率を抑える。搭載するバッファの数は2~4を予定している。

### 1.4.3 時間情報

上述のバッファで保存された電荷情報がバンチトレイン中、どのビームバンチで起こったか識別するため、それぞれに時間情報を付与する。

#### 1.4.4 物質質量

SOFIST では SOI 技術を用いたモノリシック型検出器となるため、金属バンプによる接合を行う必要がない。そのため物質質量を大幅に低減することができる。SOFIST の厚みは  $50\text{ }\mu\text{m/layer}$  を想定している。

### 1.5 本研究の目的

大阪大学 SOI グループでは、ILC 実験の崩壊点検出器での使用を目指した SOI 技術を用いたシリコンピクセル検出器、SOFIST の開発を行っている。現在プロトタイプの第一号として、位置情報の取得に必要な機能のみを実装した SOFIST version 1(以降、SOFIST v.1)を作成している。この SOFIST v.1 の動作確認を行い、性能評価をすることが本研究の目的である。

#### 1.5.1 実施した試験

SOFIST v.1 回路上に用意された試験用テストパルス入力によるテストと、 $^{90}\text{Sr}$  線源を用いたノイズレベルの測定、また線源を用いた放射線貫通時の総電荷量を測定することで、空乏層の広がりの確認を行った。

## 第2章 SOFIST v.1

この項目ではプロトタイプ第一号である SOFIST v.1 について説明する。

### 2.1 概要

SOFIST には各ピクセルごとに読み出し回路を搭載し、ピクセルごとの電荷情報によって位置情報と時間情報を測定できるようにすることが基本設定となっている。SOFIST v.1 はこのうち電荷情報を取得する回路のみを搭載したのとなっており、十分な位置分解能が得られるかに着目している。

### 2.2 全体の設計

SOFIST v.1 はセンサー厚  $500\ \mu\text{m}$  厚の FzN ウェハで製作された。図 2.1 に示すように  $20 \times 20\ \mu\text{m}^2$  のピクセルが  $50 \times 50$  並んでおり、有感領域は  $1 \times 1\ \text{mm}^2$  となっている。

このピクセルの一つ一つに電荷情報を記憶できるようになっている（回路などの詳細については後述）。列ごとに 8 bits Column-ADC が計 50 個用意されており、これにより高速の読み出しが可能となる。全体のサイズは  $2.9 \times 2.9\ \text{mm}^2$ 、有感領域は  $1 \times 1\ \text{mm}^2$  である (図 2.2)。動作試験のため各ピクセルにはテストパルス入力が用意されている。またテスト用回路としてアナログ出力回路も搭載しており、

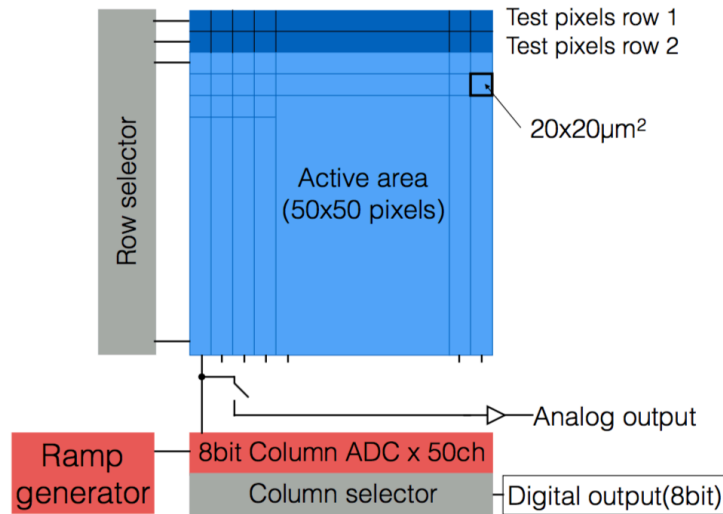


図 2.1: SOFIST v.1 の概略図

出力信号を直接オシロスコープや外部 ADC で測定することができるよう設計されている。

### 2.2.1 ピクセル部分

それぞれのピクセルに搭載されている回路を図 2.3 に示す。

センサーからの出力を Pre-amp で増幅し、後段のバッファで保持する。読み出しの際には後段のスイッチを切り替えることでそれぞれを読み出す。また、バッファにためられる電荷は積分型なので、リセットを行う必要がある。図 2.3 の CF RST のスイッチを切り替えることで周期的に Pre-amp、バッファのリセットを行うことができる。Pre-amp 上流には 10fF のコンデンサを通したテストパルス入力ラインが用意されており、電圧を  $V$  を加えることで、帰還コンデンサ容量  $C_T$  に対し、 $Q=C_T V$  の電荷入力が可能になっている。Pre-amp には、センサー厚  $50\ \mu m$  を想定した 5 fF のコンデンサを搭載した Pre-amp と、 $500\ \mu m$  を想定した 20 fF の

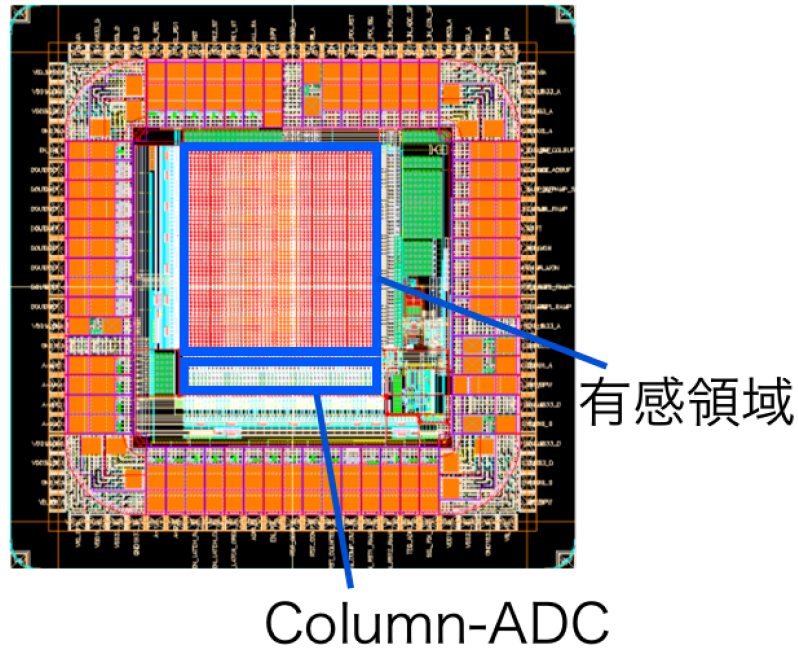


図 2.2: SOFIST のレイアウト。有感領域は  $1 \times 1 \text{ mm}^2$ 、全体のサイズは  $2.9 \times 2.9 \text{ mm}^2$

コンデンサを搭載した Pre-amp が用意されている。本チップは  $500 \text{ }\mu\text{m}$  であるが、裏面を削ることで薄くすることが可能なので、センサー厚を  $50 \text{ }\mu\text{m}$  とすることも想定し、ゲインの異なるアンプを用意した。後者には 3 種類の BPW のサイズがあり (後述)、それぞれの性能を比較する。

アンプのゲインは帰還コンデンサ容量を  $C_f$  とすると、単純計算では  $V = \frac{Q}{C_f}$  となるため、High-gain 領域と Low-gain 領域の比は 4 倍になる。しかし実際には DMOS キャパシタの容量変動や回路内の寄生容量が存在するため、この値とは異なる。シミュレーションによる見積もりでは、High-gain と Low-gain の比は 2.0 倍となっている (図 2.4)。

また、通常ピクセルの他に、テスト用途として Pre-amp を介しない電気入力回路用のピクセルが 2 段用意されている。このピクセルを使うことで Pre-amp 以外

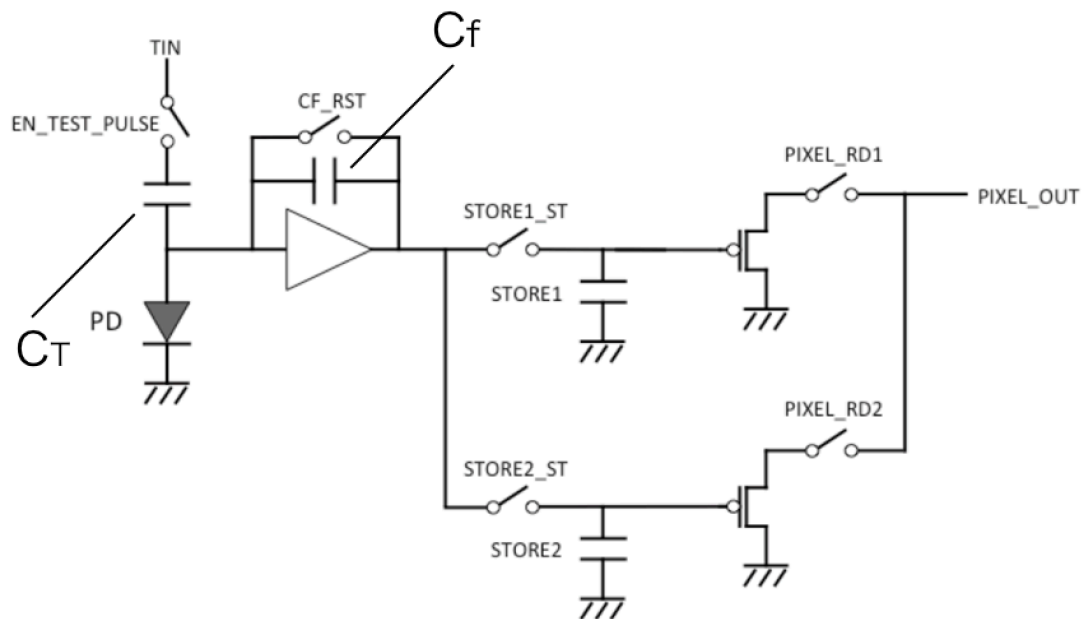


図 2.3: SOFIST v.1 のピクセルに搭載される回路。センサー、もしくはテストパルスによる入力信号を Pre-amp で増幅し、後段に用意された 2 つのバッファで保持する。各ピクセルのシグナルはトリガーの入力時に順次読み出される。

の回路の動作を入力電位と比較することで確認できる。これらのピクセルの配置は図 2.5 の通りとなる。

### 2.2.2 Column-ADC

Column-ADC の設計概念図を図 2.6 に示す。ADC 内の Comparator にピクセルからのシグナルを保持すると、Ramp generator が動作する。Ramp generator の動作と同時にカウンタがスタートし、Ramp 出力とシグナルが一致すると Comparator が動作し、カウンタの値が出力される。



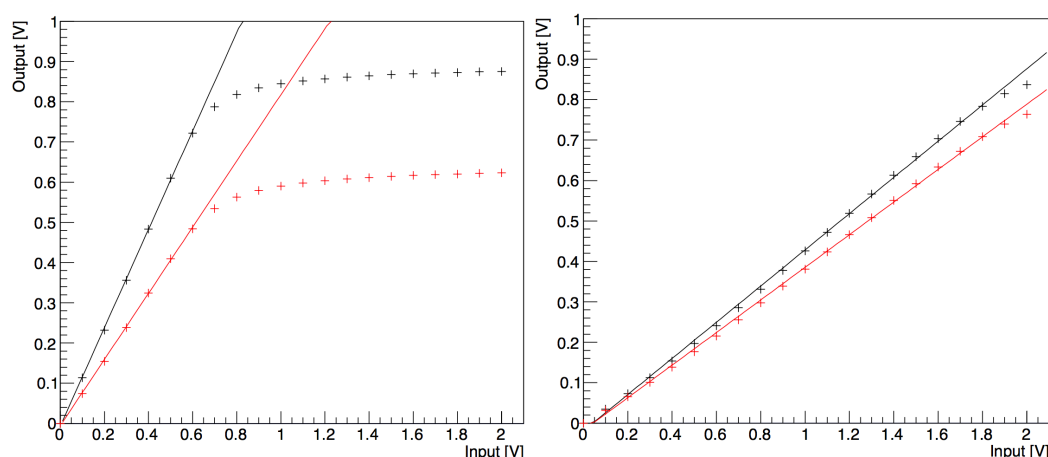


図 2.4: Synopsys 社の StarRC を用いて寄生容量を抽出し、1 ピクセル上の回路にテスト入力を行った際の入力出力比の SPICE シミュレーションの結果。左が High-gain 領域、右が Low-gain 領域の出力である。High-gain 領域の出力は 0.823 倍、Low-gain 領域は 0.403 倍となる見積もりである。

### 2.2.3 アナログ部分

出力信号は Column-ADC での読み出しの他に、バッファアンプを介して直接外部に取り出すことができ、オシロスコープでの動作確認が可能である。また、後述する読み出しボードの SEABAS2 にこのラインが接続されているので、SEABAS2 上に搭載された 12 bits ADC での読み出しが可能となっている。

### 2.2.4 SOFIST v.1 に実装されている BPW

上述のピクセル上の回路と、センサー層の電位を完全に分離するために BPW 層が埋め込まれている。SOFIST v.1 では  $12 \times 12 \mu m^2$ 、 $14 \times 14 \mu m^2$ 、 $16 \times 16 \mu m^2$  の面積の異なる BPW を用意し、それぞれ回路をカバーできる領域が違う。回路が BPW のカバー領域がはみ出した場合、そこはセンサー層の電位の影響を受けるので、クロストーク、電荷収集の違いが生まれる可能性がある。回避するためには単

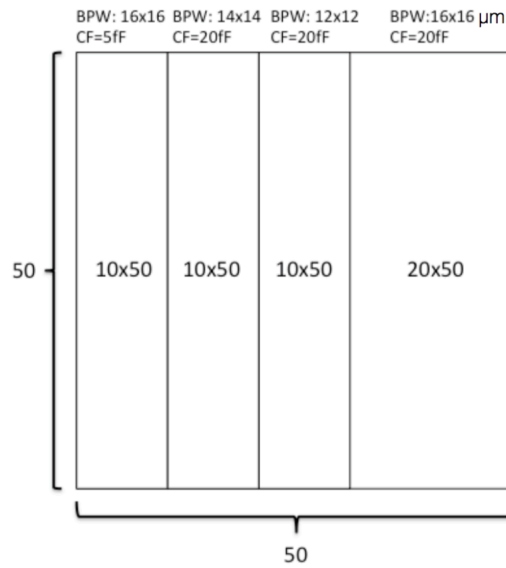


図 2.5: 有感領域のピクセルの配置。実際にはこれらに加えて、縦方向に 2 段の電気入力試験用の回路を実装したピクセルが用意されている。左端の  $10 \times 50$  ピクセルの領域は 5 fF のフィードバックキャパシタを使用したアンプを実装しており、高いゲインを持つ。他の領域は 20 fF のキャパシタを実装しており低いゲインであるが、それぞれ異なる大きさの BPW を実装している。特に事前の研究で高い性能を示した、本命の  $16 \times 16 \mu\text{m}^2$  の BPW を搭載している領域は、詳しい試験のため多めのピクセルを確保している。

純に BPW のサイズを大きくすればいいが、伴って寄生容量が大きくなるためノイズが増える。これらの点について、SOFIST v.1 では様々な面積の BPW を用意し、評価する (図 2.7)。

また過去の研究から、BPW は電子分割に影響を及ぼすことが分かっている。SOFIST v.1 に実装した BPW についての TCAD シミュレーションによると、これらの BPW の面積にはほとんど性能の違いは生まれず、BPW の未実装との間に少し違いが見られている ([2])。

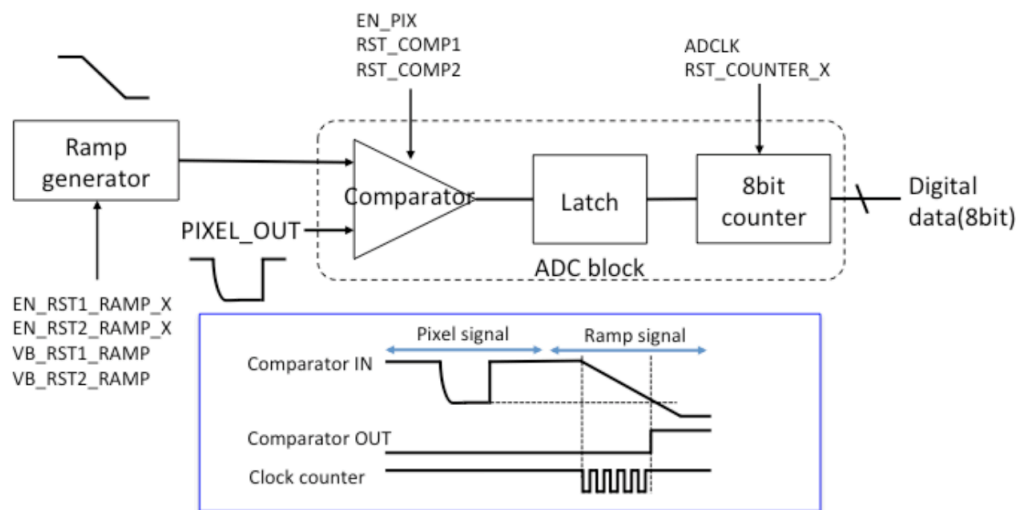


図 2.6: ADC の動作手順。一定量の電流を流し続ける Ramp generator を使用し、電荷情報を時間情報に変換し、時間情報をデジタル情報として読み出す。

## 2.3 要求される性能

2つのピクセルによる電荷分割による位置分解能は式 1.4 で与えられる。この精度は電荷を共有するピクセル数が多くなると悪くなり、仮に 10 ピクセルに渡って電荷を共有した場合、 $\delta x < 3 \mu m$  を満たす S/N はおよそ 17 となる。SOFIST v.1 がどの程度の S/N であるか、それが要求を満たすか評価することが本試験の目的の 1 つである。

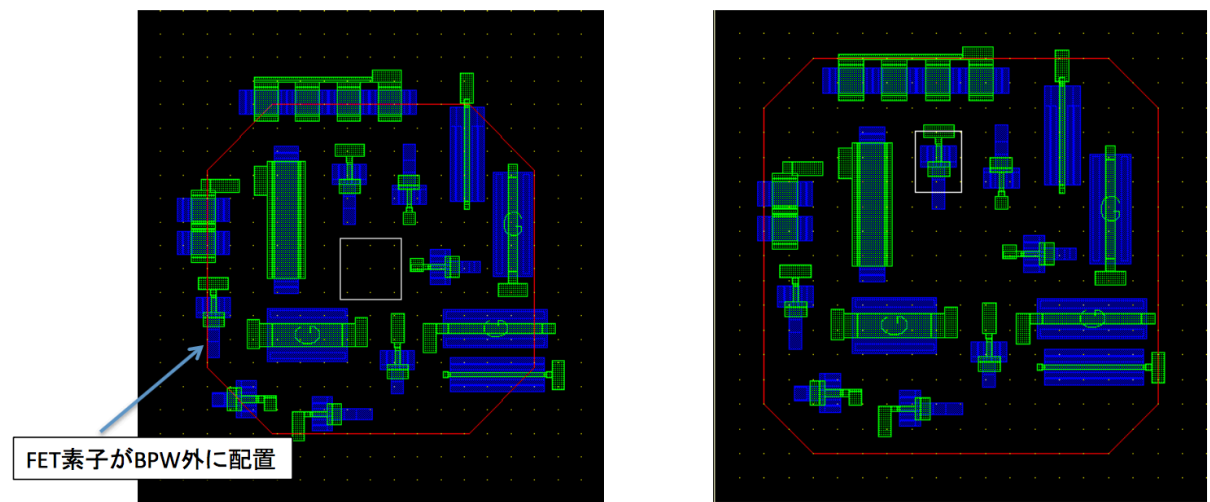


図 2.7: 左が  $14 \times 14 \mu m^2$ 、右が  $16 \times 16 \mu m^2$  の BPW のレイアウト。赤線の部分が BPW の端である。16  $\mu m$  角ではほぼすべてのトランジスタが覆われているが、14  $\mu m$  角では一部のトランジスタがはみ出している。

## 第3章 データの読み出し

SOFIST v.1 の読み出しにはチップ上の各トランジスタを制御することが必要となる、今回のテストでは KEK で開発された汎用読み出しボードの SEABAS2 を用いる。図 3.1 にセットアップの写真を示す。SOFIST がセラミックパッケージにマウントされており、これを SOFIST サブボードに搭載されたソケットにはめ込む。SOFIST サブボードは SEABAS2 に接続し、PC を通じて制御する。この項目では、SEABAS2、SOFIST サブボードと読み出しの手順について説明する。

### 3.1 SEABAS2

KEK の汎用読み出しボードである SEABAS2 を使って読み出しを行う。SEABAS2 に搭載された FPGA を試験環境に合わせて独自にファームウェアの開発を行い、後段の回路を制御することが可能である。通信のために SiTCP というプロセッサが搭載されており、イーサネットを通じて UDP、TCP 通信を行う。この他、コネクタや NIM I/O、ADC が接続されており、様々な読み出し環境に対応できる。ADC は Analog Devices 社の AD9222 という、12-bits の ADC が 16 ch 搭載されている。本試験ではこの ADC を用いて試験を行う。これは On-Chip の 8-bits ADC ではノイズが 1 つの bin に埋まってしまい、正しく測定できないためである。

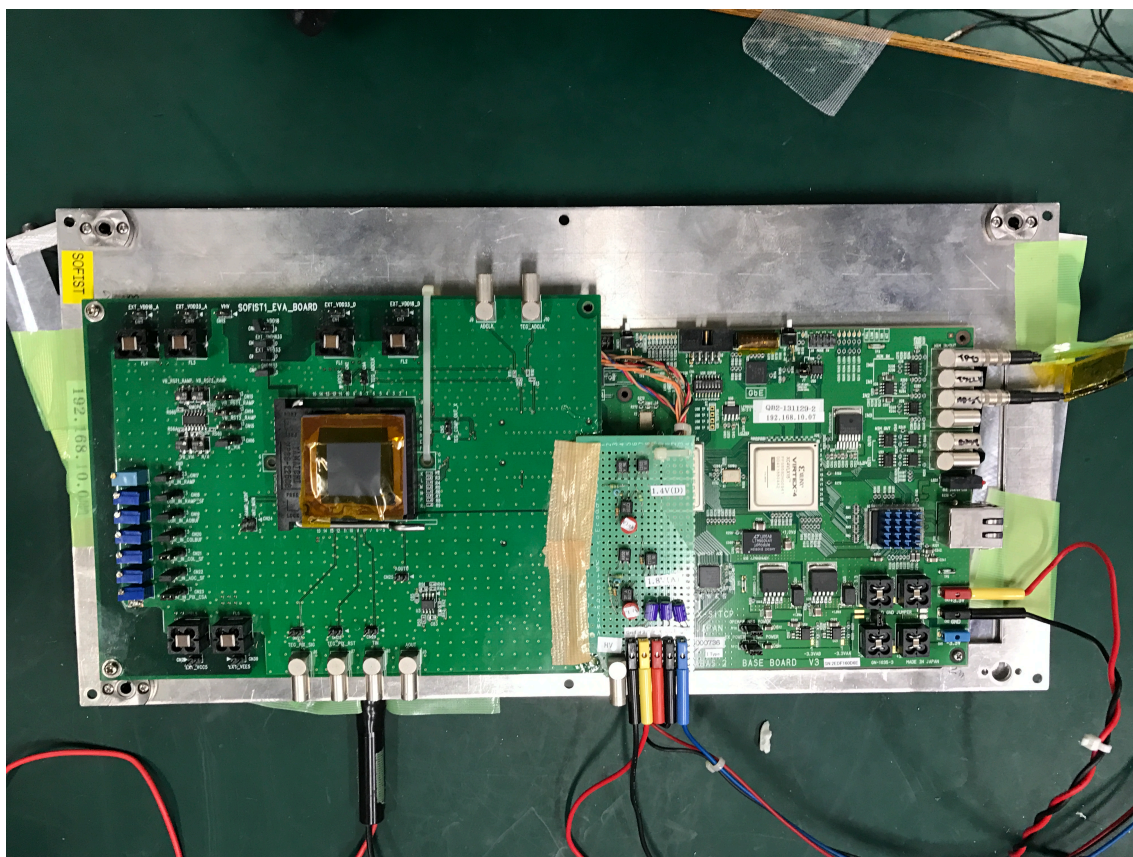


図 3.1: SEABAS2 と SOFIST サブボードの写真。左がサブボード、右がSEABAS2。左のサブボード上に SOFIST チップがマウントされている。ビームテストを見据え、金属板上にアライメントされている。

## 3.2 SOFIST サブボード

SOFIST をマウントし、SEABAS2 と接続するためのボードを SOFIST サブボードと呼ぶ。SOFIST への電圧供給のための端子のほか、テストパルス入力、出力モニタのための端子が用意されている。

### 3.3 読み出し手順

SEABAS2 の NIM 入力からトリガー信号を入力すると、ファームウェアが蓄積モードから読み出しモードに移行し、各ピクセル内部の回路に用意されたバッファの電荷量を読み出す。読み出しモードでは、バッファ内に保持された電荷量をアドレスセレクトで選択されたピクセルから順に開放し、読み出しを進めていく。全ピクセルの読み出し終了後、再度蓄積モードに戻る。また読み出しモード中はトリガー入力を無視する。

On-Chip の Column ADC で読み出しをする場合、Row アドレス選択後に 50 個用意された ADC で並列で A/D 変換し、順に読み出しをする。読み出し後に次の Row アドレスを選択し、同様に変換、読み出しを全ピクセルについて行っていく。SEABAS2 搭載の ADC で読み出しをする場合、ピクセルを一つずつ選択し、バッファの開放を行う。アナログ回路を通して出力されたシグナルを ADC で読み出しし、次の 1 ピクセルを選択、読み出しを行う。また、シグナル蓄積中はリーク電流があるため、ピクセル内の電荷が常に溜まってしまう。そのため Pre-amp とバッファを周期的にリセットする必要がある。トリガーが入力されると、その直前の電位を読み出す。

#### 3.3.1 ファームウェア

読み出し用ファームウェアは、SOFIST 開発者である小野氏によって Verilog HDL を用いて記述された。

このファームウェアの役割は大きく分けると、

- SOFIST のピクセル、スイッチの制御

- ADC の制御
- TCP 通信による SOFIST からのデータ受信、PC への送信

の3つが挙げられる。

### 3.3.2 ソフトウェア

今回 PC 側のソフトウェアには、総研大の西村氏によって INTPIX(SOI シリコン検出器の 1 つ) ように開発された、GUI で操作可能な DAQ ソフトウェアを使用した。INTPIX は  $128 \times 128$  ピクセルであるが、このソフトウェアは対象チップのピクセル数に応じて設定を変更できる。このソフトウェアは読み出した ADC 値を順に並べていき、設定したピクセル数に達すると 1 イベントとして見なして転送する。1 イベントごとに画面上に二次元ヒストグラムをカラー出力しモニタできる。また UDP 通信を行えるため、PC からファームウェア上の読み出しパラメータにアクセスし、操作ができる。

主な機能は

- 読み出し開始時に UDP 通信によってトリガーとなる信号を送信する
- SEABAS2 から送信されたデータを TCP 通信で受信し、Root ファイル上に出力する。

の2つである。



## 第4章 実施した性能評価試験

SOFIST v.1 の応答試験をテストパルスの入力を用い、入力電荷に対する回路の線形性や、異なる BPW の領域ごとのシグナル、ノイズを測定し、性能比較を行った。試験対象は2つのセンサーで、SOFIST chip 3、SOFIST chip 4である。領域ごとの性能差に加え、チップ毎の性能のばらつき、入力電荷量に対する線形性を確認した。測定はSEABAS2搭載のADCを用いた。

また、 $^{90}\text{Sr}$ からの電子の貫通事象により、1MIP 相当の電荷量を入力した時のシグナル値を確認するとともに、センサーへのバイアス電圧ごとの出力を見ることにより、センサーの空乏化電圧を確認する。

### 4.1 テストパルスの入力による試験

#### 目的

SOFIST v.1 は荷電粒子の貫通で発生する 1 MIP 分の電荷に対して出力することを想定して、数 MIP のシグナルに対して線形性を持つように設計されている。SOFIST v.1 にはテストパルスの入力回路が用意されており、各ピクセルに任意の電荷量を入力できる。これにより入力電荷量に対する出力の線形性を確認する。また、1.3.2 で示した Back gate 効果はセンサーにかけるバイアス電圧の上昇により大きくなるので、ノイズ、テストパルスによる出力のバイアス依存性を各 BPW 領域ごとに確認する。

#### 4.1.1 セットアップ

テストパルスの電圧は  $500\ \mu\text{m}$  厚のセンサーの 1MIP( $37000\ \text{e}^-$ ) に相当する  $570\ \text{mV}$  を入力する。テストパルス、周期リセットパルスはファンクションジェネレータから  $500\ \mu\text{m}$  幅の  $1\ \text{kHz}$  のパルスで作成し、それぞれ SEABAS2 と SOFIST サブボード上に用意された端子に入力を行う。テストパルスのタイミングはリセットパルスの入力後  $200\ \text{ns}$  後に入力する (図 4.1)。どちらもファンクションジェネレータで作成し、SEABAS2 と SOFIST サブボードに用意された端子に入力する。トリガーパルスは周波数  $100\ \text{Hz}$ 、幅  $100\ \text{ns}$  の信号をクロックジェネレータで作成し、SEABAS2 上に用意された NIM I/O から入力した。

#### 4.1.2 測定結果

##### 入力電圧に対する線形性

図 4.2 に、テスト入力電圧を  $0.1\ \text{V}$  ごとに変化させたときの出力 ADC 値を、High-gain 領域、Low-gain 領域で色分けして示す。 $500\ \mu\text{m}$  厚のシリコンセンサーにおける 1 MIP に相当するテストパルスの入力電圧は  $0.57\ \text{V}$  であるため、High-gain 領域においては飽和している。Low-gain 領域においては数 MIP 程度の入力電化に対して線形性を保持していることが確認できる。どちらも線形の領域内で比較すると、High-gain と Low-gain の比は 1.8 倍で、2.2.1 で示したシミュレーションによる 2.0 倍と近い値となっている。この先は Low-gain 領域についてのみ試験を進める。



図 4.1: 1 ピクセルのアンプのアナログ出力。それぞれの波形は、(緑) チップからのアナログ出力、(青) リセットパルス、(黄) テストパルス、(赤) トリガー信号を表す。リセットの開放後に電位が下がり始め、オフセット値に落ち着いたところでテストパルスを入力しそのタイミングで出力電位が下がる様子が確認できる。

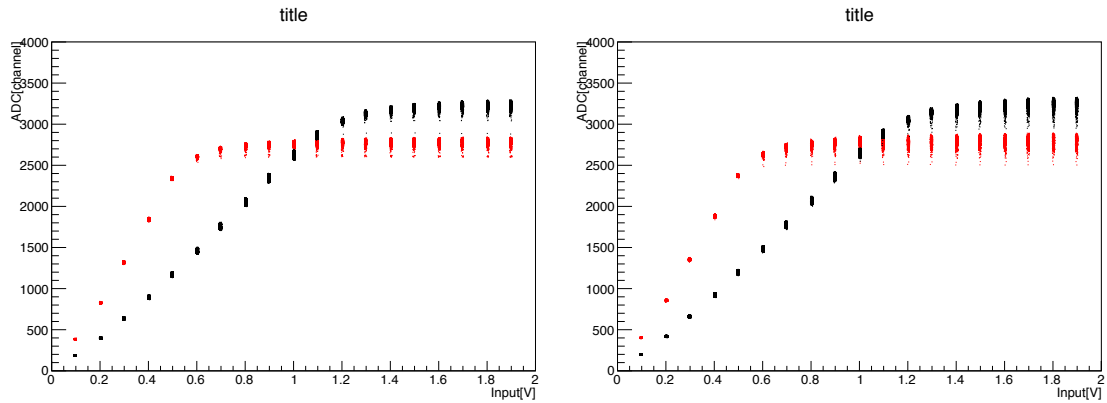


図 4.2: テスト入力電圧に対する出力値。一つの点が一つの 1 ピクセルごとのペデスタルを引いた後の ADC 値に相当する。High-gain 領域、Low-gain 領域をそれぞれ赤と黒の点で分けて示している。左が Chip 3、右が Chip 4 の図。

### 電圧変化に対する出力の変化

Chip3 について、BPW サイズの異なる領域の任意ピクセルからのペデスタルを図 4.3 に示す。

これを Fit し、得られた平均値を BPW ごとに色分けして表示したのが図 4.4、センサーにおけるノイズとなる標準偏差を同様に表示したのが図 4.5 である。

平均値の結果から Chip 3、Chip 4 の両方のすべての領域で同程度の値を示しているが、Chip 3 の  $12 \times 12 \mu m^2$  領域のみやや大きな値を取っていることがわかる。また両 Chip に共通して、 $16 \times 16 \mu m^2$  の領域はピークから大きく外れたピクセルが見られる。この外れた領域について調べると、全て Column Address が 49 のピクセルであった。どちらのチップでも同様の現象が見られるので、初期設計の段階か読み出し手順による間違いが考えられるが、以降の性能評価ではこれらのピクセルを除外する。

また、標準偏差はノイズに相当するものだが、こちらは結果より、 $12 \times 12 \mu m^2$  と  $14 \times 14 \mu m^2$  の領域は大きな違いはなが、 $16 \times 16 \mu m^2$  の領域でやや大きな値

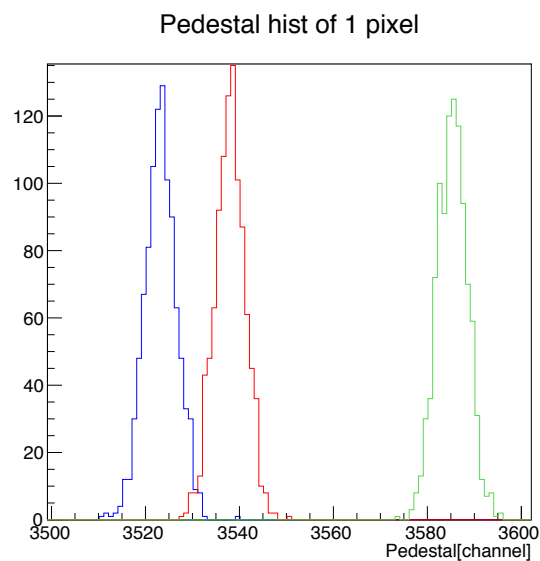


図 4.3: 1 ピクセルのペデスタルのヒストグラム。色は BPW サイズの異なる領域を表し、(緑) $12 \times 12 \mu m^2$ 、(赤) $14 \times 14 \mu m^2$ 、(青) $16 \times 16 \mu m^2$ を表す。センサーバイアス電圧は 140 V。

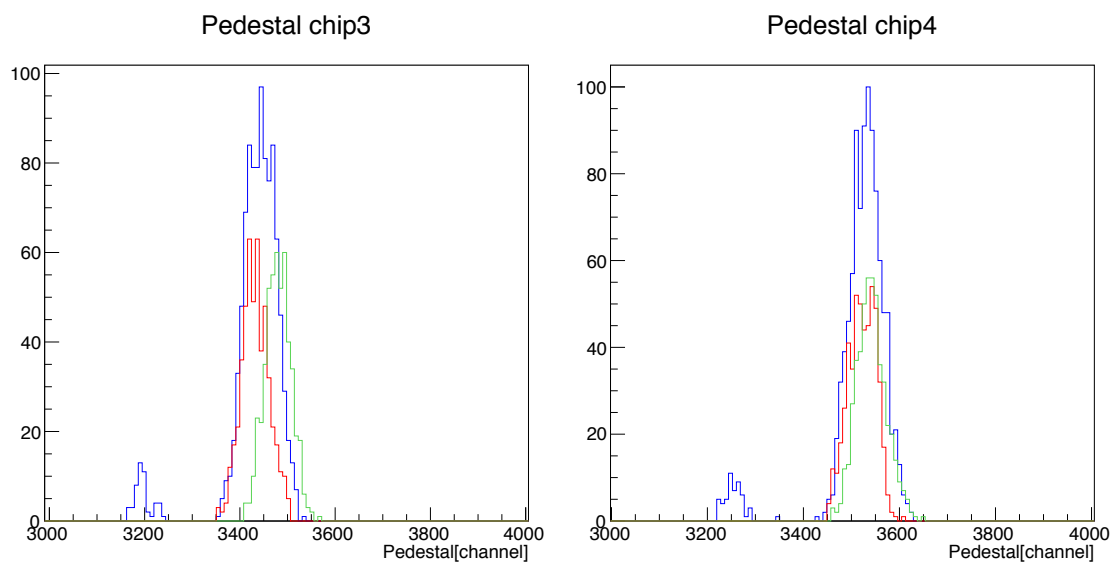


図 4.4: 各ピクセルのペデスタル値を BPW サイズの異なる領域ごとに色分けした平均値分布。(緑) $12 \times 12 \mu m^2$ 、(赤) $14 \times 14 \mu m^2$ 、(青) $16 \times 16 \mu m^2$ を表す。画像はバイアス電圧を 140 V 印加時のものである。

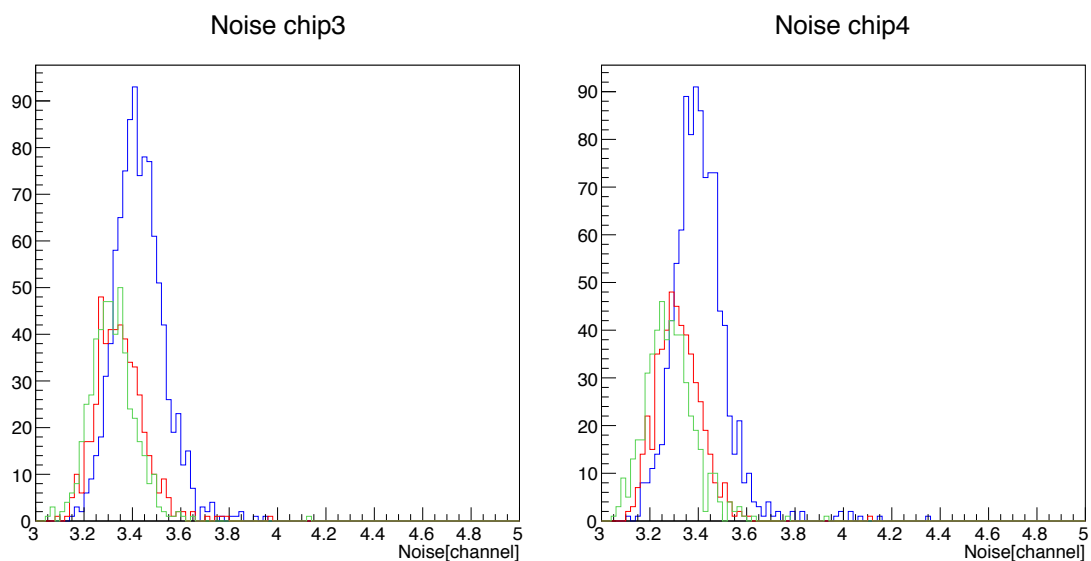


図 4.5: 全ピクセルについての図 4.3 の標準偏差分布。色は BPW サイズの異なる領域であり、(緑) $12 \times 12 \mu m^2$ 、(赤) $14 \times 14 \mu m^2$ 、(青) $16 \times 16 \mu m^2$ を表す。センサーバイアス電圧は 140 V のときのデータ。

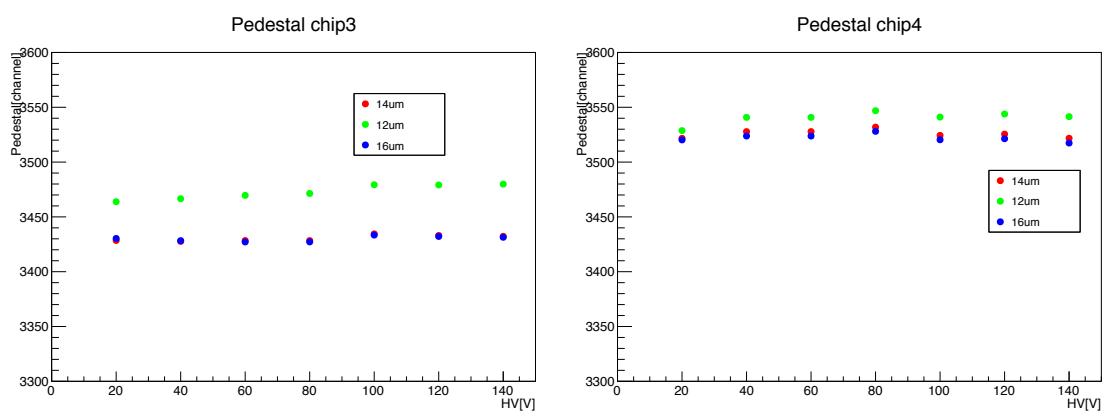


図 4.6: ペデスタルの平均値のセンサーバイアス電圧依存性。(緑) $12 \times 12 \mu m^2$ 、(赤) $14 \times 14 \mu m^2$ 、(青) $16 \times 16 \mu m^2$ を表す。センサーバイアス電圧 140V。

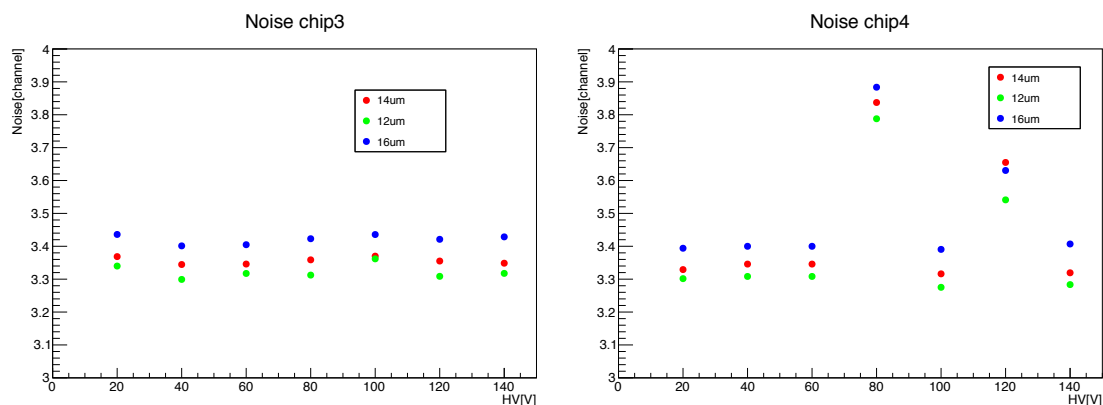


図 4.7: ペDESTALの標準偏差のセンサーバイアス電圧依存性。(緑) $12 \times 12 \mu m^2$ 、(赤) $14 \times 14 \mu m^2$ 、(青) $16 \times 16 \mu m^2$ を表す。センサー場電圧は 140 V としている。

がみられる。Chip 3、Chip 4 のどちらにおいてもほぼ同等の結果を示している。またセンサーバイアス電圧への依存性は見られない。

次に 1 MIP 相当の電荷量と考えられる 0.57 V のテストパルスの出力を図 4.8 に示す。これを Fit し、得られた平均値を各 BPW の領域ごとに色分けして表示したのが図 4.9 である。この結果より  $12 \times 12 \mu m^2$  のものだけ、有意にシグナル量が増加していることが確認でき、Chip 3、4 の違いは、この条件では見られなかった。図 4.9 の領域ごとの平均値をセンサーに掛けたバイアス電圧の依存性としてプロットしたものを図 4.10 に示す。Chip 4 には 80 V、120 V に大きな低下が見られる。

バイアス電圧ごとの各ピクセルの出力とノイズが得られたので、S/N を図 4.11 にプロットする。Chip 4 のうち、80V と 120V において、全領域で出力が低下していることがわかるが、それ以外の電圧においては、両チップ、各バイアス電圧において、近い数値を示している。

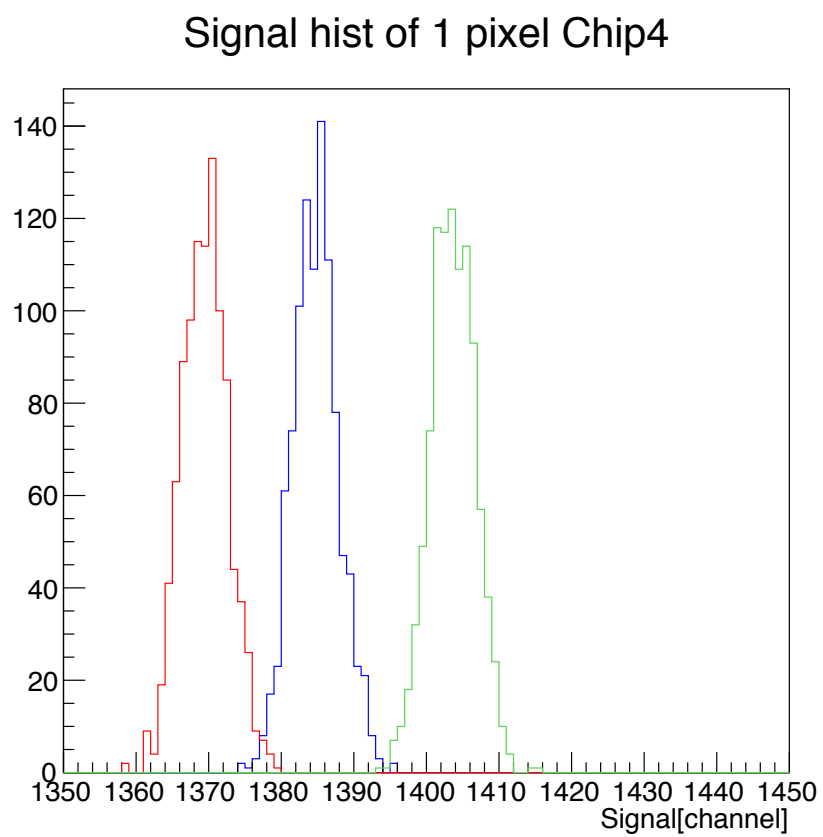


図 4.8: 1 ピクセルのシグナル値のヒストグラム。色は BPW サイズの異なる領域を表し、(緑) $12 \times 12 \mu m^2$ 、(赤) $14 \times 14 \mu m^2$ 、(青) $16 \times 16 \mu m^2$  を表す。センサーバイアス電圧は 140 V。



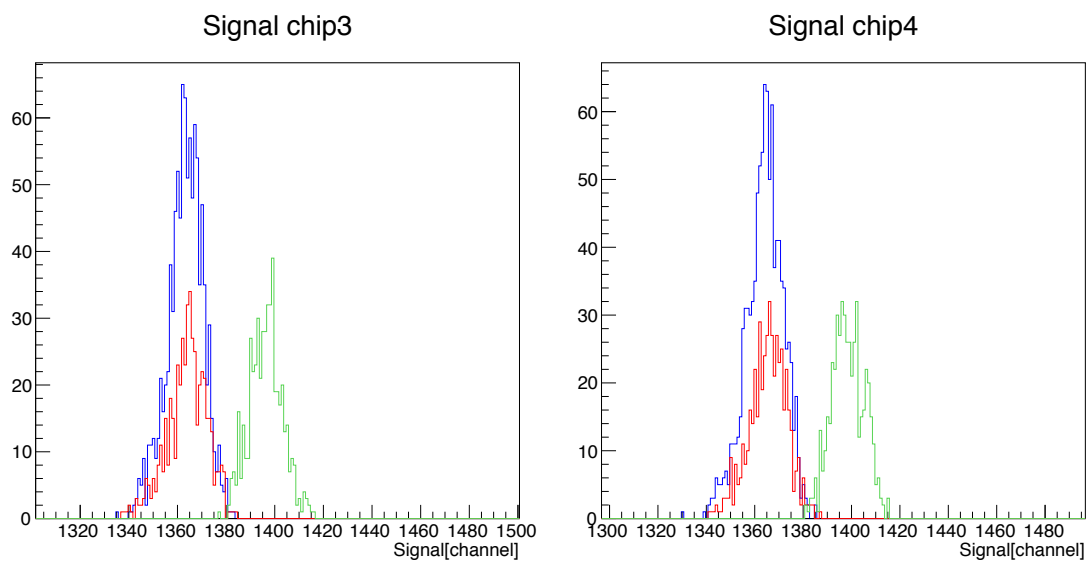


図 4.9: 全ピクセルについての 1 MIP 相当の電荷量に対する出力のヒストグラム。色は BPW サイズの異なる領域を表し、(緑) $12 \times 12 \mu m^2$ 、(赤) $14 \times 14 \mu m^2$ 、(青) $16 \times 16 \mu m^2$ を表す。画像はバイアス電圧 140 V 印加時のものである。左が Chip 3、右が Chip 4 の図。

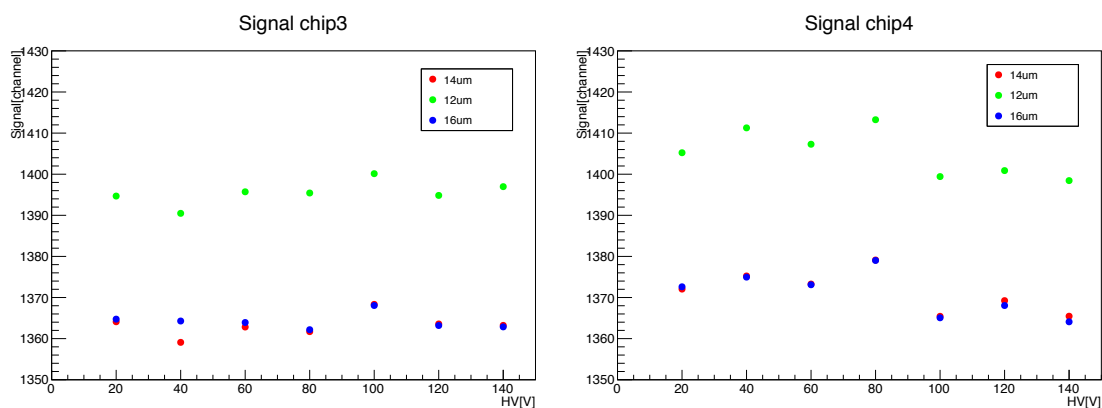


図 4.10: テストパルスで 1 MIP 相当の電荷量を入れた出力のセンサーの HV 依存性。色は BPW の違うピクセルからの出力を示しており、(緑) $12 \times 12 \mu m^2$ 、(赤) $14 \times 14 \mu m^2$ 、(青) $16 \times 16 \mu m^2$ を表す。左が Chip 3、右が Chip 4 の図。

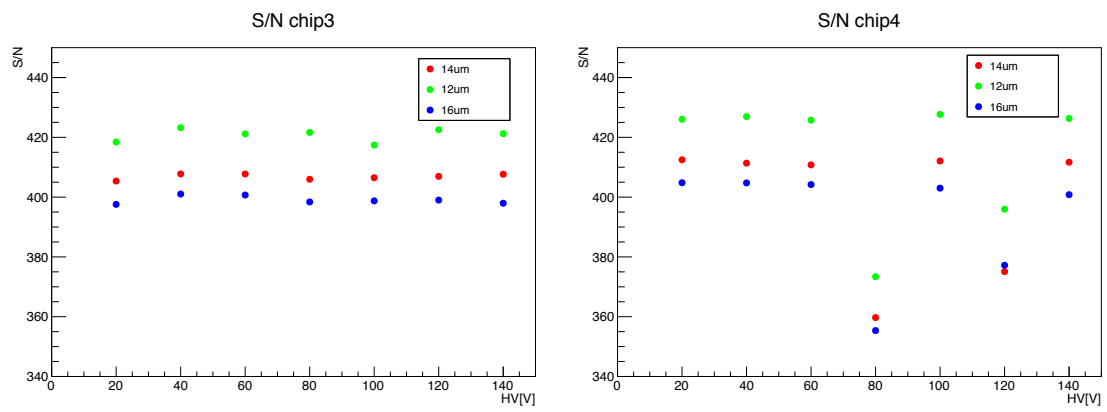


図 4.11: 1 MIP 相当の電荷入力に対する S/N の HV 依存性。色は BPW の違うピクセルからの出力を示しており、(緑) $12 \times 12 \mu m^2$ 、(赤) $14 \times 14 \mu m^2$ 、(青) $16 \times 16 \mu m^2$ を表す。左が Chip 3、右が Chip 4 の図。

## 4.2 線源を用いた荷電粒子貫通事象による試験

### 目的

$^{90}\text{Sr}$  線源からの  $\beta$  線の貫通事象を測定し、貫通事象で発生する電荷量 (1 MIP 相当) を測定することで、テストパルスによる 1 MIP 相当の電荷入力量が正しいか確認する。また、センサーへのバイアス電圧を変化させて総電荷量を測定することで、空乏層の広がりを確認する。

### セットアップ

周期リセットはファンクションジェネレータから、周波数 5 MHz、幅 30 ns で入力する。テストパルス入力の際と間隔が変わっているのは、リセットの間隔を狭めることで、1 イベントに 2 回以上の入射が起きないようにするためである。

図 4.12 のように SOFIST v.1 の背面に  $1 \times 1 \times 1 \text{ cm}^3$  のシンチレータを設置し、貫通した電子をとらえることでトリガーを作りデータを取得した。シンチレータは浜松ホトニクス製の光電子倍增管 (PMT) の H3165-10 を用いて読み出した。各電圧に対して 50000 イベント取得している。

### 4.2.1 測定結果

#### HV scan

線源を用いた測定の一つのイベントを図 4.13 に示す。各ピクセル毎の ADC 値をカラーで表示しており、赤で示したピクセルに電子が貫通したイベントであることがわかる。 $^{90}\text{Sr}$  からの電子のエネルギーは小さく、貫通中に多重散乱を起こすのでいくつかのピクセルに渡って電荷が測定されることがわかる。これらの ADC

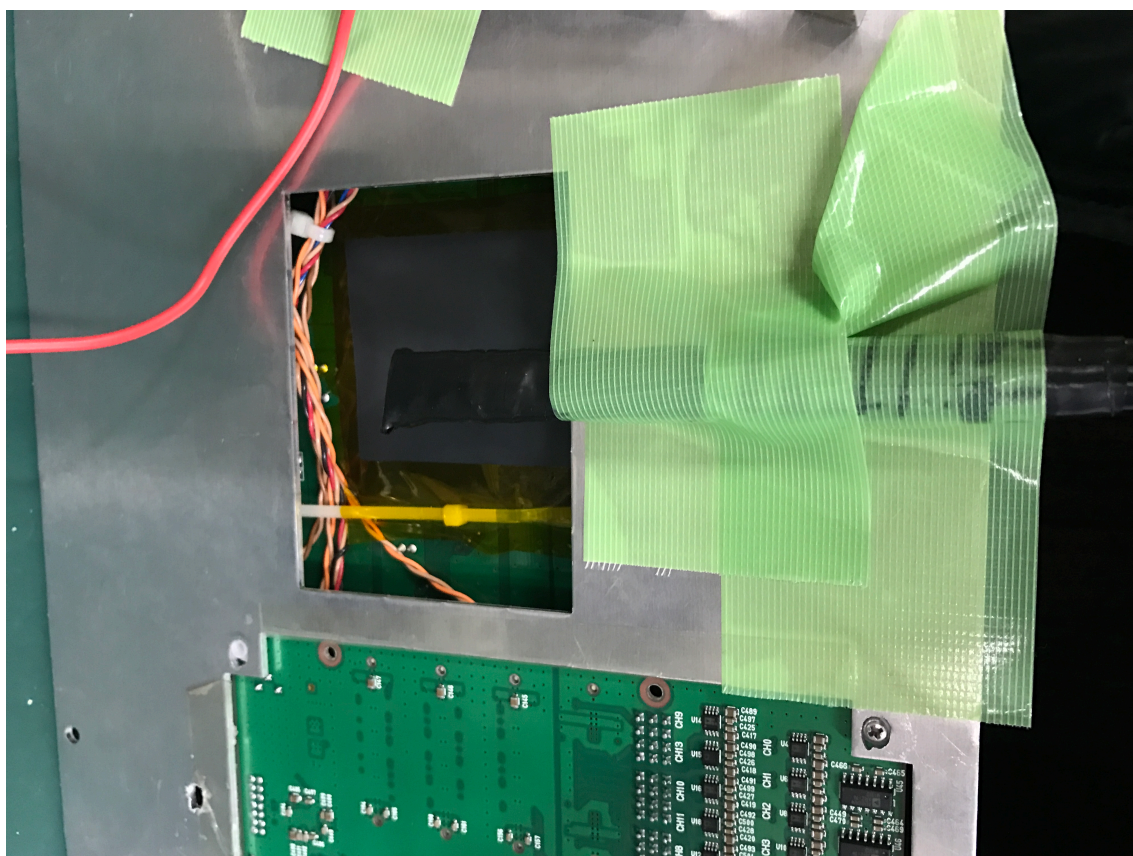


図 4.12: SOFIST の裏面の写真。シンチレータを固定し、荷電粒子貫通時のイベントを収集する。

値の総和を貫通時のシグナル量と定義し、ADC 値で 40 を超えたものの和をとりプロットしたものが (図 4.14) となる。貫通による MIP ピークを見ることができる。

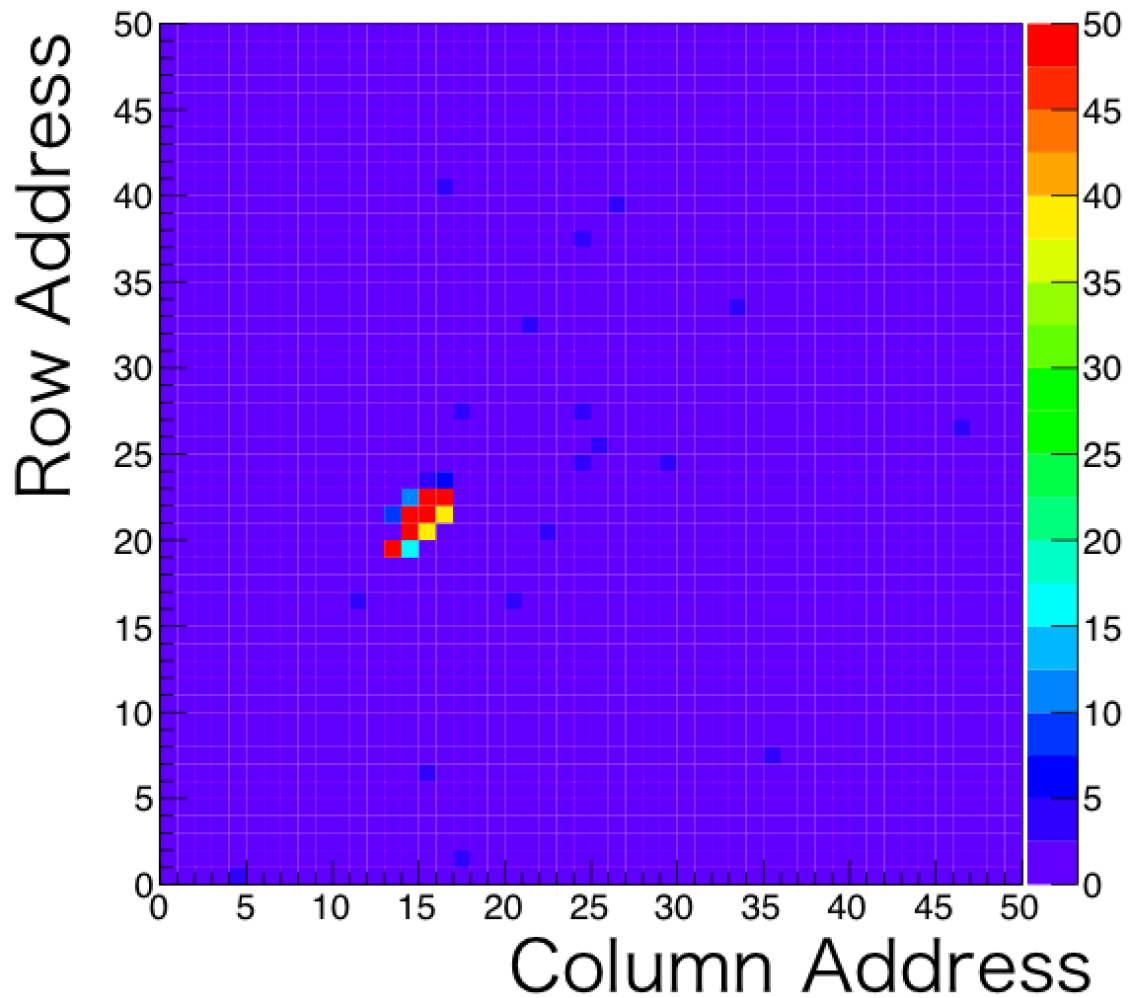


図 4.13: 1 イベントの 픽セルごとのシグナルの 2D プロット。Z 軸は S/N

$\beta$  線による 1 MIP 相当のピーク値は 900 程度が得られ、テストパルス 1 MIP 相当を入力した際に得られる 1,300 と比べると 3 割程度少ない値となっている。また、貫通事象のシグナルピーク値をバイアス電圧毎にプロットしたものを図 4.15 に示す。80 V 程度までピーク値が増え、空乏層が広がっていく効果が見え、それ以降飽和しているのが観測された。

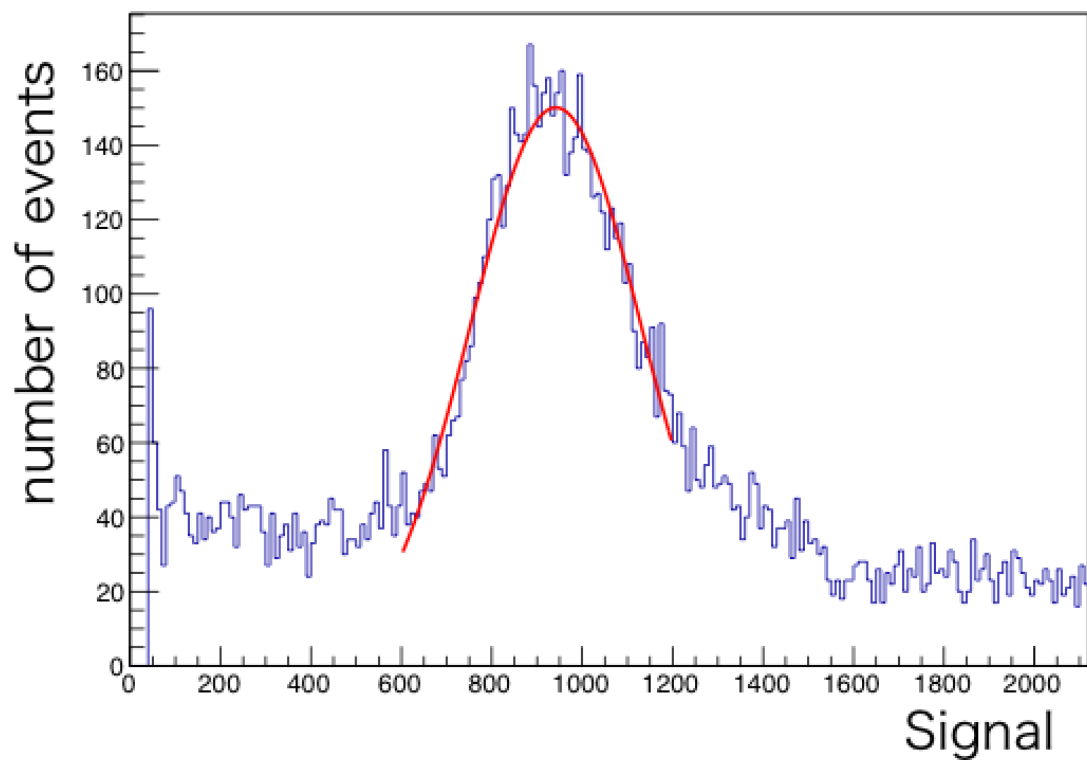


図 4.14: センサーバイアス電圧 140 V での  $\beta$  線貫通事象によって得られたシグナルの ADC 値の総和。MIP ピークを観測することができる。

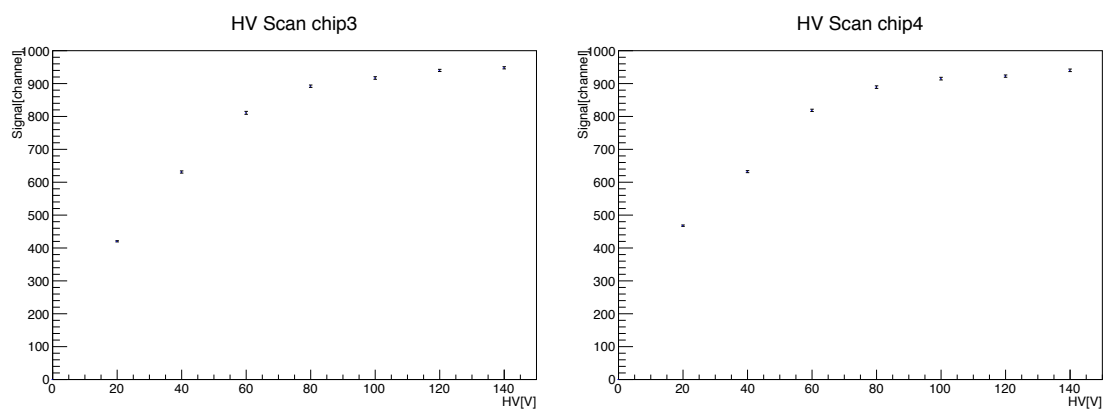


図 4.15: MIP ピークの値のセンサーバイアス依存性。

## 第5章 結果

### 5.1 入力パルスに対する出力の線形性

Low-gain 領域においては数 MIP 程度の入力電荷に対して線形性を保持している。High-gain 領域との出力比は 1.8 であり、シミュレーションによる結果、2.0 とほぼ近い値を示している。

### 5.2 BPW によるピクセルの性能比較

ノイズは、やや BPW サイズごとの比較で  $12 \times 12 \mu m^2 < 14 \times 14 \mu m^2 < 16 \times 16 \mu m^2$ 、シグナルは  $16 \times 16 \mu m^2 \sim 14 \times 14 \mu m^2 < 12 \times 12 \mu m^2$  の順となることがわかった。

シリコンセンサーにかけるバイアス電圧に対する依存性は優位に見られなかった。

シグナルは、BPW サイズ  $12 \times 12 \mu m^2$  のピクセルが大きいことがわかった。 $14 \times 14 \mu m^2$  と  $16 \times 16 \mu m^2$  の違いはほとんどない。

いずれの BPW サイズ、電圧においても、S/N が 350 以上の数値を示している。将来的な設計においてはセンサー厚が  $50 \mu m$  となるため出力は 10 分の 1 となるが、それでも要求の  $S/N > 17$  を満たしている。

### 5.3 $\beta$ 線源に対する出力

空乏層幅  $W$  は、 $\epsilon$  を誘電率、 $\mu$  を移動度、 $\rho$  を抵抗率、 $V$  を逆バイアス電圧とすると、

$$W = \sqrt{2\epsilon\mu\rho V} \quad (5.1)$$

で表される。 $\epsilon$ 、 $\mu$ 、 $\rho$  は対象の半導体による数値なので、空乏層幅は  $\sqrt{V}$  に比例する。電圧の二乗根と MIP ピーク位置をプロットしたのが図 5.1 である。低電圧領域においては  $\sqrt{V}$  に比例して空乏層が広がっている様子が確認できる。

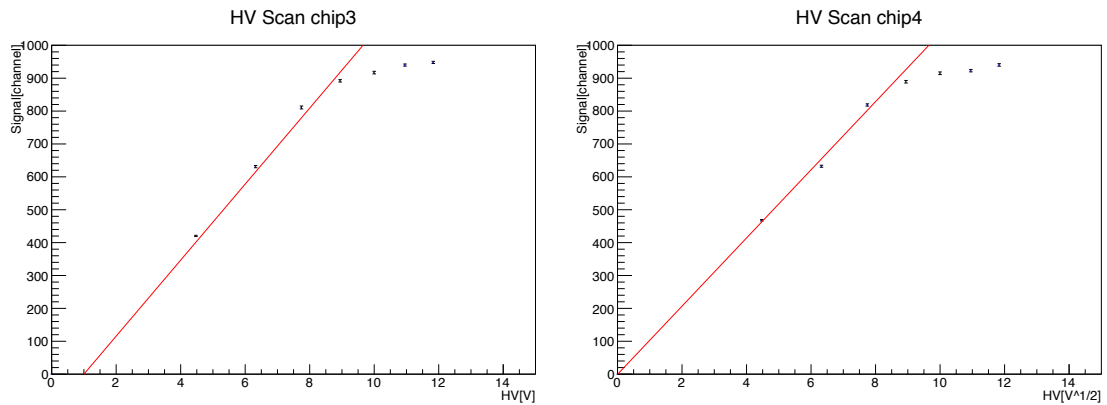


図 5.1: 図 4.15 の横軸を電圧の二乗根としたもの。低電圧領域において Fit した。70 から 80V の位置で外れていることが確認できる。左が Chip 3、右が Chip 4 の図。



## 第6章 考察と課題

### 6.1 一時的なノイズの増加について

テストパルスによるノイズ測定時に、Chip 3,4 の 80 V, 120 V で大きなノイズの増加が見られた。センサーのバイアスによるバックゲート効果が懸念されるが、それより高い 100, 120 V では見られないため、他の要因である可能性が高い。まずは再現性の測定が必要である。現在テストビーム実験での使用のため検出器、測定器が手元にないので、戻って来た際に再測定を行い確認する。

### 6.2 パルス入力と放射線貫通時の電荷量の違い

テストパルスの入力時の 1 MIP 相当の電荷量と、 $\beta$  線の貫通時の電荷量に隔たりのがある。この原因としては、電荷収集効率の問題から発生した電荷の全てを収集できないこと、ノイズ除去時に微小にシェアされているシグナルがノイズに埋もれてしまっていることなどが考えられる。

またテストパルスによる入力電荷は、入力電荷を決めるコンデンサだけでなく、ピクセルセンサーの容量も影響するので、これらの合成容量を加味して考えなければならない。実際に High-gain、Low-gain のゲイン費が帰還コンデンサ容量のみで決まれば 4 倍となるが、寄生容量などの影響を受けるため、2 倍程度となっている。同程度の容量のコンデンサを用いるテスト入力ラインも同様に影響を受ける

はずである。それらの調査は今後の課題である。

## 第7章 結論

本研究では、ILC 実験におけるバーテックス検出器に向けたピクセルセンサーの試作チップ SOFIST v.1 の動作試験を行った。結果、

1. Low-gain 領域において、数 MIP 分の線形性を保持している。
2. BPW の性能について、
  - ノイズの大きさは  $12 \times 12 \mu m^2 < 14 \times 14 \mu m^2 < 16 \times 16 \mu m^2$  となる。
  - シグナルの大きさは  $14 \times 14 \mu m^2 \sim 16 \times 16 \mu m^2 < 12 \times 12 \mu m^2$  となる。
3. いずれの BPW サイズにおいても S/N が要求値を満たす。
4. 全空乏化電圧は 80V である。

以上のことから、基礎性能が設計値を満たすことがわかった。

## 関連図書

- [1] 小野 峻 SOFIST ver.1 設計資料
- [2] 辻 嶺二 SOI 技術を用いたピクセル型半導体検出器 SOFIST1 の開発、および  
SOI センサーの基礎研究
- [3] International Linear Collider Technical Design Report