

筑波大学大学院博士前期課程
数理物質科学研究科修士論文

サブミクロンスケールの位置分解能を持つ
高精細 SOI ピクセル検出器の開発研究

関川大介
物理学専攻

2017 年 2 月

筑波大学大学院博士前期課程
数理物質科学研究科修士論文

サブミクロンスケールの位置分解能を持つ
高精細 SOI ピクセル検出器の開発研究

関川大介
物理学専攻

指導教員 金 信弘 印

概要

2005 年から高エネルギー加速器研究機構 (以下 KEK) の測定器開発室のプロジェクトとして, Silicon On Insulator(SOI) 技術を用いた検出器の開発が行われており, 筑波大学はプロジェクト立ち上げ時から共同研究を進めてきた. SOI 技術とは, SiO_2 の絶縁膜上に MOSFET を形成する技術で, SOI-CMOS 構造回路を形成する. 我々は SOI 技術を用いて, 支持基板をセンサー部とし, 回路部のシリコン層との間の SiO_2 酸化膜層 BOX(Buried OXide) を貫く金属ビアを形成することで読み出し回路一体型のピクセル検出器の開発を行っている. SOI ピクセル検出器の特長として SOI-CMOS なので回路の集積化が可能となり細密ピクセル化による高い位置分解能など多くのメリットがある.

しかし, SOI ピクセル検出器の高エネルギー実験での実用化には放射線耐性が課題となっている. SOI ピクセル検出器が放射線に曝された際に, 移動度の低い正孔のみが酸化膜中にトラップされその直上の回路特性の変動を引き起こしてしまう. 我々はこの課題の克服のために 2 層埋め込み酸化膜構造を導入し, 中間シリコン層に負の電位を与えることで TID 効果による電位を相殺し回路特性の変動の補償を可能とした.

これまでチップ全体に同じ中間シリコン層電圧 (V_{SOI2}) を印加できる INTPIXh2 では 100 kGy が限界となっていた. 本研究では放射線耐性の向上のためにチップの領域毎に適切な V_{SOI2} を印加することができる高精細 SOI ピクセル検出器 FPIX2 の放射線耐性評価とビームテストを行った.

2 層埋込酸化膜構造導入による TID 効果の回路特性の補償を評価するため, ^{60}Co γ 線照射と陽子ビームの照射を行った. 領域ごとに適切な V_{SOI2} を印加することにより γ 線 500 kGy 照射後も Minimum Ionizing Particle(MIP) の通過を擬似した波長 1064 nm の IR レーザーに対する応答を確認し, また陽子ビーム 1 MGy 照射後も照射前とほぼ同程度のゲインが期待される回路特性まで回復することを確認した.

高エネルギー実験における MIP 粒子に対する応答の評価のために 670 MeV の陽電子ビームを用いたビームテストを行った. MIP に対する S/N は -300 V 印加した部分空乏化状態では 70 程度となり, シグナルとノイズをよく分離することができる. 散乱の影響が認められる中で, 検出効率を求めた結果 99.0 ± 0.4 % 以上であることがわかった. 残差分布をガウス関数でフィットした結果その拡がり $\sigma = 5.02 \pm 0.05$ ピクセルとなった.

クーロン散乱を抑制できる高エネルギービームを用いることで検出器本来の位置分解能を測定を行うためアメリカフェルミ国立加速器研究所において 120 GeV の陽子ビームを用いてビーム試験を行った. 4 枚の FPIX2 を用い, 1 枚を評価対象センサーとし残りの 3 枚をトラッカーとして用いて残差分布を測定したところ Column 方向, Row 方向ともに分布の拡がり $1.0 \mu\text{m}$ 以下となった. よって世界で初めてサブミクロンスケールの位置分解能をもつ半導体ピクセル検出器を開発することができた. 検出効率は 99.71 ± 0.04 % と高い値が得られた. また γ 線 100 kGy 照射済みセンサーのビームに対する応答を測定し, 2 層埋込酸化膜構造を導入することで照射前と変わらない信号量, ゲインを得られることを確認した.

目次

第 1 章	序章	1
第 2 章	半導体検出器	3
2.1	半導体の性質	3
2.1.1	半導体の基本的性質	3
2.1.2	不純物半導体	3
2.1.3	PN 接合	5
2.2	半導体検出器	6
2.2.1	半導体検出器の動作原理	7
2.2.2	ストリップ型検出器	8
2.2.3	ピクセル型検出器	9
2.3	代表的な加速器とその検出器	10
2.3.1	LHC	10
2.3.2	ILC	11
2.4	半導体検出器の放射線損傷	13
2.4.1	Total Ionizing Dose(TID)	13
2.4.2	Non Ionizing Energy Loss(NIEL)	13
2.4.3	Single Event Effect(SEE)	13
第 3 章	SOI ピクセル検出器	15
3.1	SOI ピクセル検出器の構造	15
3.2	SOI プロセス	16
3.2.1	ウェハー	16
3.2.2	スマートカット法	16
3.2.3	FET のフォトリソグラフィ	17
3.3	SOI 検出器の利点	18
3.3.1	SOI-CMOS	18
3.3.2	モノリシック型	19
3.3.3	高比抵抗センサー層	19
3.4	SOI 検出器の課題	20
3.4.1	バックゲート効果	20
3.4.2	センサー・回路クロストーク	21

3.4.3	TID 放射線耐性	22
3.5	二層埋込酸化膜構造	23
第 4 章	INTPIXh2 の β 線による性能評価	29
4.1	INTPIXh2	29
4.2	β 線に対する応答の評価	31
4.2.1	セットアップ	31
4.2.2	収集電荷量の空乏層厚依存性	32
4.2.3	2 層埋め込み酸化膜構造をもつ SOI ピクセル検出器の β 線応答 . . .	38
4.2.4	収集電荷効率の中間シリコン層電位依存性	41
第 5 章	FPIX2 の放射線耐性評価	45
5.1	FPIX2	45
5.1.1	DAQ システム	48
5.2	γ 線照射による放射線耐性評価	49
5.2.1	γ 線照射	49
5.2.2	中間シリコン層の電位の決定	50
5.2.3	測定	53
5.3	陽子照射による放射線耐性評価	58
5.3.1	陽子照射	58
5.3.2	測定	60
第 6 章	東北大学電子光理学研究センター	
	陽電子ビームテスト	63
6.1	セットアップ	63
6.1.1	使用チップ	63
6.1.2	セットアップ	65
6.2	解析	66
6.2.1	ペDESTAL 評価	66
6.2.2	収集電荷量	73
6.2.3	アライメント	79
6.2.4	トラッキング	82
6.2.5	クーロン散乱見積もり	85
第 7 章	フェルミ国立加速器研究所	
	120 GeV 陽子ビームテスト	87
7.1	セットアップ	88
7.2	事前測定	90
7.3	トラッキング	91

7.3.1	収集電荷量	92
7.3.2	電荷重心法	95
7.3.3	直線フィット [7]	98
7.3.4	アライメント	102
7.3.5	残差分布	104
7.3.6	検出器本来の位置分解能の見積もり	106
7.3.7	シミュレーション	107
7.3.8	検出効率	110
7.4	γ 線照射済みセンサーの MIP 応答	111
7.4.1	事前測定	111
7.4.2	収集電荷量	113
第 8 章 結論		117

目 次

2.1	真性半導体 (Si) の構造	4
2.2	p 型半導体 (B ドープ) の構造	4
2.3	n 型半導体 (P ドープ) の構造	4
2.4	PN 接合	6
2.5	逆バイアス電圧 概念図	8
2.6	ストリップ型検出器の構造 [4]	9
2.7	ピクセル型検出器の構造 [6]	9
2.8	LHC[9]	10
2.9	ATLAS 検出器 [10]	11
2.10	ILC 加速器 [11]	12
2.11	ILD 検出器 [11]	12
3.1	SOI ピクセル検出器の構造 [12]	15
3.2	スマートカット法 [15]	17
3.3	Bulk CMOS 概念図	18
3.4	SOI CMOS 概念図	18
3.5	ハイブリット型検出器 (左) とモノリシック型検出器 (右) の接合の比較 . . .	19
3.6	BPW 概念図	20
3.7	BPW 導入によるバックゲート効果の抑制 [5]	21
3.8	TID 効果 概念図	22
3.9	2 層埋め込み酸化膜構造の作製手順 [15]	24
3.10	2 重 SOI 構造 [12]	24
3.11	照射量により IV 特性が変化する様子 (NMOS)	25
3.12	照射量により IV 特性が変化する様子 (PMOS)	25
3.13	10kGy の照射で変動した IV 特性が SOI2 電圧により回復する様子 (NMOS)	26
3.14	10kGy の照射で変動した IV 特性が SOI2 電圧により回復する様子 (PMOS)	26
3.15	2MGy の照射で変動した IV 特性が SOI2 電圧により回復する様子 (NMOS)	27
3.16	2MGy の照射で変動した IV 特性が SOI2 電圧により回復する様子 (PMOS)	27
4.1	INTPIXh2 回路図	30
4.2	タイミング図	30
4.3	INTPIXh2 DAQ ボード	31

4.4	β 線セットアップ模式図	31
4.5	INTPIXh2 single IV カーブ	33
4.6	INTPIXh2 single リセット電圧応答	34
4.7	30V 印加時のクラスター電荷	35
4.8	50V 印加時のクラスター電荷	35
4.9	70V 印加時のクラスター電荷	35
4.10	100V 印加時のクラスター電荷	35
4.11	150V 印加時のクラスター電荷	35
4.12	250V 印加時のクラスター電荷	35
4.13	350V 印加時のクラスター電荷	36
4.14	β 線のヒットマップ (250V)	36
4.15	β 線応答 ADC 分布のピーク値のバイアス電圧依存性	37
4.16	INTPIXh2 double IV カーブ	38
4.17	INTPIXh2 double リセット電圧応答	39
4.18	β 線ヒットマップ (double)	40
4.19	β 線のピーク (double)	41
4.20	リセット電圧応答の中間シリコン層の電位依存性	42
4.21	IR レーザーに対する応答の 5×5 クラスターチャージ	43
4.22	IR レーザーに対する応答の電位依存性	43
5.1	MX1786	46
5.2	FPIX2 のデザイン	46
5.3	FPIX2 のピクセル回路図	47
5.4	FPIX2 ピクセルのレイアウト	47
5.5	FPIX2 用サブボード	48
5.6	SEABAS2 ボード	49
5.7	^{60}Co γ 線照射の様子	50
5.8	I/O 部保護回路	51
5.9	デコーダー部回路バイアス電圧生成回路	52
5.10	200kGy 照射チップ IV curve	53
5.11	500kGy 照射チップ IV curve	53
5.12	single NFZ 100kGy 照射チップ IV curve	54
5.13	single PFZ 100kGy 照射チップ IV curve	54
5.14	200kGy 照射チップ リセット電圧応答	55
5.15	500kGy 照射チップ リセット電圧応答	55
5.16	1064nm IR レーザー	56

5.17 IR レーザー応答 200kGy	57
5.18 IR レーザー応答 500kGy	57
5.19 IR レーザー応答 未照射	57
5.20 IR レーザー応答	
500kGy VSOI2=GND	57
5.21 IR レーザー応答	
500kGy VSOI2 印加	57
5.22 finger	59
5.23 陽子照射サンプル	59
5.24 陽子照射サンプルボックス	59
5.25 陽子照射用可動ステージと照射サンプルボックス	59
5.26 陽子照射チップ IV カーブ	61
5.27 リセット電圧応答 $1 \times 10^{14} [\text{neq}/\text{cm}^2]$	62
5.28 リセット電圧応答 $1 \times 10^{15} [\text{neq}/\text{cm}^2]$	62
6.1 使用した加速器.	63
6.2 FPIX2 IV カーブ	64
6.3 FPIX2 RSTV 応答	64
6.4 セットアップ	65
6.5 セットアップ	66
6.6 IP11 ペDESTAL 分布	67
6.7 IP11 ペDESTAL 分布	67
6.8 IP11 ノイズの分布	67
6.9 IP11 ノイズの分布	67
6.10 IP11 異常ピクセルの分布	68
6.11 IP12 ペDESTAL 分布	68
6.12 IP12 ペDESTAL 分布	68
6.13 IP12 ノイズの分布	69
6.14 IP12 ノイズの分布	69
6.15 IP12 異常ピクセルの分布	69
6.16 IP13 ペDESTAL 分布	70
6.17 IP13 ペDESTAL 分布	70
6.18 IP13 ノイズの分布	70
6.19 IP13 ノイズの分布	70
6.20 IP13 異常ピクセルの分布	71
6.21 IP14 ペDESTAL 分布	71
6.22 IP14 ペDESTAL 分布	71
6.23 IP14 ノイズの分布	72

6.24 IP14 ノイズの分布	72
6.25 IP14 異常ピクセルの分布	72
6.26 IP11:最大となるピクセルの出力値	73
6.27 IP11:50ADC 以上の最大となるピクセルの出力値	73
6.28 IP12:最大となるピクセルの出力値	74
6.29 IP12:50ADC 以上の最大となるピクセルの出力値	74
6.30 IP13:最大となるピクセルの出力値	74
6.31 IP13:50ADC 以上の最大となるピクセルの出力値	74
6.32 IP14:最大となるピクセルの出力値	74
6.33 IP14:30ADC 以上の最大となるピクセルの出力値	74
6.34 クラスター電荷の拡がり	75
6.35 クラスター電荷の拡がりを X 軸方向へ射影	75
6.36 クラスター電荷の拡がりを Y 軸方向へ射影	75
6.37 クラスター電荷の拡がりの X 軸方向のゆらぎ	76
6.38 クラスター電荷の拡がりの Y 軸方向のゆらぎ	76
6.39 クラスターサイズ	76
6.40 IP12:5×5 ピクセルクラスター電荷量	77
6.41 -100V 印加時のクラスター電荷	78
6.42 -150V 印加時のクラスター電荷	78
6.43 -250V 印加時のクラスター電荷	78
6.44 -300V 印加時のクラスター電荷	78
6.45 クラスター電荷のセンサーバイアス電圧依存性	79
6.46 S/N のセンサーバイアス電圧依存性	79
6.47 IP11, IP12 ヒット位置相関 column 方向 (460MeV)	80
6.48 IP11, IP12 ヒット位置相関 Row 方向 (460MeV)	80
6.49 IP12, IP13 ヒット位置相関 column 方向 (460MeV)	80
6.50 IP12, IP13 ヒット位置相関 Row 方向 (460MeV)	80
6.51 IP11, IP12 ヒット位置相関 column 方向 (670MeV)	81
6.52 IP11, IP12 ヒット位置相関 Row 方向 (670MeV)	81
6.53 IP12, IP13 ヒット位置相関 column 方向 (670MeV)	81
6.54 IP12, IP13 ヒット位置相関 Row 方向 (670MeV)	81
6.55 アライメント補正後のヒット位置の相関 (column 方向)	82
6.56 アライメント補正後のヒット位置の相関 (Row 方向)	82
6.57 検出効率	83
6.58 670 MeV における X 方向の残差分布	84
6.59 670 MeV における Y 方向の残差分布	84
6.60 460 MeV における X 方向の残差分布	84
6.61 460 MeV における Y 方向の残差分布	84

6.62	残差分布の運動量依存性	85
6.63	散乱によるビームの広がり	86
7.1	FNAL の加速器 [17]	87
7.2	セットアップの直前のビームの広がり	88
7.3	センサー通過直後のビームの広がり	88
7.4	セットアップ 概観	89
7.5	スタックしたセンサーのセットアップ	89
7.6	セットアップ	89
7.7	ペDESTアル分布	90
7.8	ペDESTアル分布	90
7.9	ノイズ分布	91
7.10	ノイズ分布	91
7.11	2 枚目の FPIX2 におけるクラスターサイズの分布	91
7.12	収集電荷量 -140 V	92
7.13	収集電荷量 -100 V	92
7.14	収集電荷量 -90 V	93
7.15	収集電荷量 -70 V	93
7.16	収集電荷量 -64 V	93
7.17	収集電荷量 -50 V	93
7.18	収集電荷量 -16 V	94
7.19	収集電荷量の逆バイアス電圧依存性	95
7.20	イベントあたりの入射クラスター数	96
7.21	IP12, IP14 ヒット位置相関 column 方向	96
7.22	IP13, IP14 ヒット位置相関 column 方向	96
7.23	IP09, IP14 ヒット位置相関 column 方向	97
7.24	IP12, IP14 ヒット位置相関 Row 方向	97
7.25	IP13, IP14 ヒット位置相関 Row 方向	97
7.26	IP09, IP14 ヒット位置相関 Row 方向	97
7.27	飛跡の X 軸方向の傾き	99
7.28	飛跡の Y 軸方向の傾き	99
7.29	飛跡の X 軸方向の傾き ($-2.1 < a_y < -1.7$ カット)	100
7.30	飛跡の Y 軸方向の傾き ($3.7 < a_x < 4.5$ カット)	100
7.31	IP12, IP14 ヒット位置相関 column 方向 (a_x, a_y カット)	100
7.32	IP13, IP14 ヒット位置相関 column 方向 (a_x, a_y カット)	100
7.33	IP09, IP14 ヒット位置相関 column 方向 (a_x, a_y カット)	101

7.34	IP12, IP14 ヒット位置相関 Row 方向 (a_x , a_y カット)	101
7.35	IP13, IP14 ヒット位置相関 Row 方向 (a_x , a_y カット)	101
7.36	IP09, IP14 ヒット位置相関 Row 方向 (a_x , a_y カット)	101
7.37	アライメント補正後の a_x	102
7.38	アライメント補正後の a_y	102
7.39	X 軸方向のトラックの χ^2 の分布	103
7.40	Y 軸方向のトラックの χ^2 の分布	103
7.41	Y 軸方向のトラックの χ^2 の分布 ($\chi_y^2 < 30$ カット後)	103
7.42	Y 軸方向のトラックの χ^2 の分布 ($\chi_x^2 < 30$ カット後)	103
7.43	ax の分布 ($\chi_y^2 < 30$ カット後)	104
7.44	ay の分布 ($\chi_x^2 < 30$ カット後)	104
7.45	Column 方向の残差分布	105
7.46	Row 方向の残差分布	106
7.47	位置分解能が $0.70 \mu\text{m}$ で想定される残差分布	108
7.48	位置分解能が $0.55 \mu\text{m}$ で想定される残差分布	109
7.49	100kGy 照射済み FPIX2 の RSTV 応答	111
7.50	照射済み FPIX2 ペDESTAL 分布	112
7.51	照射済み FPIX2 ペDESTAL 分布	112
7.52	照射済み FPIX2 ノイズ分布	113
7.53	照射済み FPIX2 ノイズ分布	113
7.54	照射済み FPIX2 収集電荷量 -200 V	113
7.55	照射済み FPIX2 収集電荷量 -180 V	113
7.56	照射済み FPIX2 収集電荷量 -160 V	114
7.57	照射済み FPIX2 収集電荷量 -150 V	114
7.58	照射済み FPIX2 収集電荷量 -130 V	114
7.59	照射済み FPIX2 収集電荷量 -120 V	114
7.60	照射済み FPIX2 収集電荷量 -100 V	115
7.61	照射済み FPIX2 収集電荷量 -80 V	115
7.62	照射済み FPIX2 収集電荷量 -50 V	115
7.63	照射前後でのクラスターチャージの逆バイアス電圧依存性	116
8.1	フェルミ国立加速器研究所にて	122

表 目 次

2.1	検出エネルギー閾値 [7]	7
4.1	INTPIXh2(single) の主なパラメータ	32
4.2	INTPIXh2(double) の主なパラメータ	38
5.1	FPIX2(Double) の主なパラメータ	46
5.2	FPIX2 の γ 線照射設定	50
5.3	FPIX2 の陽子線照射量	60
6.1	SOFIST の厚みと放射長	85
7.1	Column 方向の残差分布	105
7.2	Row 方向の残差分布	106
7.3	Column 方向の位置分解能	107
7.4	Row 方向の位置分解能	107
7.5	位置分解能が $0.70 \mu\text{m}$ のときに予想される残差分布	108
7.6	位置分解能が $0.70 \mu\text{m}$ のときに予想される残差分布と Column 方向の実測値の比較	109
7.7	位置分解能が $0.55 \mu\text{m}$ のときに予想される残差分布	110
7.8	位置分解能が $0.55 \mu\text{m}$ のときに予想される残差分布と Row 方向の実測値の比較	110

第1章 序章

半導体検出器は、ガス検出器と比較するとエネルギー分解能が高く、また信号の応答速度も速く、CMOS プロセスを用いて微細構造の作製も容易である。これらの利点から今日では高エネルギー実験をはじめとする多くの実験において半導体検出器が使用されている。半導体検出器にはシリコンやゲルマニウムといった物質が利用されるが、ゲルマニウムはエネルギー分解能に優れているが低温下で稼働させる必要性やシリコンの方が工業的に一般でありプロセスが容易などの理由から高エネルギー実験の飛跡検出器にはシリコンが多く用いられている。CERN 研究所で行われている LHC ATLAS 実験には内部飛跡検出器として SCT とよばれるストリップ型半導体検出器と半導体ピクセル検出器、TRT とよばれるストローチューブ型ガス検出器により構成されているが、粒子密度が高く、高い位置分解能が要求される内層にはピクセル検出器が配置されている。高エネルギー実験ではルミノシティが上がるにつれ粒子密度が高くなり、またより精密な測定が要求されるため半導体ピクセル検出器が不可欠で高輝度 LHC 実験では内部飛跡検出器はすべてが半導体検出器にされる。

このような要求に対応できるように、2005 年より高エネルギー加速器研究機構 (KEK) の測定器開発室のプロジェクトとして Silicon On Insulator(SOI) 技術を用いた革新的半導体検出器の開発が行われており、筑波大学はプロジェクト立ち上げ時から共同研究を進めてきた。SOI 半導体検出器は従来の半導体検出器と比較して、ピクセルの細密化、高速のデータ読み出しなどの利点がある。これらの利点による位置分解能、時間分解能の向上により精密な測定を可能にする革新的半導体検出器として期待されている。我々は SOI ピクセル検出器を International Linear Collider(ILC) をはじめとする高エネルギー実験での応用のために開発を進めている。本研究では SOI ピクセル検出器の特長を生かした高精細 SOI ピクセル検出器 FPIX の放射線耐性向上のためにデザインされた FPIX2 の放射線耐性の評価とビームテストによる特性の評価を行った。

第2章 半導体検出器

2.1 半導体の性質

2.1.1 半導体の基本的性質

半導体とは、導体と絶縁体の中間の性質を示す物質である。電子が存在できるエネルギー準位である許容帯は価電子帯と伝導帯で構成されるが、その間の存在することが出来ないエネルギー準位を禁制帯という。禁制帯のエネルギー幅をエネルギーバンドギャップ E_g という。価電子帯にある電子は伝導帯に励起されることでキャリアとなり伝導性を示す。導体は、価電子帯と伝導帯のエネルギー準位が重なっているため、わずかなエネルギーを得ることで電子が自由に動くことが出来るため導電性を示す。絶縁体の特徴は、エネルギーバンドギャップが大きく、室温程度では電子が上のエネルギー準位の許容帯（伝導帯）に遷移できないため、導電性を示さない。

半導体は、エネルギーバンドギャップが有限（Si で $E_g=1.1$ eV）なので、室温ではわずかな暗電流が発生しているが、そこに荷電粒子が通過しエネルギーを与えることで価電子帯にある電子が効率よく伝導帯に遷移し自由に移動できるようになり、信号として読み出すことができる。

2.1.2 不純物半導体

半導体を構成する物質は主にケイ素などの第 14 族元素で、図 2.1 のようにダイヤモンド結晶構造を形成しており、第 14 族元素のみからなる半導体を真性半導体と呼ぶ。真性半導体に対して、第 13 族のホウ素などが混入しシリコンと置き換わり格子点に入ると図 2.2 のように第 14 族原子同士では共有結合を形成していたものが切れ、電子で埋まっていたところに欠損ができ正孔が生じる。すると、電子で満たされて束縛されていた状態から正孔が電荷の荷い手となり移動することが可能となる。真性半導体においても温度によりキャリアが発生するが、この様なものでは抵抗率が減少し導電性が良くなる。このように、第 13 族元素を混入（ドーピング）させた半導体を、電荷の荷い手である正孔の電荷が正であることから p 型半導体という。一方、リンなどの第 15 族をドーピングさせると図 2.3 のように 4 本の共有結合と 1 つの価電子が現れる。この価電子は束縛されることなく移動できるので、電子が電荷の荷い手となる。このように、第 15 族をドーピングさせた半導体を、電荷の荷いであるが電子の電荷が負であることから n 型半導体という。

真性半導体に対して，不純物をドーピングした n 型半導体，p 型半導体をまとめて不純物半導体と呼ぶ。

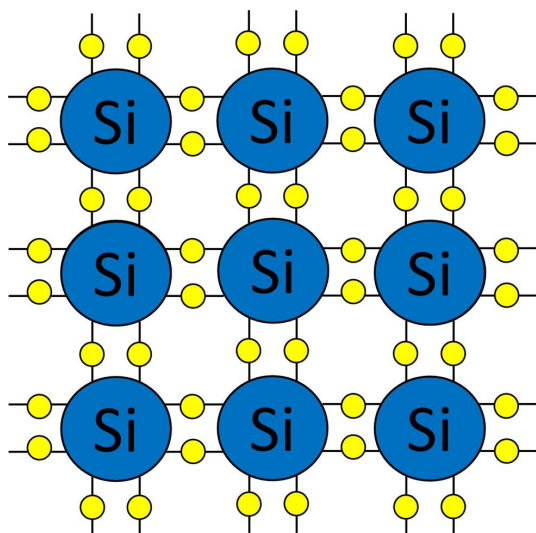


図 2.1: 真性半導体 (Si) の構造

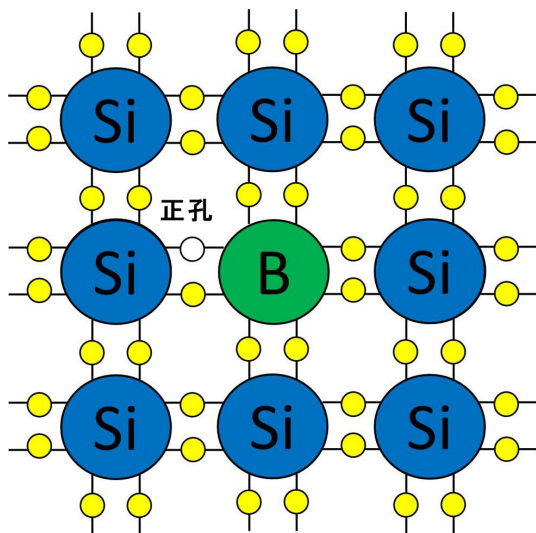


図 2.2: p 型半導体 (B ドープ) の構造

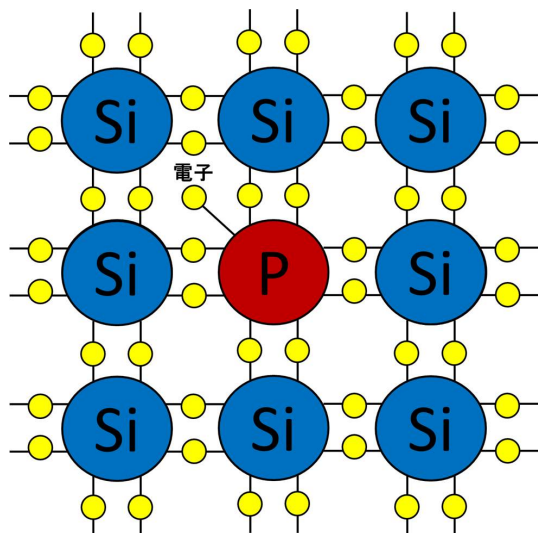


図 2.3: n 型半導体 (P ドープ) の構造

2.1.3 PN 接合

不純物半導体である p 型半導体と n 型半導体を接合したものを PN 接合という。p 型半導体には多くの正孔が存在し、n 型半導体には多くの電子が存在しており、二つの半導体を PN 接合すると接合間の不純物濃度差により、正孔は p 型半導体から n 型半導体側へ拡散し、逆に電子は n 型半導体から p 型半導体側へ拡散し、正孔に電子が入り込みそれぞれのキャリアを相殺した状態となる。この様にキャリアがなくなった状態になることを空乏化といい、キャリアの存在しない空乏化している層のことを空乏層という。接合前は電氣的に中性である p 型半導体は、不純物濃度差による拡散が進行すると正孔を放出するため電氣的に負となり、n 型半導体では電子を放出するため正となり、n 型半導体から p 型半導体方向への拡散を妨げるような電場が生じる。不純物濃度差による拡散が進行していくにつれて、キャリア放出による拡散を妨げるような電場も強くなっていき、やがて不純物濃度差による濃度勾配と平衡状態となる。空乏層がある厚さになり平衡状態となるまで空乏化は進行する。この際、空乏層は p 型半導体側、n 型半導体側の両側に広がるがキャリアの密度が低いほうに大きく広がる。

このときの n 型半導体側・p 型半導体側それぞれに広がる空乏層の厚さ d は以下の式 (2.1) を用いて求めることが出来る。

$$d = \sqrt{2\epsilon\rho\mu V_0} \quad (2.1)$$

ここで、 ϵ は誘電率、 ρ は空乏層の広がる側の半導体の抵抗率、 μ はキャリアの移動度、 V_0 は拡散電位である。

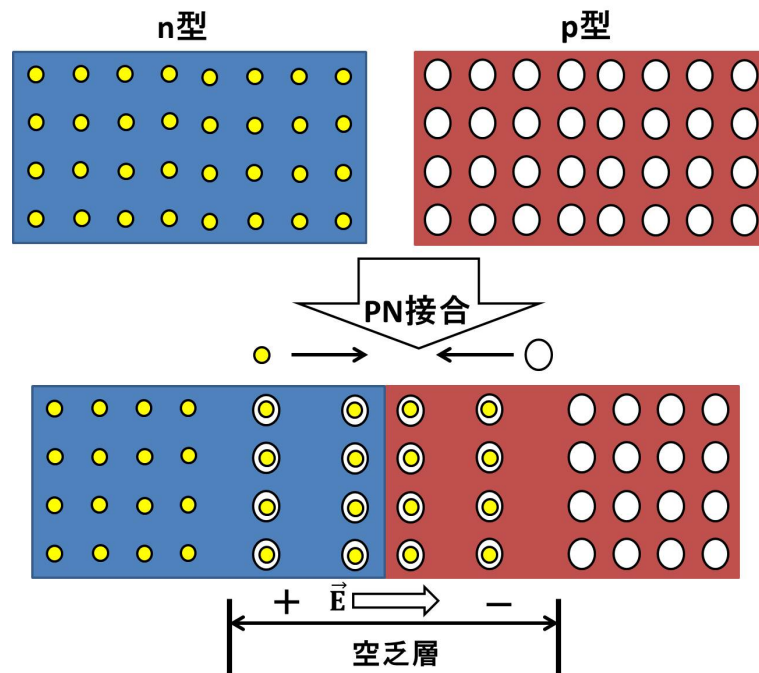


図 2.4: 電子正孔の結合はキャリアが存在しない状態を示す.

2.2 半導体検出器

半導体検出器とガス検出器を比較すると半導体検出器の利点は電子正孔対の対生成に要するエネルギーが小さいことがあげられる．物質によるエネルギー閾値の違いをまとめたのが表 2.1 である．半導体である Si の電子正孔対生成エネルギー閾値は 1.12 eV であるのに対して，ガス検出器で用いられる He、Ne、Ar、CH₄ は Si の 10 倍以上となっている．エネルギー閾値が小さいとエネルギー分解能の向上や収集電荷量の増大につながる．ほかにも，半導体プロセスによる細密化が容易であること，応答が高速であること，コンパクトであることなどの利点があり，このような理由から高エネルギー物理実験では崩壊点検出器として半導体検出器が広く用いられている．

	平均イオン化エネルギー [eV]
Si	3.6
Ge	0.7
He	41
Ne	36
Ar	26
CH ₄	28

表 2.1: 検出エネルギー閾値 [7]

2.2.1 半導体検出器の動作原理

半導体検出器は p 型半導体と n 型半導体を PN 接合したダイオードが基本構造である。空乏層に粒子が入射すると、粒子の持つエネルギーを空乏層中で落とし電子正孔対が生成され、空乏層中の電場により電子は n 型半導体側、正孔は p 型半導体側に移動する。移動する電荷により電極に誘起された信号を収集し、電気信号として検出する。半導体検出器として利用する際は、空乏層が大きいほど多くの信号が生成され、また電場が強いほど高速に電気信号を収集できる。よって、効率的に利用するためには全空乏化させることが有効である。そのために PN 接合に逆バイアス電圧を印加すると、n 型半導体側から p 型半導体側への電場が生じるので、n 型半導体中ではキャリアである電子は n 型半導体側の電極へ、p 型半導体中ではキャリアである正孔は p 型半導体側の電極へと引きつけられる。このようにして空乏層が広がり、全空乏化することが可能である。空乏層はキャリア密度が小さいほうへ大きく広がるので、半導体検出器では電極にキャリア密度の高いものを用いて、バルク部分にはキャリア密度の低い高抵抗のものを用いることでバルク側に効率よく空乏層が広がり、逆バイアス電圧を印加した際の n 型半導体部分に広がる空乏層の厚さ d は以下の式 (2.2) を用いて求めることが出来る。

$$d = \sqrt{2\epsilon\rho_n\mu_e(V_0 + V)} \quad (2.2)$$

ここで、 ϵ は誘電率、 ρ_n は n 型半導体部分の抵抗率、 μ_e は電子の移動度、 V_0 は拡散電位、 V は逆バイアス電圧である。

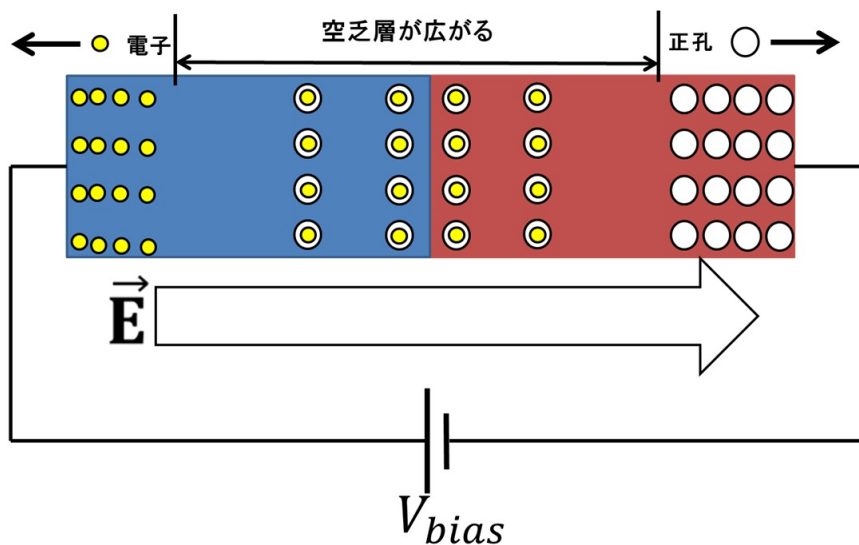


図 2.5: 逆バイアス状態. 電子正孔の結合はキャリアが存在しない状態を示す.

2.2.2 ストリップ型検出器

半導体検出器の種類の一つとして、ストリップ型検出器がある. n 型基板ストリップ型検出器は, n 型基板上に p 型半導体をストリップ状に形成し, 逆バイアス電圧を印加して用いる. 粒子が入射すると電子正孔対が生成され, 正孔は逆バイアス電圧による電場に従いストリップ状に形成された p 型電極に収集され電気信号として検出される. この様にして, 粒子の入射位置が 1 次元的にわかる.

ストリップ型検出器はある 1 次元の軸方向の粒子の通過位置を検出することができるが, ストリップを x 軸と y 軸のように 2 次元的に配置することによって, 粒子の通過位置が 2 次元的に検出することが可能となる. しかし, ストリップ型検出器の課題として同時に二つ以上の粒子が通過するとゴーストが出現してしまうという点がある. 例えば粒子が座標 (1,2) と (3,4) を同時に通過したと仮定すると, x 軸方向は 1 と 3 の位置に同時に信号が検出され, y 軸方向は 2 と 4 の位置に同時に信号が検出される. すると, 検出された信号から粒子の通過位置を再構成する際, (1,2) と (3,4) の組み合わせと (1,4) と (3,2) の組み合わせの二通りが考えられるようになってしまう. そのため実用上は同時に複数の荷電粒子が入射しないように領域を狭くして, またはゴーストができて隣接の情報から判別できるように複数の検出器を重ねて用いられる.

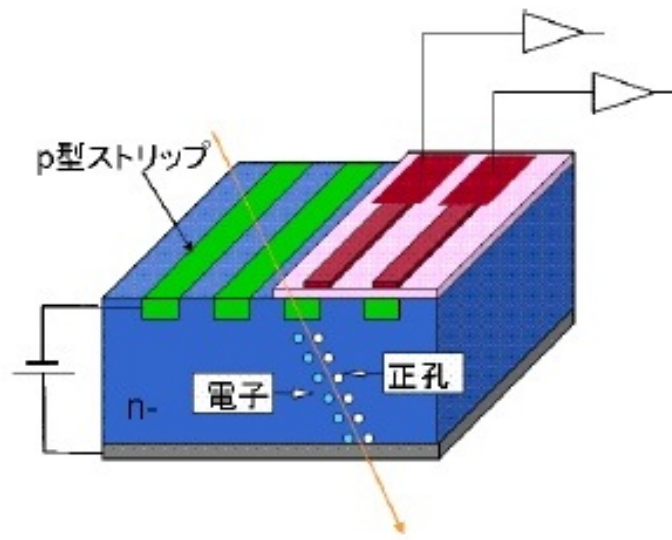


図 2.6: ストリップ型検出器の構造 [4]

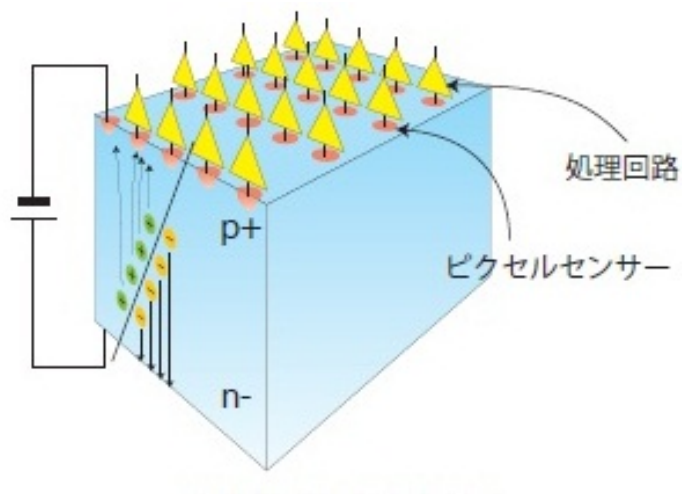


図 2.7: ピクセル型検出器の構造 [6]

2.2.3 ピクセル型検出器

ピクセル検出器は、2次元的にピクセルを配置しそれぞれのピクセルに電荷を収集して信号として読みだすための電極がつながっており、入射粒子の位置情報を2次元的に得る

ことが出来るようになってきている。ピクセル検出器のメリットとして、ゴーストができないなどストリップ型検出器に比べ精密な入射位置を測定できる。しかし、それぞれのピクセルから読み出しを行うので処理すべき情報量が多くなること、またハイブリット型というセンサー部と回路部を金属バンプで接続したものでは、1つのピクセルの大きさが金属バンプの大きさにより制限されること、物質量の増加、また多チャンネルのバンプ接合は技術的に困難となりコストがかかるなどのデメリットがある。

2.3 代表的な加速器とその検出器

2.3.1 LHC

LHC (Large Hadron Collider) は、欧州合同原子核研究所 (CERN) にある陽子・陽子衝突型の世界最大の円形加速器である。LHC には図 2.8 のように ATLAS、CMS、ALICE、LHCb の 4 つの検出器が設置されている。2013 年までの重心系エネルギー 8 TeV でのラン 1 が終わり、2015 年から重心系エネルギー 13 TeV でのラン 2 の運転が行われている、2019 年から 2021 年に重心系エネルギー 14 TeV でのラン 3 が行われる計画である。

また、2023 年からはルミノシティを上昇させた HL-LHC(High Luminosity LHC) へのアップグレードが計画されている。[8]

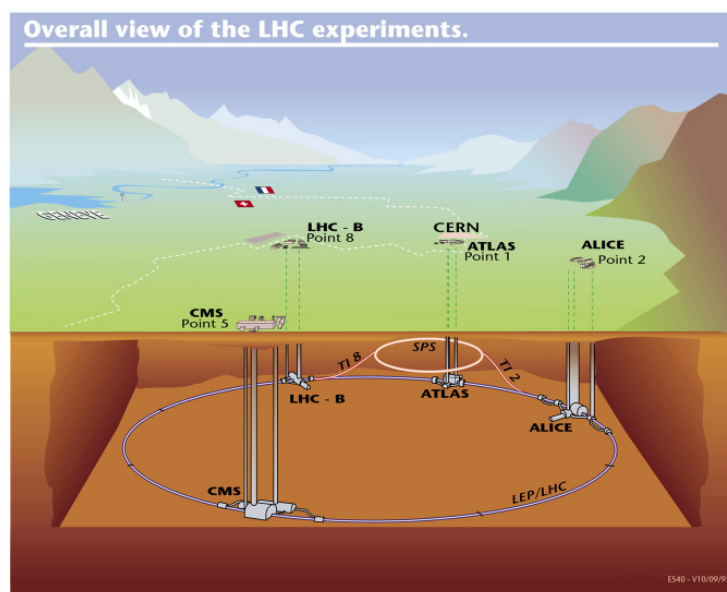


図 2.8: LHC[9]

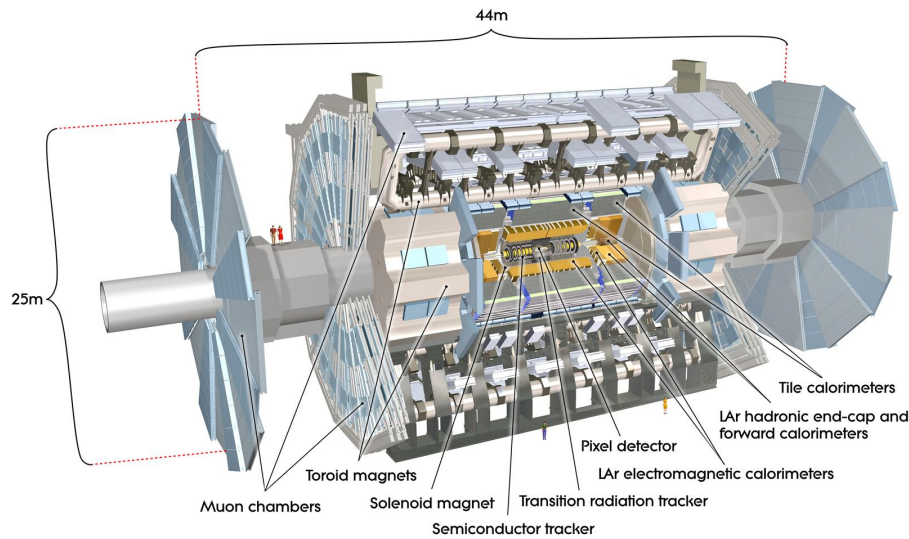


図 2.9: ATLAS 検出器 [10]

SCT(SemiConductor Tracker)

ATLASに設置された半導体ストリップ型検出器として、SCT (Semi Conductor Tracker) がある。SCT モジュールは、ベースボードと4枚のシリコンマイクロストリップセンサーで構成される。シリコンマイクロストリップセンサーは6.4 cm 四方で表面に $80\ \mu\text{m}$ 間隔で768本のストリップ電極をもつ。2次元的な位置情報を得るため2層を重ねて接着してある。この際40 mrad ずらして配置することでストリップ方向の分解能も得られるようにしている。

ピクセル型検出器

ピクセル検出器を用いることで、ストリップ型検出器より高精度な位置情報を得ることが出来る。ATLASでは、SCTの内側に半導体ピクセル検出器が設置されている。ハイブリット型ピクセル検出器という種類の構造をしており、センサー部分と読み出し回路の2つの基板が金属バンプを通して接続されている。

2.3.2 ILC

ILC(International Linear Collider) は、日本の北上山地が建設候補地になっている現在構想中の電子・陽電子衝突型線形加速器である。第1期では重心系エネルギー250 GeVでの運用

が、第2期では500 GeV～1 TeVでの運用が検討されている。ILCには、ILD(International Large Detector) と SiD(Silicon Detector) の2つの検出器が運用される予定である。ILDの最内層ピクセル検出器では $3\text{ }\mu\text{m}$ 以下の高い位置分解能が要求されている。我々SOIPIXグループはILCに向けて高い位置および時間分解能をもつSOFIST検出器の開発を行っている。

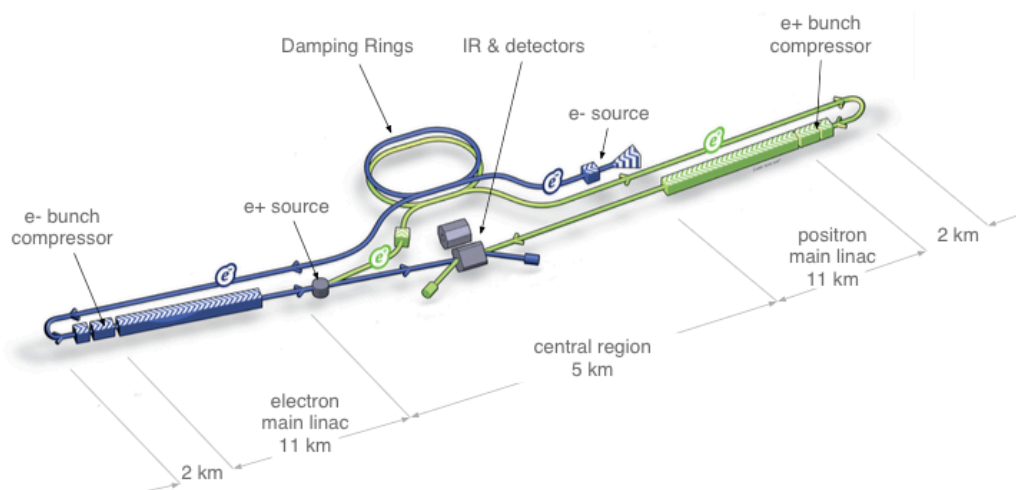


図 2.10: ILC 加速器 [11]

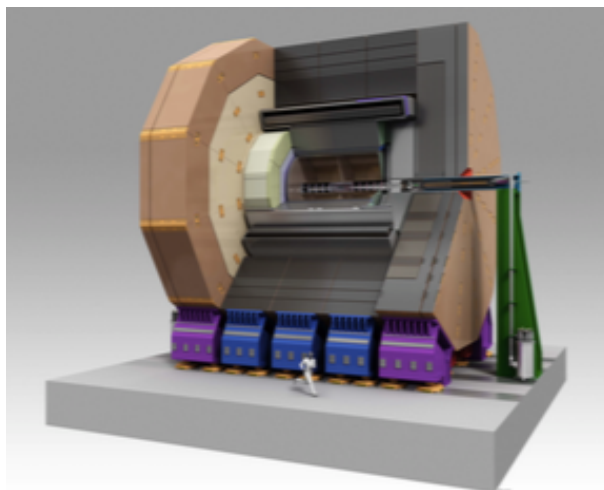


図 2.11: ILD 検出器 [11]

2.4 半導体検出器の放射線損傷

2.4.1 Total Ionizing Dose(TID)

半導体に荷電粒子が入射すると電子正孔対が生成されるが、酸化膜でも同様に電子正孔対が生成される。酸化膜中では正孔の移動度が低いいため生成された電子正孔対のうち正孔のみが酸化膜中にトラップされる。このような電離性の損傷を TID と呼ぶ。

TID により酸化膜中に正孔が蓄積していくと、酸化膜は正に帯電していく。その結果高照射量になると直近に存在するトランジスタの特性変動を引き起こす。NMOS トランジスタではゲートに電圧を印加している状態となるため常に ON 状態となり常に電流が流れ続けてしまう。逆に PMOS トランジスタにおいてはゲート電圧を印加しても酸化膜の電位に相殺されてしまうため十分な電流が流れない。

TID 効果によるトランジスタの特性変動は通常 FET のゲート酸化膜に正孔が蓄積した際に起きるが、SOI ピクセル検出器は酸化膜上に FET を形成するため TID 効果によるトランジスタの特性変動の影響をより大きく受ける。

2.4.2 Non Ionizing Energy Loss(NIEL)

半導体検出器に陽子などの重い粒子が高いエネルギーを持って入射した際、バルク部の Si 原子の結晶格子を破壊し格子欠陥をつくることがある。このような非電離性の損傷のことを NIEL と呼ぶ。

NIEL による格子欠陥はフレンケル欠陥とショットキー欠陥の 2 種類に分類される。フレンケル欠陥とは入射粒子により弾き出された Si 原子が結晶間で止まるためバルク密度は変化しないがバルク部の抵抗値が変化する。これに対してショットキー欠陥は入射粒子により弾きだされ空孔を作った状態である。ショットキー欠陥ではバルク密度は変化するが抵抗値は変化しない。

フレンケル欠陥による格子欠陥が生じることで P 型不純物が実効的に増加するため、バルク部が高比抵抗の N 型の場合高照射量下では P 型へと型変換を起こし PN 接合が形成されなくなり空乏層が生じなくなってしまう。そのため、現行の ATLAS 検出器では半導体検出器は N 型バルクを採用しているが、HL-LHC にアップグレード後は P 型バルクを採用を予定している。しかし、P 型バルクでも抵抗値が変化するため全空乏化電圧変化してしまう。

2.4.3 Single Event Effect(SEE)

半導体検出器に重イオンなどの重荷電粒子が入射すると多くのエネルギーを落とすため、大量の電子正孔対が生成される。その結果回路に大電流が流れラッチアップ現象や絶縁破壊等が起き回路が損傷してしまう。この現象を Single Event Effect(SEE) という。

SEE の対策として，トランジスタのボディを薄くするなどして重荷電粒子入射の際の FET 中での生成電子正孔対の量を減らすことが有効である．

第3章 SOIピクセル検出器

3.1 SOIピクセル検出器の構造

2005 年より KEK の測定器開発室のプロジェクトとして、SOI(Silicon On Insulator) 技術を用いた SOI ピクセル検出器の開発が行われている。SOI 技術とは、 SiO_2 の絶縁膜上に MOSFET を形成する技術で、SOI-CMOS 構造の回路を形成する。各 FET は酸化膜により電氣的に分離されている。我々は SOI 技術を用いて、センサー部を支持基板 (ハンドルウェハー) とし、回路部のシリコン層との間の SiO_2 酸化膜層 BOX(Buried OXide) を貫く金属ビア (タングステン) を形成することで読み出し回路一体型のピクセル検出器の開発を行っている。センサー部のシリコン層には、電荷収集のための電極シリコンがピクセル状に配置され、そこから BOX 層を貫通する金属ビアを通して読み出し回路に接続されているので、どの電極で電荷が収集されたのかを測定することにより入射粒子の位置情報を 2 次元的に得ることができ、収集電荷量は ADC 値として測定され入射粒子がセンサー部でおとしたエネルギーがわかる。P 型の SOI ピクセル検出器の構造を図 3.1 に示した。

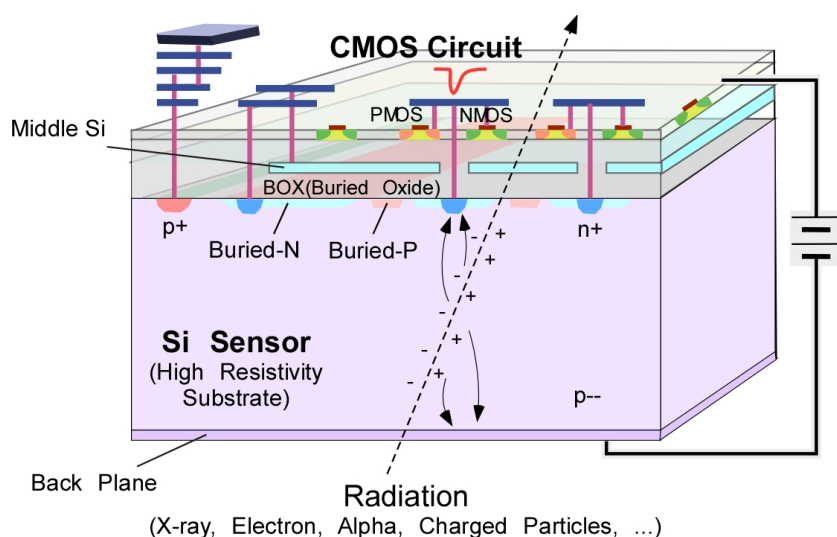


図 3.1: SOI ピクセル検出器の構造 [12]

3.2 SOI プロセス

3.2.1 ウェハ－

SOI ピクセル検出器の支持基板となるウェハ－は Si で構成されている．この Si にドーピングする不純物の種類で基板のタイプが決定される．基板に第 15 族の P をドーピングさせることで N 型基板の検出器となり，第 13 族の B をドーピングさせることで P 型基板の検出器となる．また，この際にドーピングする不純物の濃度によりウェハ－の抵抗率が決定される．不純物濃度を少なくすることで抵抗率が高くなり，高抵抗のセンサー層が形成されるため全空乏化しやすくなる．我々の SOI プロセスでは FZ 法と CZ 法の 2 つの異なる製法によりウェハ－を作製している．

CZ 法

CZ(CHOCHRALSKI) 法では，多結晶の Si を石英るつぼの中で融解させることで Si 結晶のインゴットが形成する．石英るつぼからの酸素の溶け出しがあるため，FZ 法に比べて酸素濃度が高く比抵抗が低くなる．メリットとしては面内抵抗均一性がよく，また機械的強度が強いため形成が難しい後述の double SOI のウェハ－はこれまで CZ 法でのみ形成されてきた．

FZ 法

FZ(Floating Zone) 法は，一度にすべての Si 種を溶解する CZ 法に対して，ポリシリコンの Si 種結晶をインダクションコイルとの接触面で少量ずつ融解させインゴットを形成する．メリットとして不純物の混入が少ないため高比抵抗化が容易で数 $\text{k}\Omega \cdot \text{cm}$ も実現可能であるため多くの半導体検出器に用いられる．しかし，面内の抵抗均一性が低く，またコストが高いというデメリットがある．

3.2.2 スマートカット法

SOI ウェハ－作製プロセスにはスマートカット法を用いている．スマートカット法の手順を以下に示す．

1. 2 枚のシリコンウェハ－を用意する．1 枚はバルク部 (図 3.2 の A)，もう 1 枚は酸化膜上の回路層 (図 3.2 の B) となるため，バルク部となるウェハ－には全空乏化しやすいう高抵抗のものをし、回路層となるウェハ－には標準抵抗のものをし、用いる．
2. 回路層に用いるウェハ－ (図 3.2 の A) の表面を酸化する．

3. 酸化したウェハの片面に対して水素イオンを照射する．この処理により一定深さで機械的に脆弱な層が形成される．
4. 水素イオンを照射した面とバルク部に用いるウェハ（図 3.2 の B）を貼り合わせる．熱処理することで SiO_2 層同士が強固に結合する性質を用いている．
5. 2 枚のシリコンウェハを貼り合わせたもののうち回路層となるウェハにおいて、水素イオンをインプラントした面から剥離することが可能となる．この面から剥離することで、酸化膜上に回路を形成するための酸化されていない Si の面が表面あらわれ、バルク層の上に酸化膜層、さらにその上に回路層が形成された構造の SOI ウェハが作製できる．また、SOI ウェハから剥離した際に生じた回路層用のウェハの残りは再び回路層形成のためのウェハ（図 3.2 の B）として再利用される．

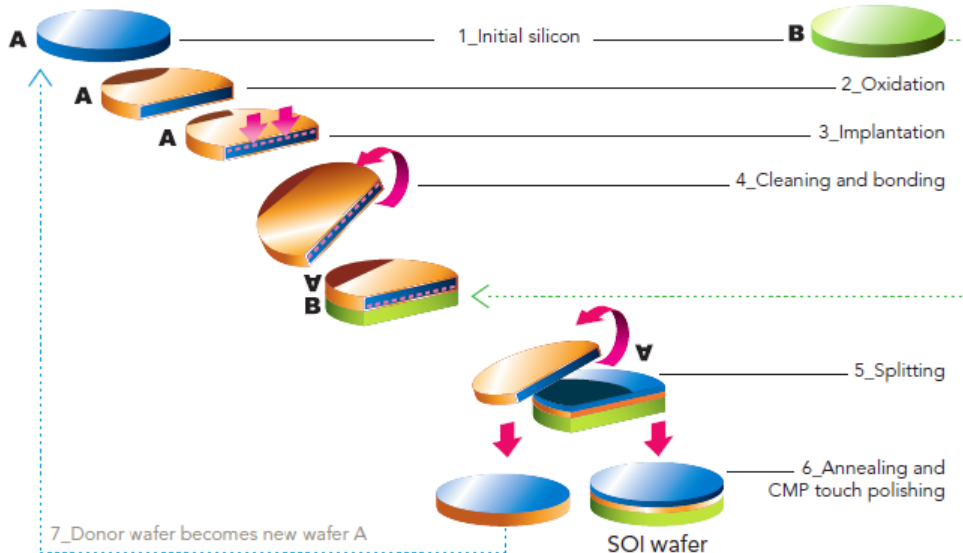


図 3.2: スマートカット法 [15]

3.2.3 FET のフォトリソグラフィ

スマートカット法により作製した SOI ウェハ上にフォトリソグラフィと呼ばれる技術を持ちいて FET を形成することで SOI 検出器の集積回路部が作られる．以下の工程により SOI ウェハ上へ FET が形成される．

1. 回路層となる Si 層の面において FET を形成する部分の上にもみレジストを塗り，表面をエッチングする．
2. レジストを除去したのち，N 型としたい領域に対しては P イオンを，P 型としたい領域に対しては B イオンをインプラントして回路層の Si のタイプとキャリア密度を調節する．
3. サイドウォール酸化膜形成のために表面全体に酸化膜を形成する．
4. 形成した酸化膜のうち FET をのゲートを形成する領域の両脇の部分のみ残して残りの酸化膜を除去し，再び Si のタイプに合わせた As イオンや B イオンをインプラントすることで FET が形成される．

3.3 SOI 検出器の利点

3.3.1 SOI-CMOS

Bulk-CMOS の概念図を図 3.3 に，SOI CMOS の概念図を図 3.4 に示した．

Bulk CMOS では pn 接合を用いてそれぞれトランジスタ 1 つ 1 つを分離しているが，電氣的に完全には分離することが出来ていない．そのため高温や低温下での動作に限界がある．

一方，SOI CMOS では， SiO_2 の埋め込み酸化膜 (BOX) によりトランジスタ 1 つ 1 つは完全に独立しており，電氣的な接続はない．したがって，Bulk CMOS と比較すると SOI CMOS は BOX 層として絶縁酸化膜を用いることで寄生容量低下による高速化・低消費電力化・S/N 比の向上などのメリットがある．特に SOI グループで使用している SOI ピクセル検出器は FET の Body が薄い FD-SOI となるため広い温度領域での動作も実現している．MOS デバイスでは重荷電粒子が通過した際に多くの電子正孔対の生成されることにより大電流が流れ，デバイス内部に異常電流が流れ続けるラッチアップ現象や絶縁破壊がおこる SEE(Single Event Effect) が問題となる．しかし，SOI CMOS では BOX によりトランジスタが完全に独立しているため電流が流れ込みにくいので Bulk CMOS に比べて SEE 耐性がある．

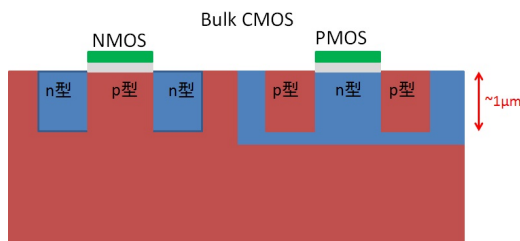


図 3.3: Bulk CMOS 概念図



図 3.4: SOI CMOS 概念図

3.3.2 モノリシック型

LHC 実験で用いられるピクセル検出器はセンサー基板と読み出し回路基板を金属バンプを用いて接合しているため、ピクセルの大きさは金属バンプの大きさにより制限を受ける。金属バンプの大きさは約 $20\ \mu\text{m}$ ほどで、ピクセルサイズは $50\ \mu\text{m}$ 程度となる。ATLAS の場合は読み出し回路の高機能化によりピクセルサイズは $50\ \mu\text{m} \times 250\ \mu\text{m}$ に制限しているが、今後ナノスケールの読み出し回路を採用すると金属バンプは限界に達すると予想される。これに対して、SOI 検出器はセンサー部と読み出し回路部を酸化絶縁膜の BOX 層で分離し、金属ビアを用いて接合しているため金属バンプの大きさによる制限を受けず、ピクセルが $15\ \mu\text{m}$ 角程度、最も細かい FPIX では $8\ \mu\text{m}$ 角であるように細ピクセル化を実現し、従来の半導体検出器と比較してよい位置分解能が得られる。また、接合が金属バンプから金属ビアとすることで低物質量化も実現している。さらに、金属バンプでは精密な機械的な接合が半導体プロセスとは別途必要とされるが、SOI 検出器では半導体プロセスの中で接合されるので低コスト化にもつながる。

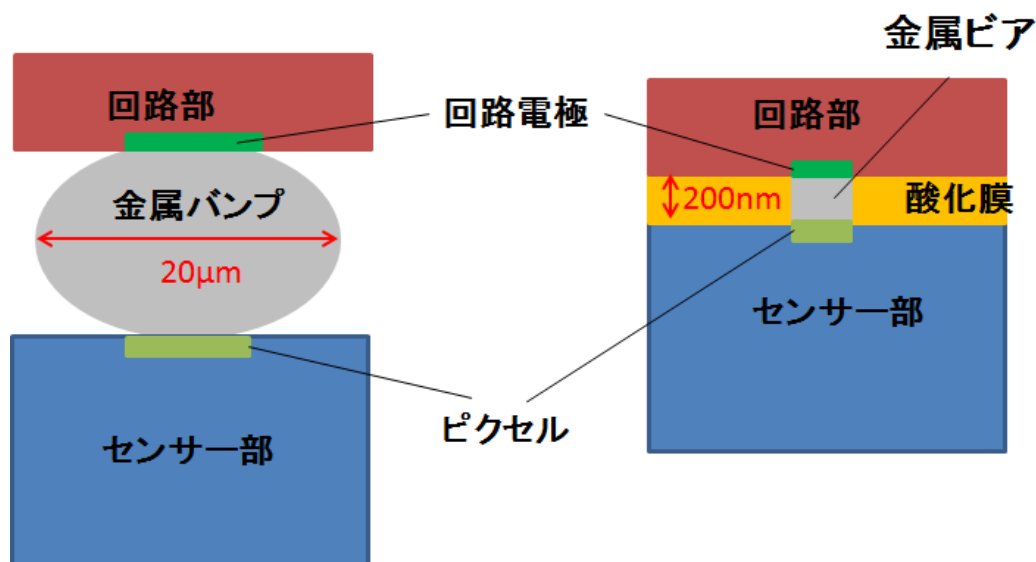


図 3.5: ハイブリット型検出器 (左) とモノリシック型検出器 (右) の接合の比較

3.3.3 高比抵抗センサー層

SOI ウェハはセンサー層（支持基板）と回路層をスマートカット法により接合する。そのため回路層には FET に適切な標準抵抗の Si ウェハ（数 $\Omega \cdot \text{cm}$ ）を用い、センサー層

には高比抵抗の Si ウェハー (典型的に $1\text{k}\Omega \cdot \text{cm}$) を用いることができる。その結果バルク部へ印加する逆バイアス電圧が低い電圧でも全空乏化が可能となる。

3.4 SOI 検出器の課題

前述のように従来の半導体検出器に対する大きなメリットがあるが、SOI 検出器が高エネルギー実験で実用化されるためには以下の 3 つの課題がある。

3.4.1 バックゲート効果

SOI 検出器は、センサー層の全空乏化をさせるために逆バイアス電圧を印加させて使用する。しかし、センサー部と読み出し回路部が一体のモノリシック構造のため逆バイアス電圧の電位が読み出し回路部のトランジスタにまで及ぶ。すると逆バイアス電圧の印加が読み出し回路の FET に対して BOX 層をゲート酸化膜として電位を印加したように作用するため FET の閾値電圧に変化が生じる。これをバックゲート効果という。

バックゲート効果を抑制するために BPW(Buried P-Well) が考案された。BPW は、BOX 酸化膜層直下の n 型のセンサー基板部に形成された p 型ウェルのことで、そこから端子を出すことで電位を固定することが可能となりバックゲート効果を抑制することができる。しかし、P ウェルを必要以上に大きくしてしまうと生成したキャリアの収集効率が悪くなるため、直上の回路に合わせた大きさとする必要がある。

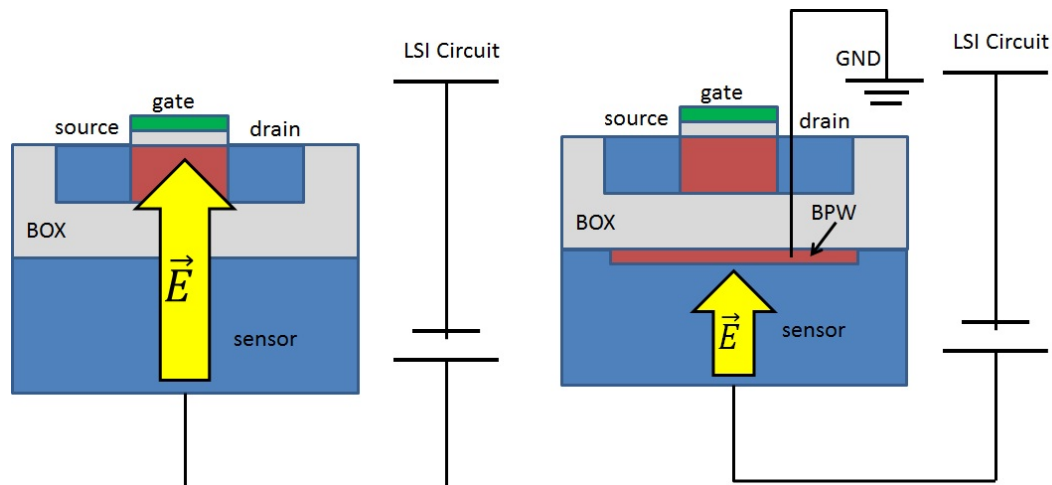


図 3.6: BPW 概念図

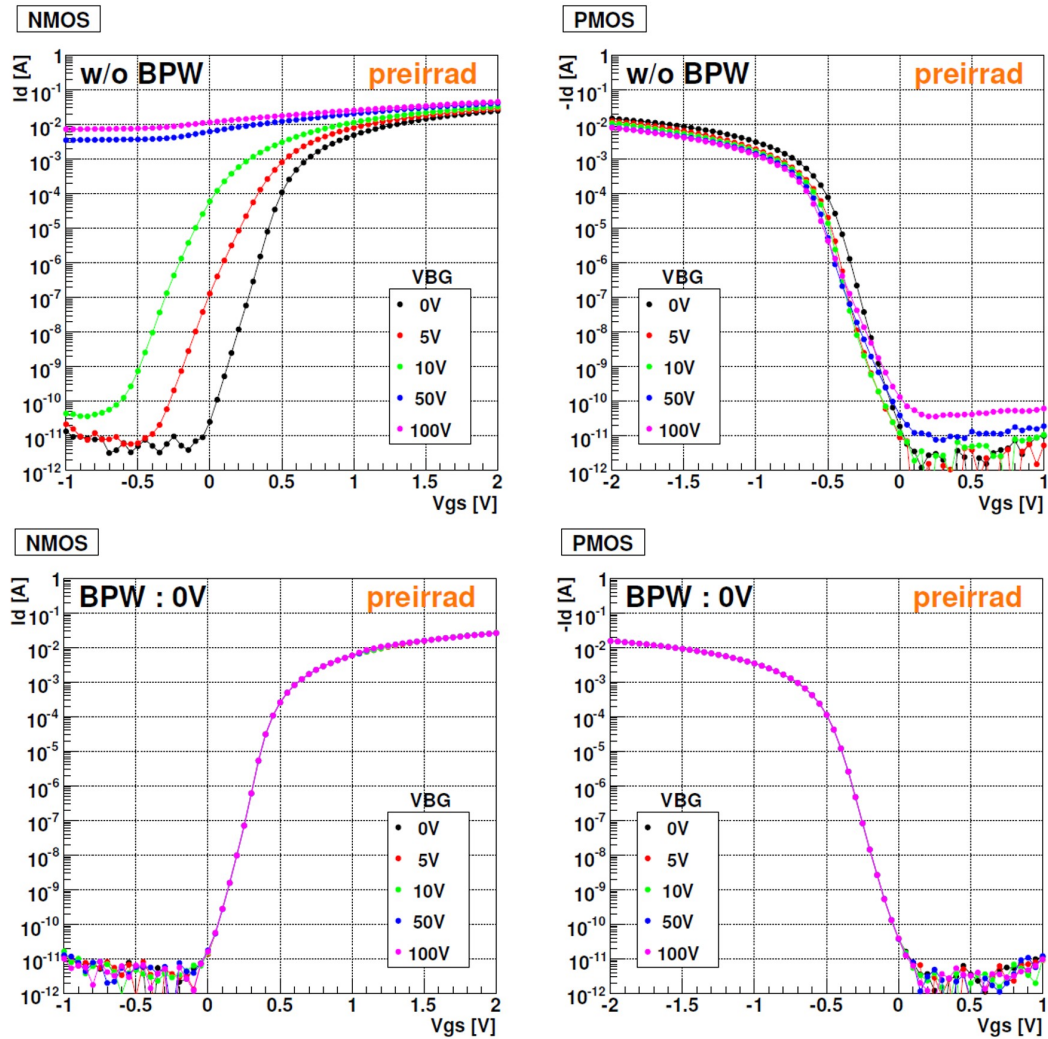


図 3.7: BPW 導入によるバックゲート効果の抑制 [5]

上が BPW をフロートにしたもの．下は BPW を GND に固定したもの．GND に固定することでバックゲート効果による回路特性の変動を抑制できる．

3.4.2 センサー・回路クロストーク

SOI ピクセル検出器は，センサー部と読み出し回路部が 200 nm 程度の薄い酸化膜をはさんで貼り合わせられているので，センサー部と読み出し回路部で電氣的干渉が生じる．この現象をクロストークという．また，センサー・回路だけでなく隣接ピクセルとのクロストークも生じる．クロストークにより実際にはシグナルのないピクセルからダミーのシグナルが出力されてしまう．特にピクセル上にデジタル信号をスイッチする様な計数型セ

ンサーの場合は大きな影響が出る。

3.4.3 TID 放射線耐性

SOI 検出器が放射線にさらされると、酸化膜部分でも入射粒子のエネルギーにより電子正孔対が生成される。電子の移動度は正孔の移動度より大きく、移動度の低い正孔のみが酸化膜層にトラップされる。酸化膜層に正孔が蓄積すると、図 3.8 のように酸化膜が電気的に正に帯電するので回路部に影響を与え、性能が変化してしまう。この効果を TID(Total Ionizing Dose) 効果という。

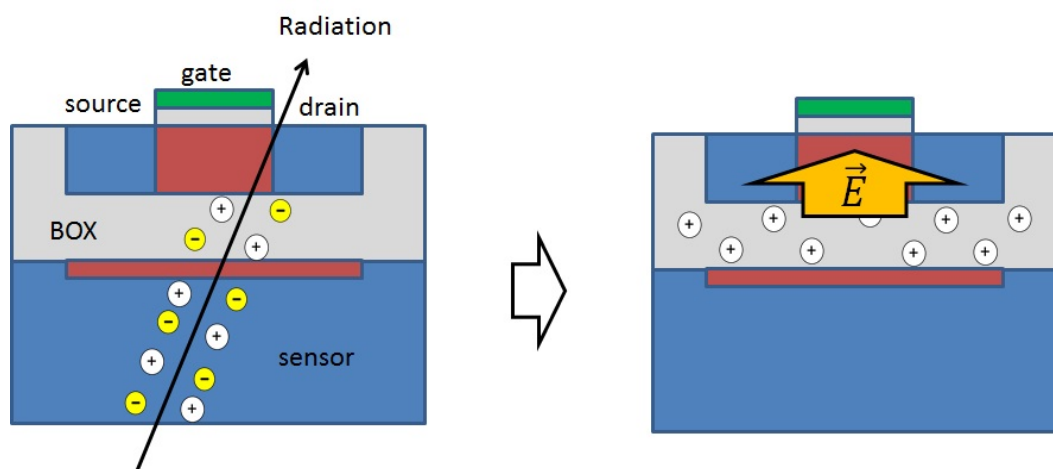


図 3.8: TID 効果 概念図

半導体検出器に要求される放射線耐性

高エネルギー実験に用いられる検出器は、粒子衝突の際に放出される放射線に曝される。SOI 半導体検出器は、放射線にさらされると TID 効果による FET の特性変動に由来して性能が変化する。いくつかの加速器で半導体検出器に照射される放射線量は以下のとおりである。[13][14]

- LHC ATLAS 最内層ピクセル検出器 158 kGy/year
- HL-LHC ATLAS 最内層ピクセル検出器 1.6 MGy/year
- Super-KEKB Bell II 最内層ピクセル検出器 30 kGy/year
- ILC ILD 最内層ピクセル検出器 1 kGy/year

3.5 二層埋込酸化膜構造

前述した3つの課題の克服のために二層埋込酸化膜構造 (double SOI) が考案された。

バックゲート効果に対して BPW を導入することで直上の FET の回路特性の変動の抑制が可能となった。しかし、BPW を大きくすると収集電荷効率が低下することが問題となっていた。そこで double SOI 構造を導入することで、中間シリコン層の電位を固定することが可能となるためセンサー部の逆バイアス電圧による電位の回路層の FET への影響を抑制できる。

センサー回路間クロストークの原因はセンサー部と回路部が酸化膜を介してコンデンサーの役割をしてしまうことである。そのため、センサー部と回路部の間の中間シリコン層の電位を固定することでセンサー部から回路部、回路部からセンサー部への信号の伝達を抑制できる。

TID 効果の原因は、放射線により酸化膜層にトラップされた正孔による電氣的ポテンシャルである。よって TID 効果の抑制のためにはこのポテンシャルを相殺すればよいと考え、酸化膜層に Si 層を埋め込みこの Si 層のポテンシャルをコントロールし電氣的ポテンシャルを相殺することが double SOI の原理である。

酸化膜層に Si 層の形成過程を2回行うため、2重 SOI または double SOI と呼ばれる。2層埋め込み酸化膜構造の作製手順を図 3.9 に示す。図 3.10 のような構造をしている。

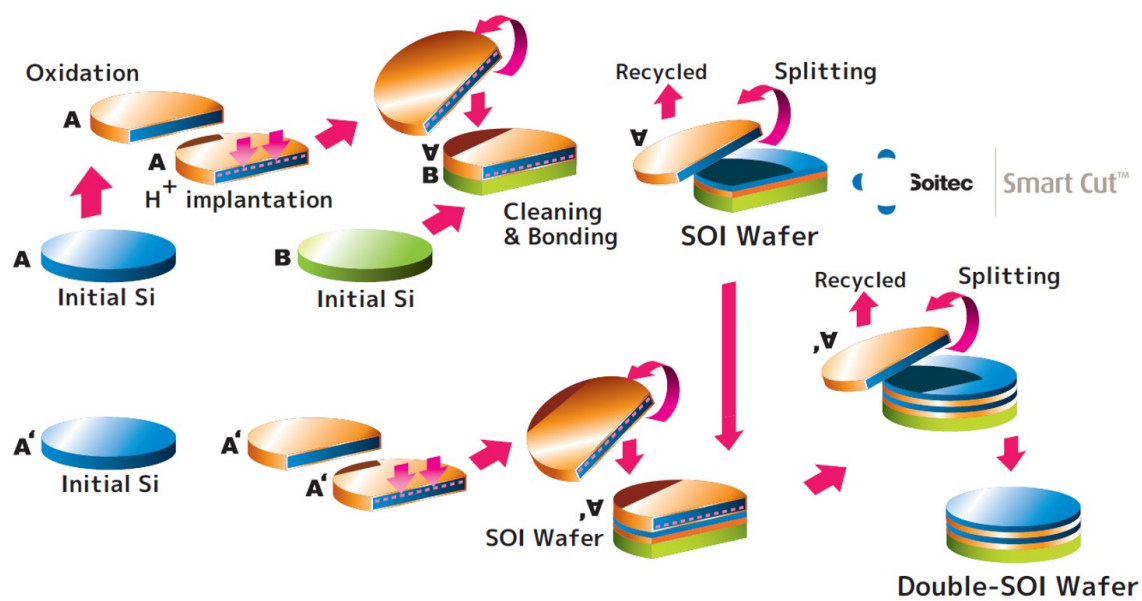
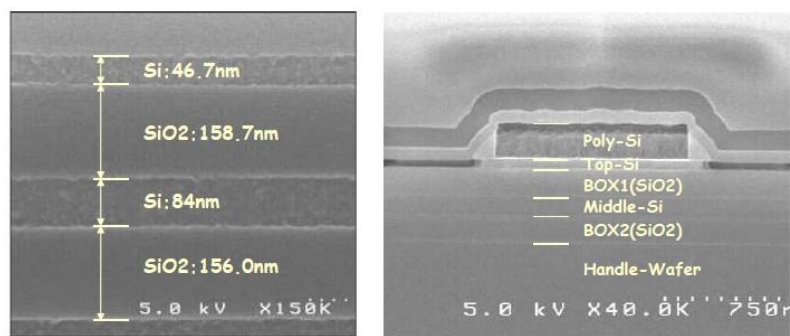


図 3.9: 2層埋め込み酸化膜構造の作製手順 [15]



S

図 3.10: 2重 SOI 構造 [12]

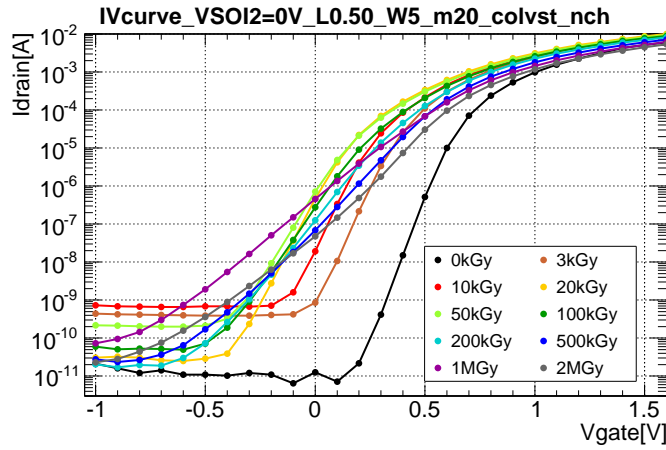


図 3.11: 照射量により IV 特性が変化する様子 (NMOS)[3].

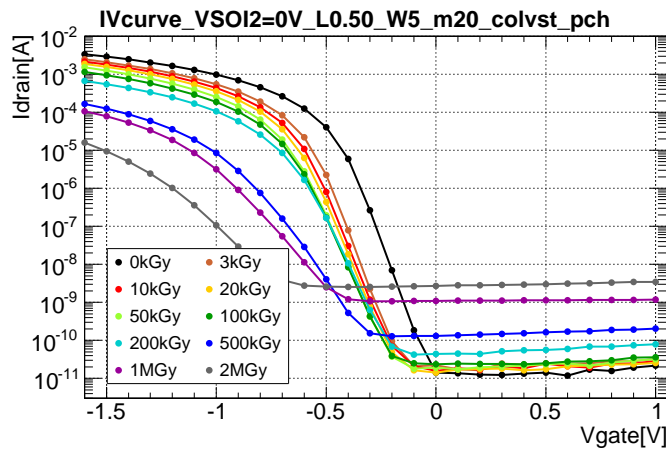


図 3.12: 照射量により IV 特性が変化する様子 (PMOS)[3].

2 層埋込酸化膜構造による TID 効果の抑制は、個々のトランジスタについては 2MGy まで確認されている [3]. ^{60}Co ガンマ線で 10kGy と 2MGy まで照射したトランジスタの $I_{\text{drain}}-V_{\text{gate}}$ 特性変動が VSOI2 印加によって抑制される様子をそれぞれ図 3.13 と図 3.14, 図 3.15 と図 3.16 に示す. 高照射量では $I_{\text{drain}}-V_{\text{gate}}$ 特性の形が異なってしまうが, VSOI2 印加によって $I_{\text{drain}}-V_{\text{gate}}$ 特性曲線自体はプラス方向に回復している.

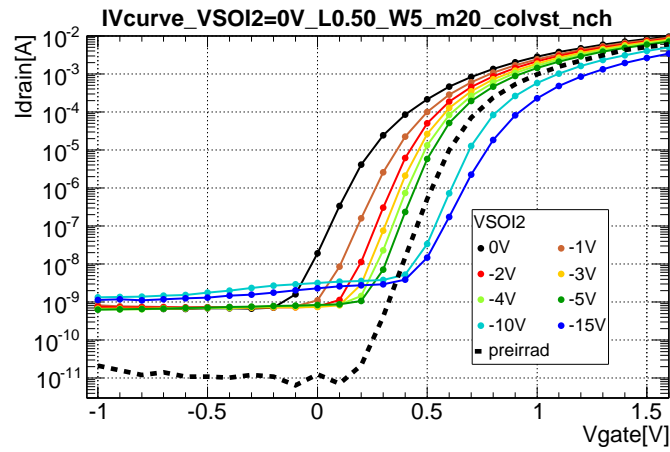


図 3.13: 10kGy の照射で変動した IV 特性が SOI2 電圧により回復する様子 (NMOS). トランジスタの立ち上がり前の電流値が大きいのは、測定によるチップの不具合によるものである [3].

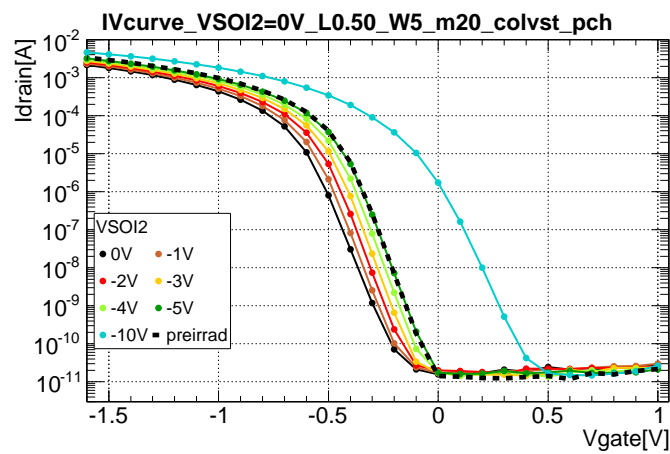


図 3.14: 10kGy の照射で変動した IV 特性が SOI2 電圧により回復する様子 (PMOS)[3].

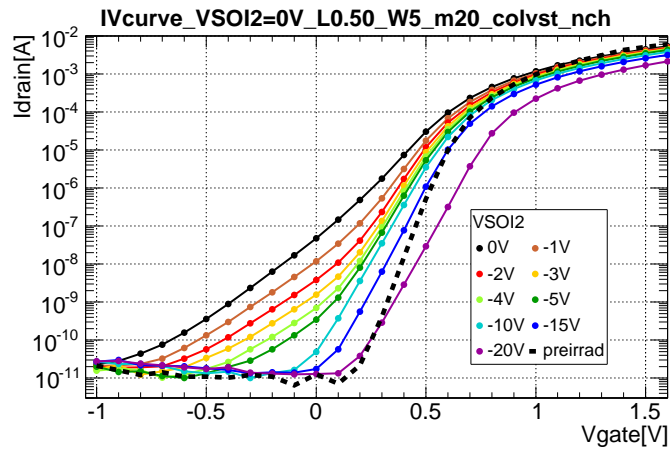


図 3.15: 2MGy の照射で変動した IV 特性が SOI2 電圧により回復する様子 (NMOS)[3].

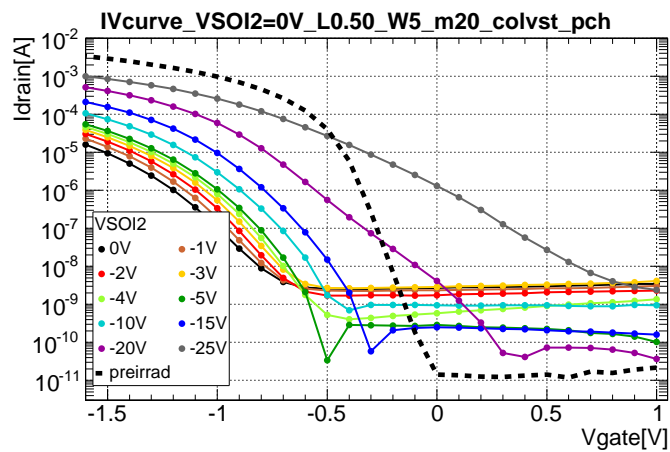


図 3.16: 2MGy の照射で変動した IV 特性が SOI2 電圧により回復する様子 (PMOS)[3].

第4章 INTPIXh2の β 線による性能評価

電荷積分型 SOI ピクセル検出器である INTPIXh2 は荷電粒子の通過を擬似した波長 1064 nm の赤外レーザーを用いて評価を行っている。[1] この章では高エネルギー実験での応用にむけて β 線に対する応答評価した。

4.1 INTPIXh2

INTPIXh2(INTTh2) は、KEK の三好氏、新井氏により設計されラピスセミコンダクタ株式会社により製造された電荷積分型 SOI ピクセル検出器である。INTPIXh2 は $18\mu\text{m}$ 角のピクセル 280×240 個により構成されている。同じピクセル設計で SOI2 層をもつサンプルチップを double, SOI2 層のないチップを single と呼ぶ。

図 4.1 は INTPIXh2 の各ピクセル上に集積された部分の回路図である。測定には図 4.3 に示す DAQ システムを用いて PC と通信・制御した。

信号は回路図の左側の sensor 部分から入力される。まず STORE が ON の状態で RST が ON になることで全てのピクセルの電位をリセット電圧に統一し、 C_{store} 電荷を初期化する。その後 RST が OFF になることで信号の積分が開始される。指定した積分時間が経過すると STORE が OFF となり Storage capacitor に電荷が保持されたとなる。Trigger 入力がない間はこの過程を繰り返す。もし Trigger が入力されると READ が ON となり、Scan time の間に各ピクセルで積分された信号を読み出す。全ピクセルの読み出し終了後再びリセットを行い積分の過程を繰り返す。

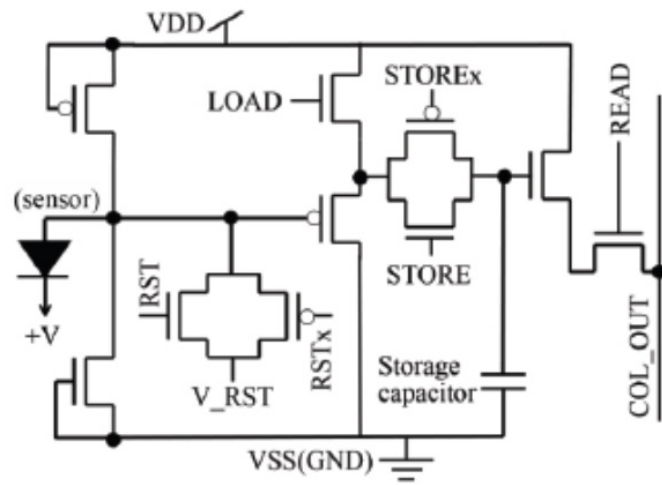


図 4.1: INTPIXh2 回路図

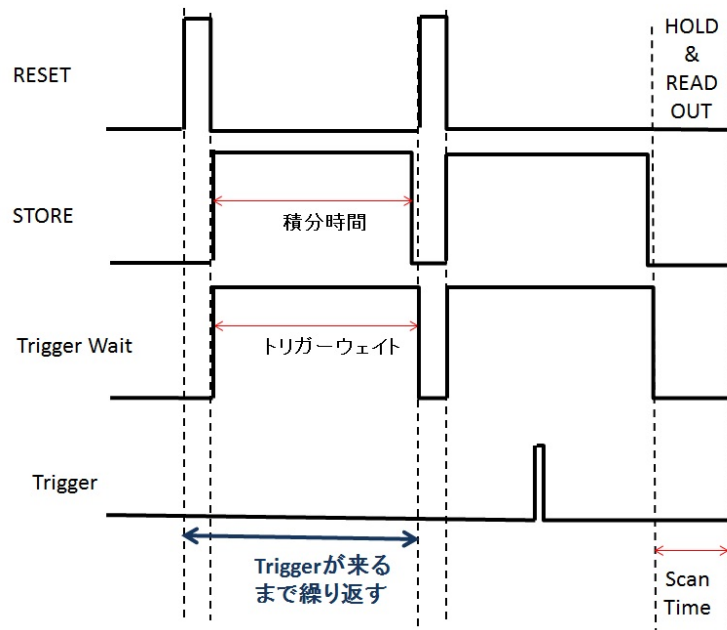


図 4.2: タイミング図

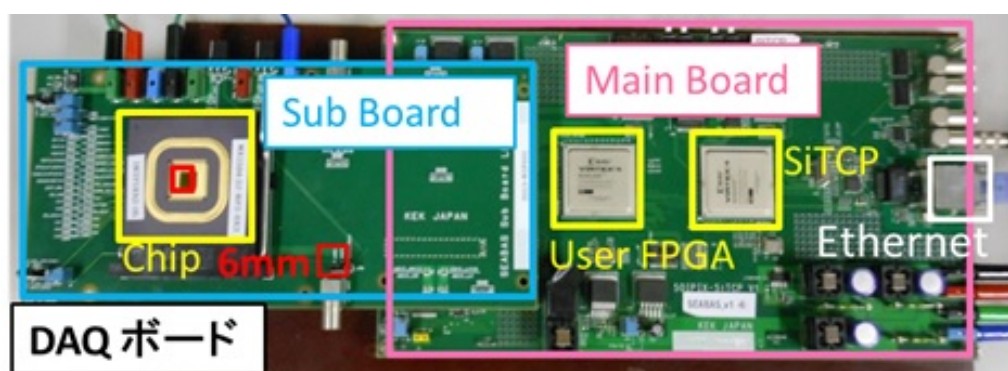


図 4.3: INTPIXh2 DAQ ボード

4.2 β 線に対する応答の評価

4.2.1 セットアップ

セットアップの模式図を図 4.4 に示す。 β 線源として ^{90}Sr を用い、直径 1 mm 程度のコリメータから β 線が放出される。線源による β 線の放出は、定期的ではなくランダムに起こるため 5 mm 角のシンチレータを用いて β 線源、SOI ピクセル検出器、シンチレータの順で並べて配置することで、トリガーとした。積分時間を $1.00 \mu\text{s}$ に設定して測定を行った。積分時間内にトリガー来ない場合、再びリセット信号が送られて積分を開始するが、積分時間内にトリガーがくると電荷をホールドしてデータを保存し読み出しを行う。読み出し完了後リセット信号を送り再び積分を始める。

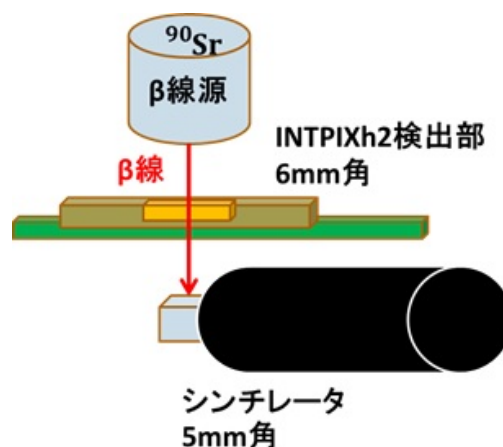


図 4.4: β 線セットアップ模式図

4.2.2 収集電荷量の空乏層厚依存性

半導体検出器のセンサー層の空乏層の厚さ W は式 4.1 で表される。

$$W = \sqrt{2V\mu\epsilon\rho} \quad (4.1)$$

この際、 V はセンサー層へ印加する逆バイアス電圧、 μ はキャリアの移動度、 ϵ は誘電率、 ρ はキャリアの密度である。このように半導体の空乏層の厚さは \sqrt{V} に比例する。ただし、ここでは拡散に起因する初期電圧 V_0 は無視している。

SOI ピクセル検出器のセンサー層に逆バイアス電圧 V_{DET} を印加していき空乏層の厚さと収集電荷量との関係を測定した。測定には 2 層埋め込み酸化膜構造を持たない single のチップを用い、そのパラメータを表 4.1 に示す。

表 4.1: INTPIXh2(single) の主なパラメータ

chip size	6 mm × 6 mm
pixel size	18 μm × 18 μm
# of pixels	240 × 280
active region	4320 μm × 5040 μm
readout scheme	global shutter
Sensor Si(n:>2.0 k $\Omega \cdot \text{cm}$)	500 μm thick

IV カーブ

電流電圧特性を図 4.5 に示す。測定時の温度は 24.2 $^{\circ}\text{C}$ である。480V 程度でブレークダウンを起こしていることがわかる。

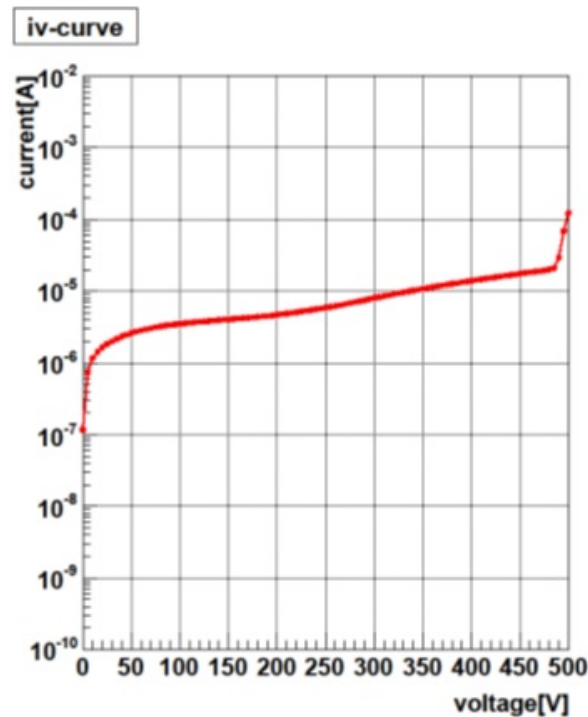


図 4.5: INTPIXh2 single IV カーブ

リセット電圧応答

SOI ピクセル検出器は入射粒子により生成された電子正孔対を収集し電荷量を ADC 値として出力する．ADC 値とシグナルの大きさが比例関係にあれば出力 ADC 値からシグナルの大きさの変換が容易である．ADC 値は RSTV に対応した ADC 値にシグナル分の ADC 値が加算されて出力される．よって，RSTV(リセット電圧)を変化させていき，その際の ADC 値を測定し，横軸に RSTV[mV] をとり，縦軸に ADC 値をとった RTSV 特性のグラフが線形となる領域で用いることで ADC 値からシグナルの大きさの変換が容易である．RSTV 特性を 5 mV ステップで測定し，線形となる領域のうちできるだけ小さい RSTV を求めることで，検出器として使用する際の RSTV の設定値を決定した．100 V 印加して測定を行った．その結果が図 4.6 である．線形部分でのゲインは 0.4 mV/ADC 程度であるこの結果より以降の測定ではリセット電圧を 500 mV と決定した。

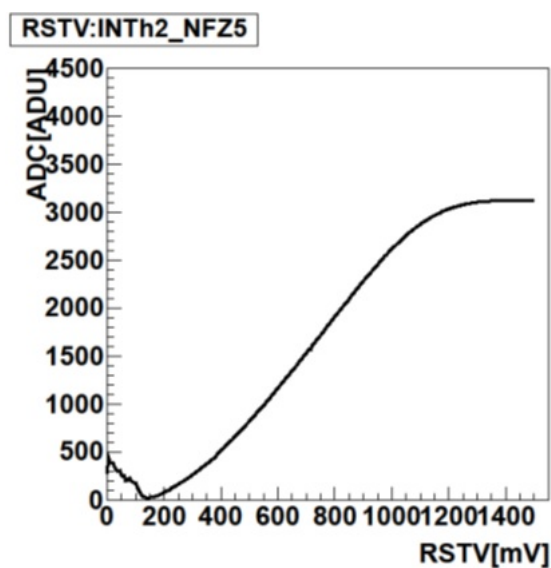


図 4.6: INTPIXh2 single リセット電圧応答

β 線応答

測定パラメータ

- 線源 : ^{90}Sr
- Integration Time : $1\ \mu\text{s}$
- RSTV : 500 mV
- イベント数 : 30000 events

空乏層厚依存性を測定するため逆バイアス電圧を変化させ各電圧における β 線に対する出力を求めた。ペDESTALを引いた値が最大となるピクセルの出力値がそのピクセルのペDESTAL値の標準偏差 (ノイズに相当) の5倍より大きくなるイベントをヒットイベントとしてそれ以外のイベントをカットした。カット後のイベント数は8割程度となった。カット後のヒットマップを図 4.14 に示す。直径 140 ピクセル分すなわち 2.5mm の円形に分布が広がっており、ヒットしていないイベントをしっかりとカットできていることがわかる。ヒットピクセルを中心とした 9×9 ピクセルをクラスターサイズとして、各電圧におけるクラスタリングした出力和をヒストグラムにしたものが図 4.7～図 4.13 である。

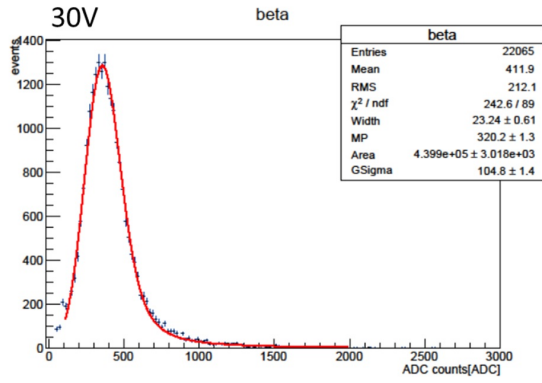


図 4.7: 30V 印加時のクラスター電荷

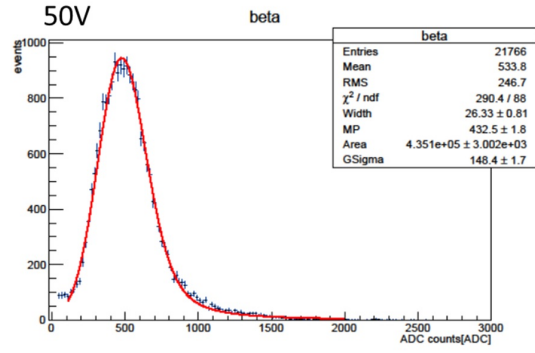


図 4.8: 50V 印加時のクラスター電荷

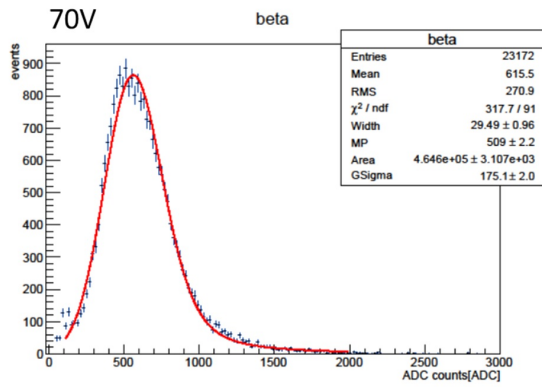


図 4.9: 70V 印加時のクラスター電荷

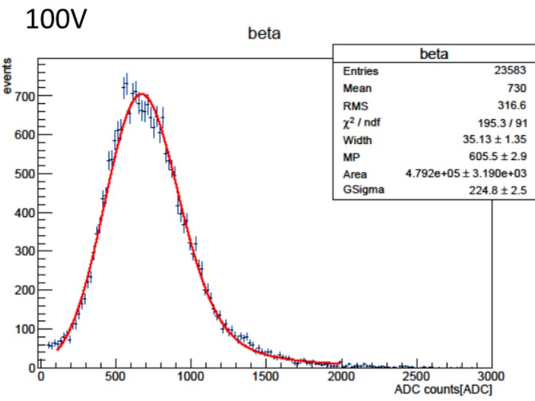


図 4.10: 100V 印加時のクラスター電荷

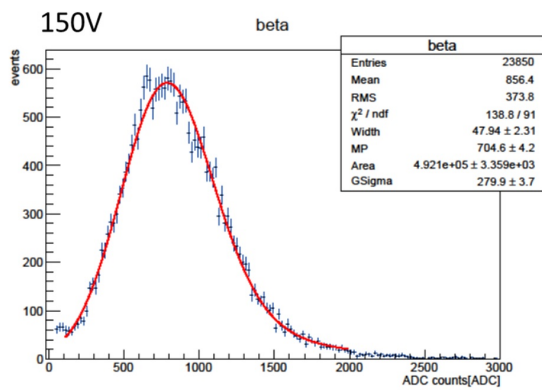


図 4.11: 150V 印加時のクラスター電荷

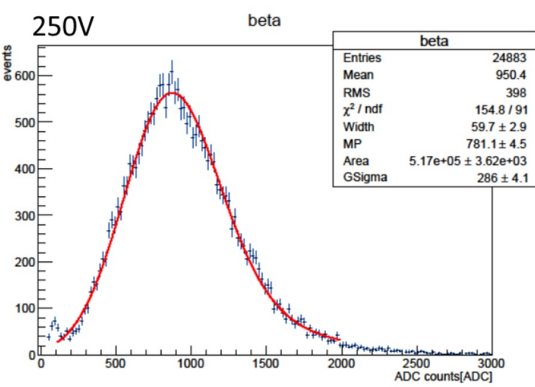


図 4.12: 250V 印加時のクラスター電荷

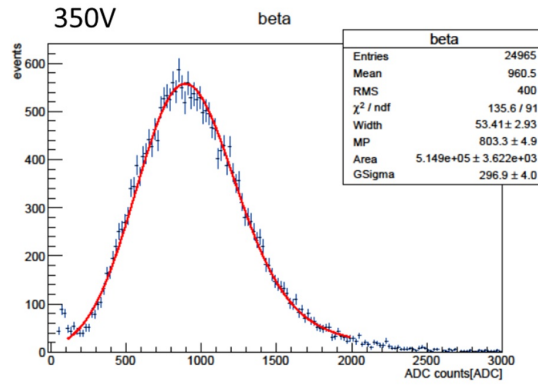


図 4.13: 350V 印加時のクラスター電荷

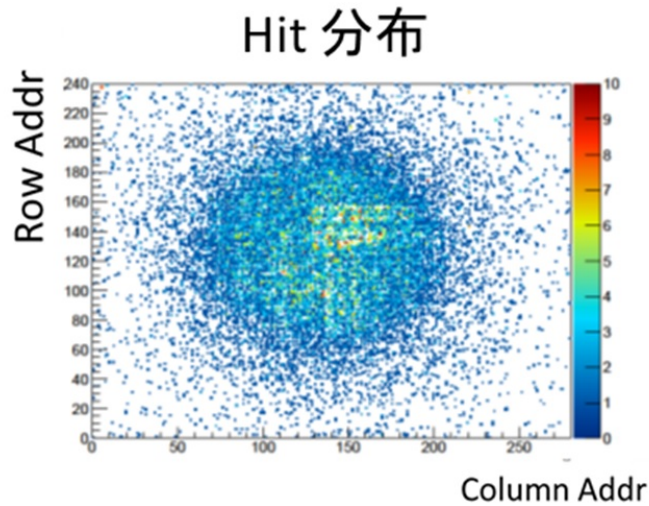


図 4.14: β 線のヒットマップ (250V)

それぞれピークをランダム関数とガウス関数の畳み込み関数でフィットした。横軸に逆バイアス電圧のルートを、縦軸にピークの値をプロットしたものが図 4.15 である。200 V 程度までは出力値は逆バイアス電圧のルートすなわち空乏層厚に比例していることがわかる。200 V 以上ではプラトーとなっていることから全空乏化していると考えられる。500 μm が全空乏化した状態での出力は 800 ADC すなわち 320 mV である。MIP であると仮定すると、シリコン 1 μm あたり 80 個の電子正孔対が生成されるので 500 μm では 40000 個の電子正孔対が生成されると考えられる。この結果から一つの電子正孔対が生成される

と $8.0\ \mu\text{V}$ の信号として検出されることが分かった。

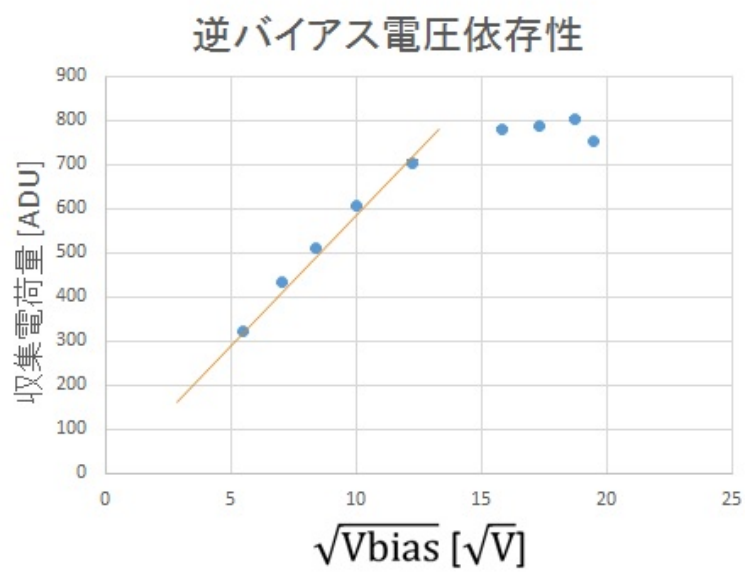


図 4.15: β 線応答 ADC 分布のピーク値のバイアス電圧依存性

4.2.3 2層埋め込み酸化膜構造をもつ SOI ピクセル検出器の β 線応答

100kGy の放射線耐性の確認されている Double SOI 構造をもつ INTPIXh2 の β 線に対する応答を評価した。

表 4.2: INTPIXh2(double) の主なパラメータ

chip size	6 mm \times 6 mm
pixel size	18 μ m \times 18 μ m
# of pixels	240 \times 280
active region	4320 μ m \times 5040 μ m
readout scheme	global shutter
Sensor Si(n:>0.7 k Ω \cdot cm)	300 μ m thick

IV カーブ

電流電圧特性を図 4.16 に示す。測定時の温度は 25.3 $^{\circ}$ C である。270V 程度でブレークダウンを起こしていることがわかる。

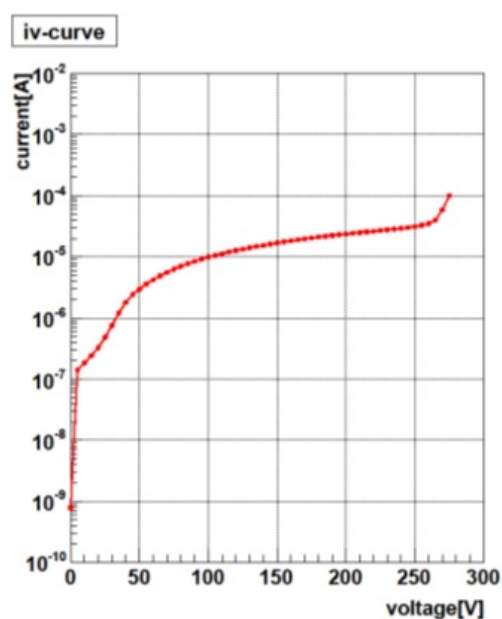


図 4.16: INTPIXh2 double IV カーブ

リセット電圧応答

100V 印加してリセット電圧応答の測定を行った。その結果が図 4.17 である。線形部分でのゲインは 0.4mV/ADC 程度であるこの結果より以降の測定ではリセット電圧を 500mV と決定した。

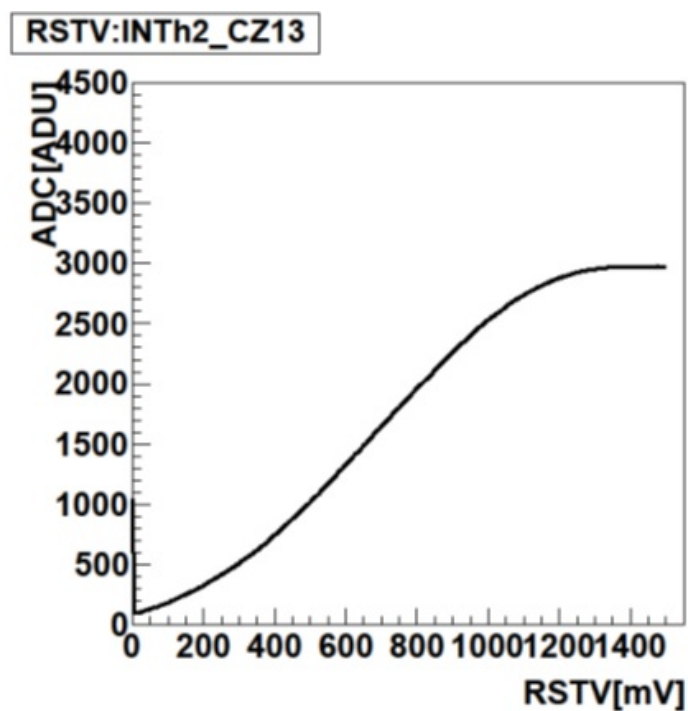


図 4.17: INTPIXh2 double リセット電圧応答

β 線応答

測定パラメータ

- 線源 : ^{90}Sr
- Integration Time : 1 μs
- V_{DET} : 200 V
- VSOI2 : GND
- RSTV : 500 mV
- イベント数 : 20000 events

ペDESTALを引いた値が最大となるピクセルの出力がそのピクセルのペDESTALの標準偏差の4倍より大きくなるイベントをヒットイベントとしてそれ以下にイベントをカットした。カット後のイベント数は8割程度となった。カット後のヒットマップを図4.18に示す。直径140ピクセル分すなわち2.5 mmの円形に分布が広がっており、ヒットしていないイベントをしっかりとカットできていることがわかる。ヒットピクセルを中心とした7×7ピクセルをクラスターサイズとして、各電圧におけるクラスターリングした出力和をヒストグラムにしたものが図4.19である。

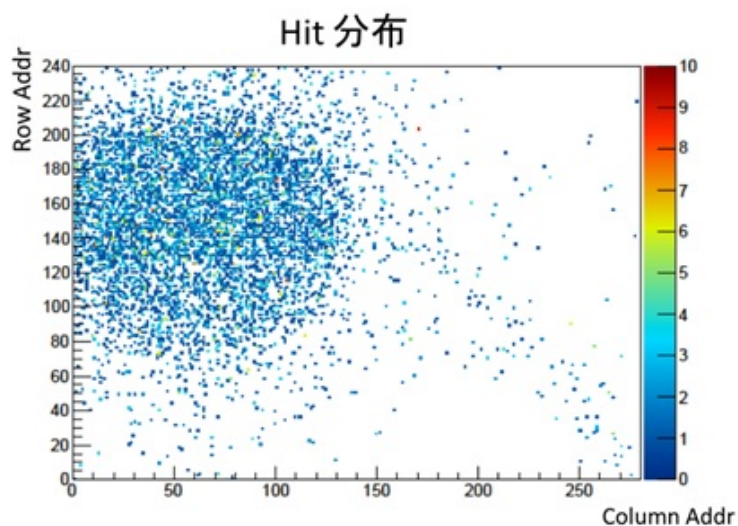


図 4.18: β 線ヒットマップ (double)

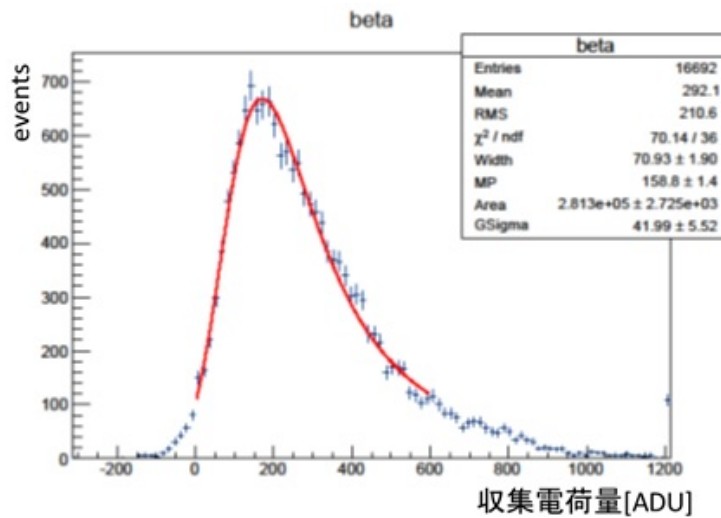


図 4.19: β 線のピーク (double)

ピークをランダウ関数とガウス関数の畳み込み関数でフィットした。フィットの結果ピークは 158.8 ± 1.4 ADC なので 63 mV の信号に相当する。double は比抵抗の低い CZ のウエハーなので 200 V では全空乏化には十分でない。200 V では空乏層は $210 \mu\text{m}$ 程度だと見積もられる。MIP であると仮定すると、シリコン $1 \mu\text{m}$ あたり 80 個の電子正孔対が生成されるので $210 \mu\text{m}$ では 16800 個の電子正孔対が生成されると考えられる。この結果から一つの電子正孔対が生成されると $3.8 \mu\text{V}$ の信号として検出されることが分かった。double 構造のゲインは single 構造より低いことがわかった。これはピクセル電極と中間シリコン層との間に容量をもち、中間シリコン層の方が低い電位にあるため、そちらにホールが移動しやすく信号の一部がクロストークしてグラウンドに逃げてしまうためだと考えられる。

4.2.4 収集電荷効率の中間シリコン層電位依存性

信号が中間シリコン層を通して逃げているか検証するため中間シリコン層の電位を変えながら信号の電荷収集効率を測定した。

リセット電圧応答

逆バイアス電圧を 150 V 印加し、中間シリコン層の電位を変化させながらリセット電圧に対する応答を測定し回路部でのゲインを測定した結果が図 4.20 である。中間シリコン層の電位によってオフセットは異なるが傾きは変わらない。このことから回路部におけるゲ

インは中間シリコン層の電位に依存しないとわかる。線形部分でのゲインは $0.4\text{mV}/\text{ADC}$ 程度である。またこれ以降の測定時のリセット電圧は 500mV と決定した

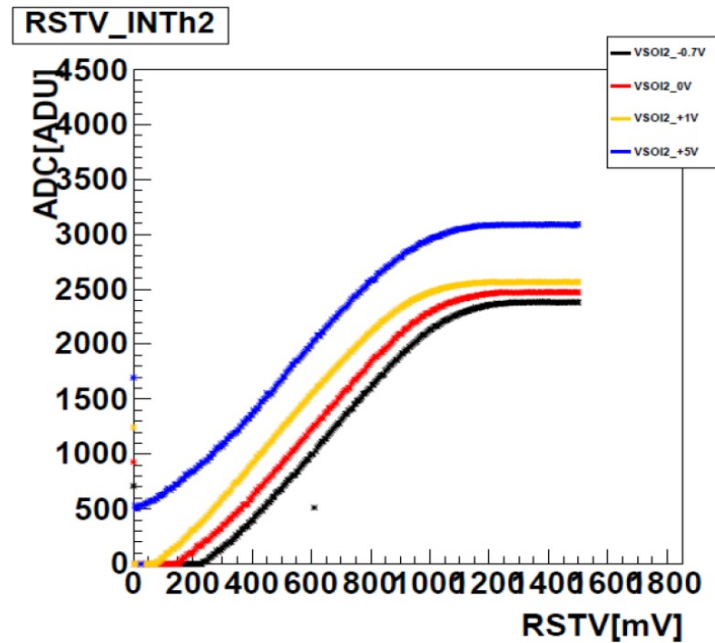


図 4.20: リセット電圧応答の中間シリコン層の電位依存性

IR レーザー応答

MIP 粒子の通過を擬似した波長 1064 nm の IR レーザーに対する応答を評価した。IR レーザーについては 5 章において詳しく記した。各電圧においてレーザー入射時とベDESTAL でそれぞれ 500 イベント取得し、その差の入射ピクセルを中心とした 5×5 ピクセルでクラスタリングした電荷和をヒストグラムにつめた。その結果が図 4.21 に示す。中間シリコン層の電位とピーク位置の関係を図 4.22 に示す。

測定パラメータ

- Integration Time : $1\text{ }\mu\text{s}$
- V_{DET} : 150 V
- RSTV : 500 mV
- イベント数 : 500 events
- DAQ レート 10 Hz

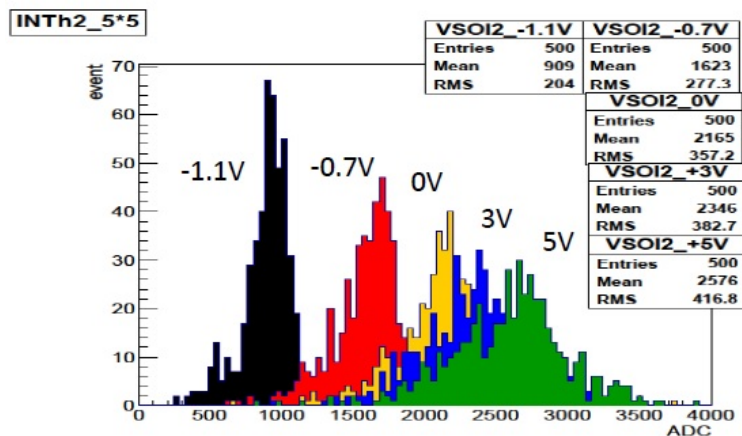


図 4.21: IR レーザーに対する応答の 5×5 クラスターチャージ

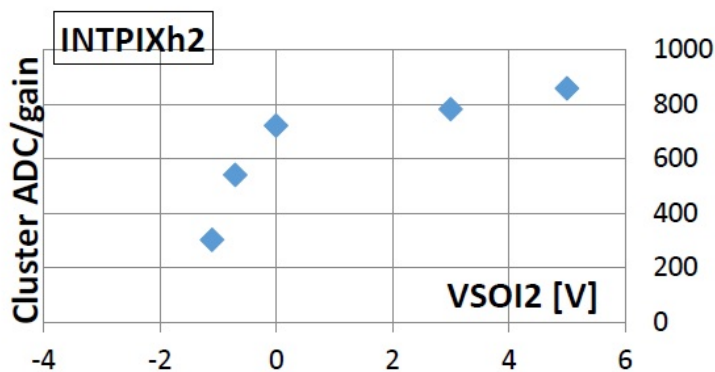


図 4.22: IR レーザーに対する応答の電位依存性

中間シリコン層の電位が低くなるにつれてゲインが低くなっている。これはキャリアである正孔が中間シリコン層の電位が低くなるにつれて、中間シリコン層のほうへ逃げやすくなっているためだと考えられる。このことからよりよいゲインを得るためには、P 型バルクを用いて中間シリコン層に負の電位を与えることで TID 効果による回路特性の変動を保証したうえで生成した電子正孔対の電子をピクセル電極により効率的に集めることが可能となると考えられる。

第5章 FPIX2の放射線耐性評価

5.1 FPIX2

FPIX2(Fine PIXel detector 2)は筑波大学本多氏により設計され、2014年10月のMPWラン(MX1786)においてプロセスされた高精細SOIピクセル検出器である。[3]

前作のFPIX1は2011年10月のMPWで設計され、SOIピクセル検出器のなかで最も高い位置分解能を持つ。FPIX1の各ピクセル内に集積された回路は図5.3のFPIX2のものと同じで、各ピクセル上の回路は6つのFETにより構成されている。特徴として、ピクセル回路内にストレージキャパシタを持たないためピクセルの小面積化が可能となり、ピクセルサイズが $8\mu\text{m}$ 角という高精細化を実現している。ストレージキャパシタを持たないため電荷は図5.3のP3のFETのゲートキャパシタンスに蓄えられ、その電荷に応じた出力が読みだされる。また回路内にSTOREのスイッチがないため全ピクセルが一斉に積分を開始し一斉に終了するINTPIXのような様な読み出しをせず、Rolling Shutter方式を採用することで全ピクセルの積分時間を等しくしている。

Rolling Shutter方式とはrowごとに読み出し、その後リセットを行う。rowを順次読み出すことで積分時間は $(\text{row} - 1) \times 1$ つのADCで処理するcolumnのピクセル数 $\times 1$ つのピクセルのScan timeで一定になる。この過程すべてのピクセルについて絶えず繰り返していく方式である。そのため各ピクセル毎に入射粒子に対して積分のタイミングは一定ではないが積分時間は全ピクセル一定となる。1ピクセルあたりの読み出し時間は現在FPIX2において 240 ns/pix での動作が確認されており、また読み出しはADCあたり 16×128 ピクセルを分担し、チップあたり8つのADCを用いて並列に行っているため 30M pixels / sec の読み出し速度を実現している。積分時間は1周の読み出しにかかる時間つまり1ピクセルあたりの読み出し時間に1つのADCが分担するピクセル数倍した時間となる。DAQソフトをマルチスレッド版に対応させることで 500Hz 程度でのフレーム読み出しが可能である。

FPIX2はFPIX1に放射線耐性の向上を目指してDouble SOIを導入した設計となっている。SOIピクセル検出器は入射放射線によるTID効果による酸化膜上のFETの特性変動の補償が課題となっている。この課題克服のために導入されたDouble SOI構造により、チップ領域全体に同一の中間シリコン層の電位を与えることができるINTPIXh2では 100 kGy 照射後は荷電粒子(MIP)の通過を擬似したIRレーザーに対する応答は確認されているがリセット電圧応答のダイナミックレンジが狭くなってしまっていた。この原因は領域ごとにFETの酸化膜の厚さやチャネル長・幅が異なるためだと考えられる。よってFPIX2

は、信号の IN/OUT の際の実出力バッファ部 (I/O 部、図 5.2 の緑色の領域)、読み出しピクセルのアドレスの指定などを行う周辺読み出し回路部 (Decoder 部、図 5.2 の黄色の領域)、図 5.3 の回路が載っている pixel 部 (図 5.2 の赤色の領域) それぞれに適切な電圧を印加できるようにそれぞれ中間シリコン層へのコンタクトを持つように設計された。FPIX2 の主なパラメータを表 5.1 にまとめた。Double SOI の FPIX2 は P 型バルクを採用しているため、生成された電子を信号として収集するため信号はネガティブとなる。

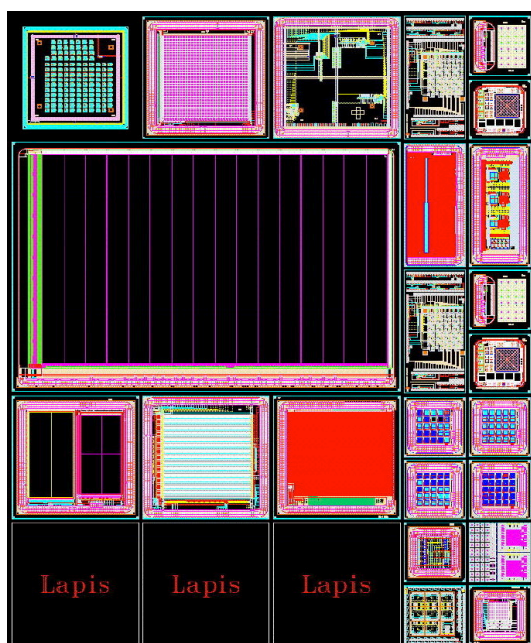


図 5.1: MX1786.

右端の列の下から 3 つ目が FPIX2 の設計

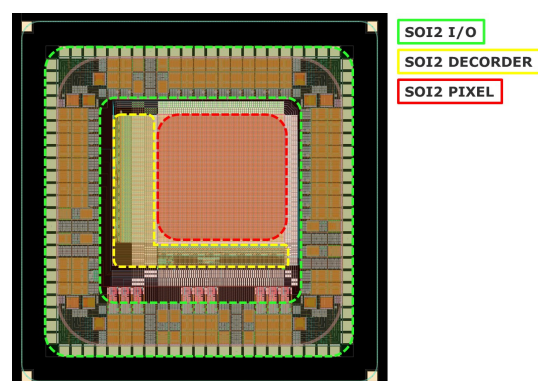


図 5.2: FPIX2 のデザイン。
出力バッファ(I/O) 部・周辺読み出し回路 (Decoder) 部・ピクセル (PIXEL) 部で異なる電位を SOI2 層に印加できる。

表 5.1: FPIX2(Double) の主なパラメータ

chip size	2.9 mm × 2.9 mm
pixel size	8 μm × 8 μm
# of pixels	128 × 128
active region	1024 μm × 1024 μm
parallel readout	8 (128 × 16 pixels / readout)
readout scheme	rolling shutter
SOI2(n:10 $\Omega \cdot \text{cm}$)	separate into 3 regions(I/O, Decoder, pixel)
Sensor Si(p:>1.0 k $\Omega \cdot \text{cm}$)	300 μm thick

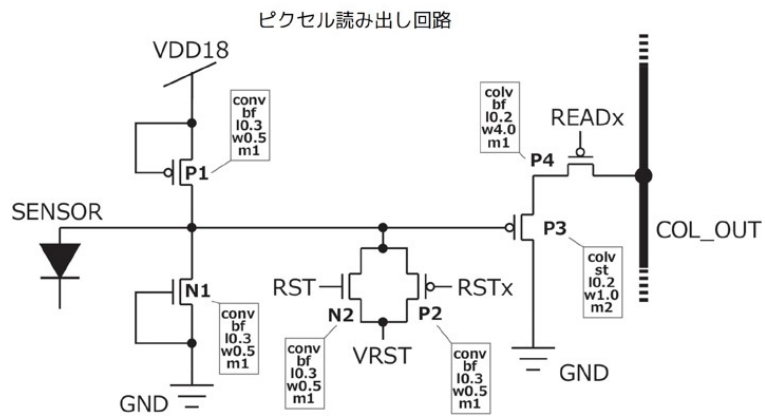


図 5.3: FPIX2 のピクセル回路図

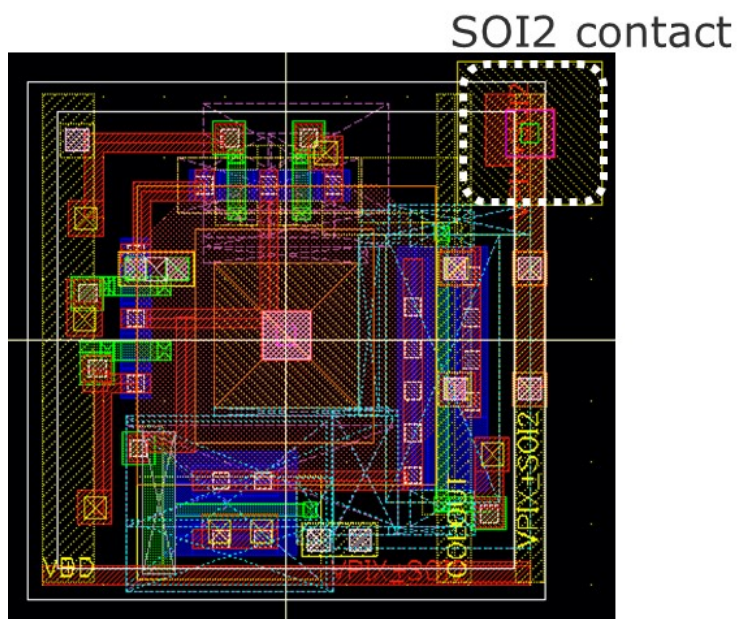


図 5.4: FPIX2 ピクセルのレイアウト

5.1.1 DAQ システム

FPIX2 は、サブボード (図 5.5) を用いて SEABAS2 (図 5.9) と接続し、SEABAS2 からイーサネットケーブルを通して PC と通信してデータを取得している。

SEABAS2 は INTPIXh2 などを使用されていた SEABAS 汎用ボードをアップグレードしたものでともに SOIPIX グループが開発したものである。SEABAS2 は 12 bit ADC を 16 個搭載し複数の並列読み出しが可能となっており、FPIX2 では 8 つの ADC を使用し並列読み出しを行っている。SEABAS2 には 2 つの FPGA(Field Programmable Gate Array) が搭載されておりセンサーの制御やデータの送受信を行っている。電源から +3.3 V (3 A 以上の電流が必要) と -3.3 V を与えることで CMOS 回路に必要な 1.8 V と 3.3 V を生成しサブボードを通してセンサーの供給することでセンサーの回路を動かしている。また SEABAS2 はそれぞれに IP アドレスを持っており、1 台の PC で複数のセンサーを動作させることができる。

サブボードはソケットにパッケージしたセンサーを載せることができるようになっており、SEABAS2 から供給される電源や信号をセンサーに伝達する。またセンサーの逆バイアス電圧や中間シリコン層への電圧の印加もサブボード端子から行う。FPIX2 のサブボードは FPIX1 のものを参考に中間シリコン層への電圧を印加できるよう OrCAD を用いて設計した。

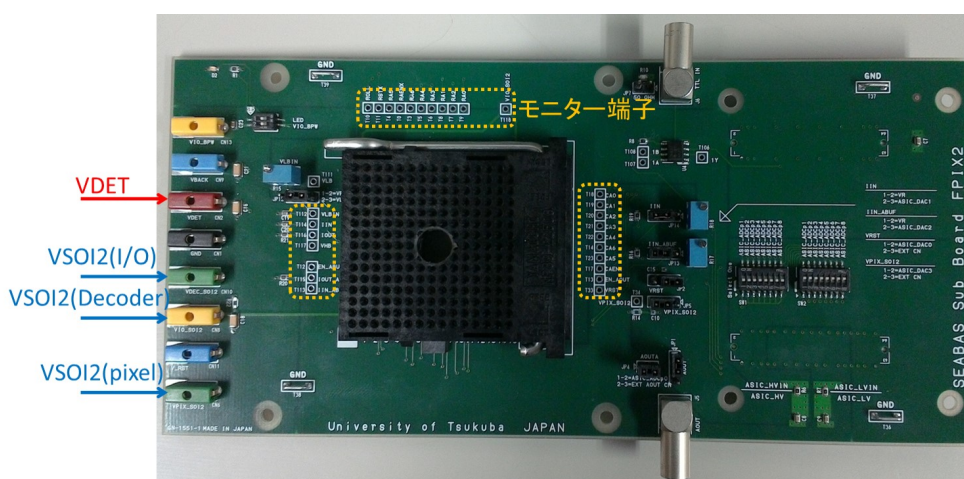


図 5.5: FPIX2 用サブボード。

左側の端子から逆バイアス電圧や SOI2 層への電圧 (VSOI2) を印加する。センサー内の回路でつくられた電圧やセンサーの与える制御信号などをボード上の端子でモニターできる。

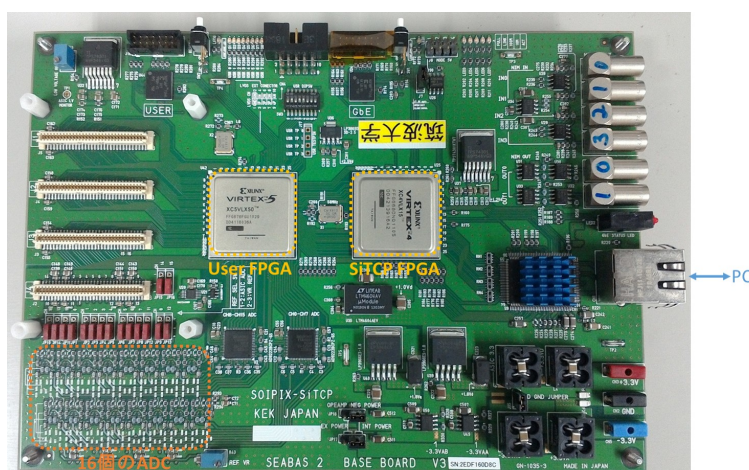


図 5.6: SEABAS2 ボード.

ボードの中央部に 2 つの FPGA がある．左の接続部にサブボードを接続する．

5.2 γ 線照射による放射線耐性評価

5.2.1 γ 線照射

領域ごとに独立に中間シリコン層への電圧をコントロールできるようになった FPIX2 の TID 効果に対する耐性を評価するために γ 線照射を行った．2016 年 1 月 5 日から 18 日に群馬県高崎市にある日本原子力研究開発機構（現 量子科学技術研究開発機構）高崎量子応用研究所のコバルト第 1 棟第 2 照射室において ^{60}Co を線源として γ 線の照射を行った．照射の様子を図 5.7 に示す．また照射の際の設定を表 5.2 にまとめた．右側に ^{60}Co 線源があり，線源に近いほうから 100 kGy, 500 kGy, 200 kGy 照射するチップの順番で配置した．チップの設置位置は線量分布をもとに 100 kGy については 16 時間，200 kGy と 500 kGy については 288 時間で照射が完了するように決定した．また照射の際はチップをソケットにセットしソケットの全端子を GND に接地した．



図 5.7: ^{60}Co γ 線照射の様子

表 5.2: FPIX2 の γ 線照射設定

照射実験日	照射量 [Gy]	照射時間 [hours]
2016. 1. 5-6	100 k	16
2016. 1. 5-18	200 k	288
2016. 1. 5-18	500 k	288

5.2.2 中間シリコン層の電位の決定

TID 効果の補償のために中間シリコン層へ印加する電圧の決定は信号がピクセル部，デコーダー部，I/O 部の順番で出力されて行くため，I/O 部，デコーダー部，ピクセル部の順番で電圧を決定した．

I/O 部中間シリコン層電圧の決定

I/O 部には図 5.8 のような保護回路が入っている．保護回路は大きな電圧がかかる場合には上部の PMOS トランジスタにおいてドレインとゲートに対してソースの電圧が高くなるためトランジスタが ON となり信号を V_{dd} に逃がし，適正な電圧になると閉じる．また，負の大きな電位などがかかる際には下部の NMOS トランジスタにおいてドレインとゲートに対してソースの電圧が低くなるためトランジスタが ON となり信号を V_{ss} に逃がし適正な電位となると閉じる．しかし，TID 効果によりゲート酸化膜などに正孔が

トラップされると実際にゲートにかかる電位が変化することや FET 直下の酸化膜に正孔がトラップされたことによるバックチャネリングにより保護回路のトランジスタが開いてしまう．この補正を行うために I/O 部の中間シリコン層の電位を決定した．この際，デコーダー部とピクセル部の中間シリコン層の電位は 0 V で固定した．SEABAS2 から電源を供給されチップ内で電圧の調整が行われる回路バイアス電圧の VLB,VHB はサブボード上の端子でモニターすることができる．保護回路が OFF となっている範囲ではこれらの電圧は一定値を示す．よって一定値を示す範囲の中心値を I/O 部の中間シリコン層の印加電圧とした．

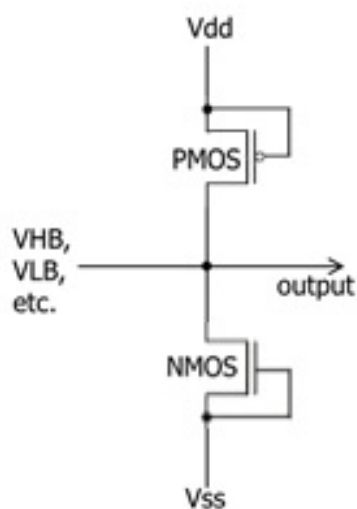


図 5.8: I/O 部保護回路

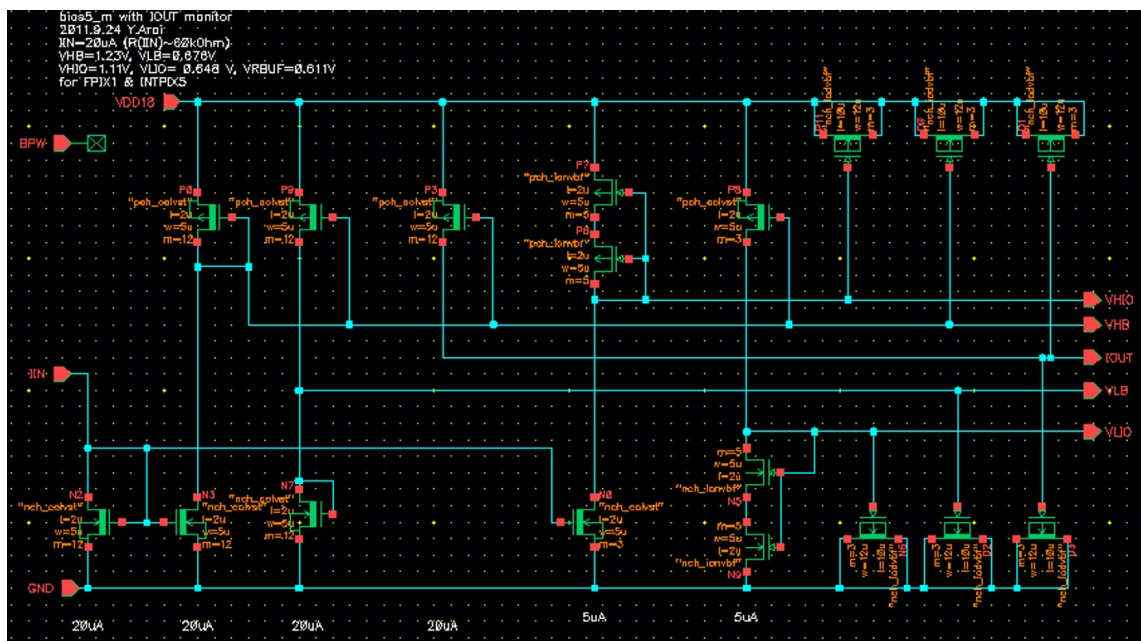


図 5.9: デコーダー部回路バイアス電圧生成回路

デコーダー部中間シリコン層電圧の決定

I/O 部の中間シリコン層の電位決定後，デコーダー部の中間シリコン層の電位を決定した．その際，I/O 部の電位は決定したものに固定し，ピクセル部は 0V に固定した．デコーダー部では読み出しピクセルの指定や回路バイアス電圧の VLB, VHB を SEABAS2 から供給される電源から生成するなどの働きがある．回路バイアス電圧生成回路はカレントミラー回路を採用しているため，正常に動作時は IIN と IOUT は等しくなる．IIN と IOUT が等しくなる電圧の範囲のうち VLB, VHB が照射前と等しくなる電圧となるようにデコーダー部の中間シリコン層の電位を決定した．

ピクセル部中間シリコン層電圧の決定

最後にピクセル部の中間シリコン層の電位を決定した．各ピクセル内に集積されている回路は図 5.3 である．ピクセル内には I/O 部と同様に保護回路が入っているが，ゲート酸化膜の厚さは I/O 部は 7.5 nm であるのに対して Core 部は 4.5 nm となっており，さらに FET のチャネル長や幅も異なるため適正電圧は異なる．ピクセル部中間シリコン層電圧の決定の際には I/O 部とデコーダー部は決定した電位を印加しておく．I/O 部と同様に印加電圧が適正でないと保護回路が ON 状態となり信号が正しく伝達されない．保護回路が OFF となっているとリセット電圧応答のダイナミックレンジが確保されるため，リセット

電圧応答のダイナミックレンジが最も広くなる電圧をピクセル部の中間シリコン層の電圧として決定した。

5.2.3 測定

電流電圧特性

照射前後での電流電圧特性を示す。いずれの測定も 20℃程度の室温で行った。200 kGy 照射したチップのものが図 5.10, 500 kGy 照射したチップのものが図 5.11 である。100 kGy 照射した 2 層埋め込み酸化膜構造をもたない NFZ, PFZ のチップの電流電圧特性は図 5.12, 図 5.13 である。P 型バルクの PFZ, Double SOI のチップは照射前はブレイクダウンが見られないが照射済みチップはともに -100V 程度でブレイクダウンを起こしている。N 型バルクの NFZ のチップは -400V までブレイクダウンがみられていない。このブレイクダウン電圧の低下は放射線照射による TID 効果で酸化膜に正孔がトラップされバルクと酸化膜の界面に反転層が形成され、バイアスリングがより内側まで広がったような状態となるためセンサー部に近づくことが原因だと考えられる。

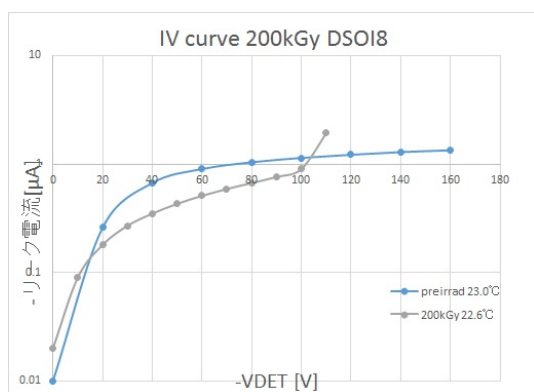


図 5.10: 200kGy 照射チップ IV curve

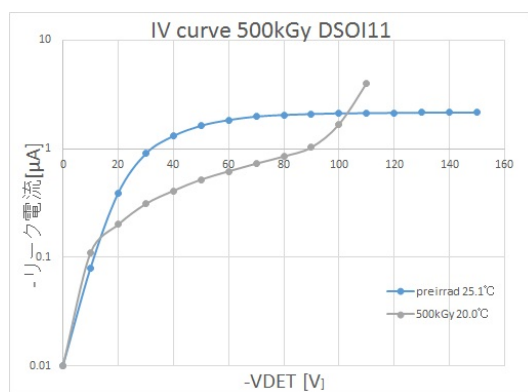


図 5.11: 500kGy 照射チップ IV curve

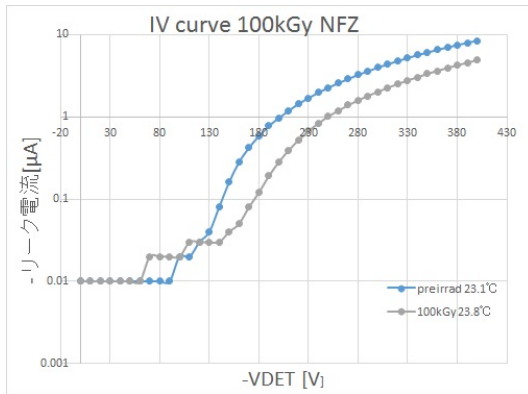


図 5.12: single NFZ 100kGy 照射チップ
IV curve

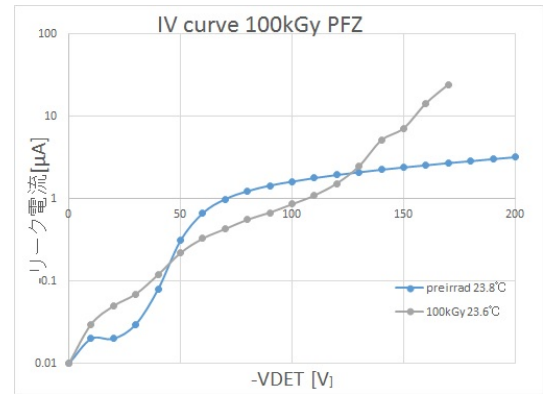


図 5.13: single PFZ 100kGy 照射チップ
IV curve

リセット電圧応答

ADC 変換した出力値とセンサー入力電圧値との対応を知るために、回路部に実際の測定ではオフセット電圧となるリセット電圧を入力する部分から電圧を変化させるテストパルスを入れその電圧に対応する ADC を測定した。リセット電圧応答に傾きが見られれば信号の電圧に対応した ADC 値を得ることができる。

200kGy 照射したチップのものが図 5.14, 500kGy 照射したチップのものが図 5.15 である。図 5.14 を見ると照射前は 0.5mV/ADC 程度のゲインが得られているが、200kGy 照射後中間シリコン層に GND に固定した状態ではほとんど傾きがなく信号が入射しても出力は変化しない。しかし、中間シリコン層に適切な電位を与えることで照射前に近い傾きが得られている。そのため領域ごとに適切な中間シリコン層の電位を与えることで 200kGy 照射後も照射前とほとんど変わらない出力が得られ、TID 効果による特性変動を補償することができた。

図 5.15 を見ると 500kGy 照射後は 200kGy と同様に中間シリコン層に GND に固定した状態ではほとんど傾きがなく信号が入射しても出力は変化しない。しかし、中間シリコン層に適切な電位を与えることで、照射前と同様の傾きは得られていないが半分程度の傾きが得られている。そのため領域ごとに適切な中間シリコン層の電位を与えることで 500kGy 照射でも信号が入射すると出力値が変化する。

以降の測定ではリセット電圧はリセット電圧応答における線形部分の最も大きなところに設定することで広いダイナミックレンジを確保できるため 200kGy は 1500mV, 500kGy は 1000mV と決定した。

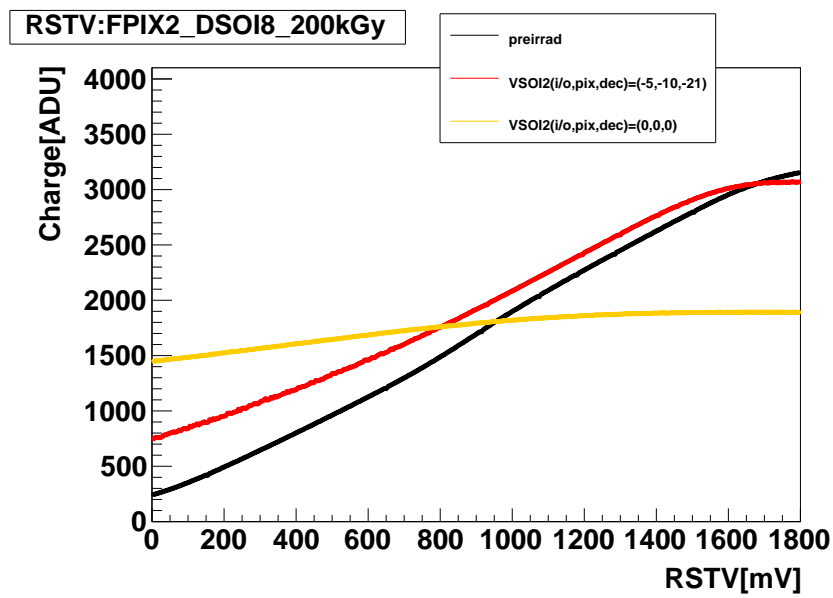


図 5.14: 200kGy 照射チップ リセット電圧応答

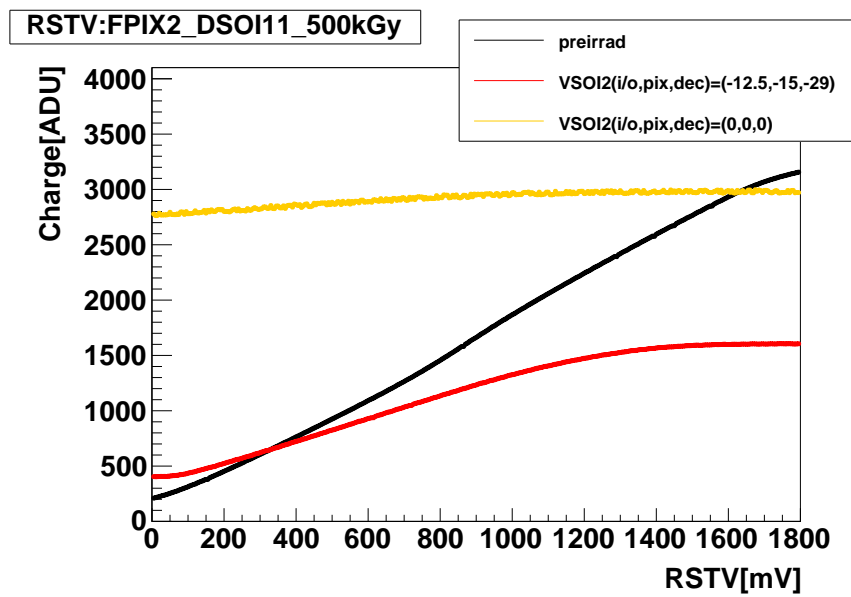


図 5.15: 500kGy 照射チップ リセット電圧応答

IR レーザー応答

高エネルギー実験で想定される高エネルギーの粒子 (MIP) に対する応答を評価するため、MIP 粒子の通過を擬似した波長 1064 nm の IR レーザーに対する応答を評価した。測定に使用した IR レーザーを図 5.16 に示す。1064nm の IR レーザーは 1.16 eV に相当し、シリコンのバンドギャップの 1.12 eV よりわずかに高い。そのため、IR レーザーの光路に沿って一様にわずかな確率で電子正孔対を生成するため、MIP 粒子が通過した際の電子正孔対の生成を擬似することができる。スポットサイズを $5\mu\text{m}$ 角にしぼり 1 ピクセルに入射するようにウィンドウ部分に照射した。

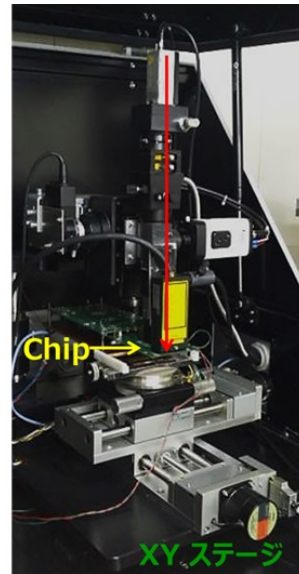


図 5.16: 1064nm IR レーザー

照射前後で同じピクセルに IR レーザーを入射させて、そのピクセルを中心とした 3×3 でクラスタリングを行った。レーザー入射時とペDESTALで各 500 イベントずつデータを取得し、それぞれの平均を入射時からペDESTALを引くことで IR レーザーに対する応答を求めた。空乏層の厚さは式 2.2 に従うため、逆バイアス電圧を変化させながら IR レーザー応答を測定し出力値の空乏層の厚さ依存性を測定した。

測定パラメータ

- Scan Time : 400 ns/pix
- イベント数 : 500 events
- DAQ レート : 10Hz

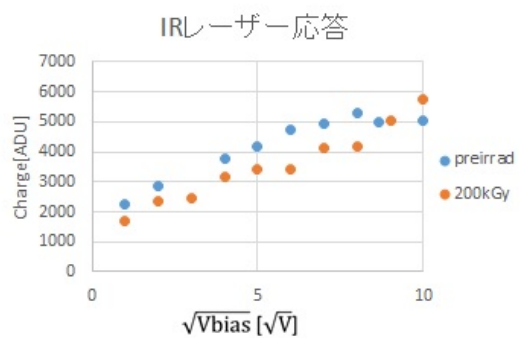


図 5.17: IR レーザー応答 200kGy

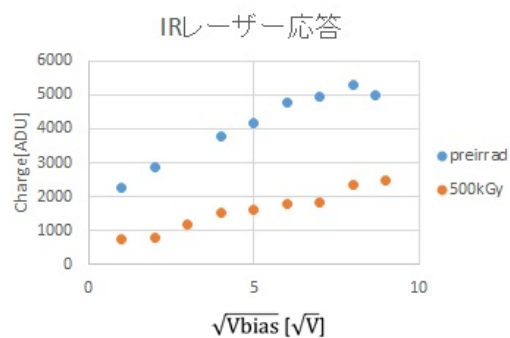


図 5.18: IR レーザー応答 500kGy

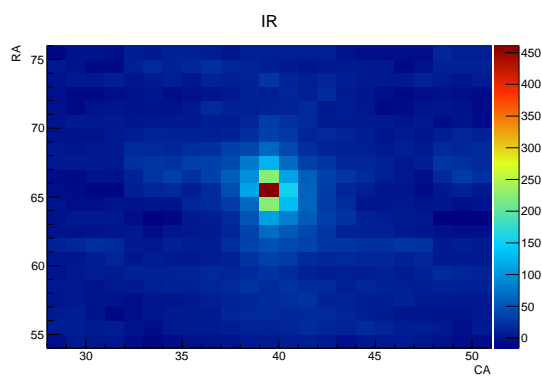


図 5.19: IR レーザー応答 未照射

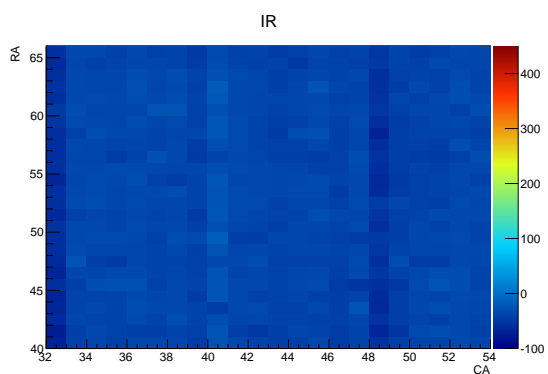


図 5.20: IR レーザー応答
500kGy VSOI2=GND

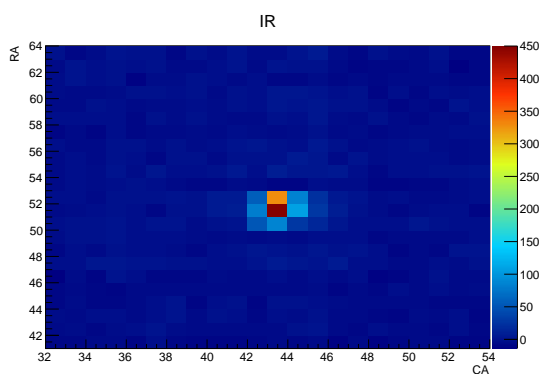


図 5.21: IR レーザー応答
500kGy VSOI2 印加

前述した中間シリコン層の電位の決定の仕方に基づいて中間シリコン層の電位を決定した結果、照射後の中間シリコン層の電位は 200kGy 照射チップに対して I/O 部に-5.0V、デコーダー部に-21.0V、ピクセル部に-10.0V 印加し、500kGy 照射チップに対して I/O 部に-12.5V、デコーダー部に-29.0V、ピクセル部に-15.0V 印加した。200kGy、500kGy 照射前後での IR レーザー応答を図 5.17, 図 5.18 に示す。また 500kGy 照射後の中間シリコン層への電圧の印加の有無時の IR レーザーによる信号の様子を図 5.21, 図 5.20 に示す。出力値が空乏層の厚さに比例していることがわかる。200kGy 照射後も照射前とほぼ同等の出力を得ることができている。このことから 200kGy 照射後も照射前と同等の検出器性能まで回復していることを確認できた。

500kGy 照射後についても中間シリコン層へ電圧を印加することにより図 5.20, 図 5.21 のように MIP 粒子の通過を擬似した IR レーザーに対する応答が回復することを確認できた。出力値は照射前に比べると半分程度となっているが空乏層圧に比例した出力が得られた。このことから 500kGy 照射後も MIP 粒子の通過に対して、入射位置の検出が可能であると考えられる。

5.3 陽子照射による放射線耐性評価

5.3.1 陽子照射

2015 年 7 月 15 日～19 日にかけて東北大学サイクロトロン・ラジオアイソトープセンター (CYRIC) において SOI ピクセル検出器に陽子照射を行った。照射にはサイクロトロンにより 70MeV に加速された陽子ビームを用いた。

まず照射前に図 5.22 の finger を用いて陽子ビームのスポットを測定した。finger の金属部分に陽子ビームがあたると金属部分にあたった陽子が持つ電荷の分だけ電流が流れるためその出力からスポットの大きさを測定することができる。照射用可動ステージで finger の位置を動かしその際の出力電流値をプロットし、その FWHM は水平方向に 7.4mm, 鉛直方向に 10.1mm の拡がりであった。またそのピークをガウス関数でフィットすることでビームの標準偏差 (σ) を求め、水平方向に 3.1mm, 鉛直方向に 4.3mm であった。

パッケージングを行うと照射サンプルの放射化が問題となるので、照射前測定を行っていないベアチップの状態で行い、その後ワイヤーボンドを行い測定をした。

照射は図 5.23 のようにチップをアルミホイルで包みドジメトリーのためのアルミニウム箔とともに絶縁テープで固定したものを照射量ごとに図 5.24 のようにサンプルボックスのスロットにセットした。陽子ビームの位置は固定であるため、図 5.25 の照射用可動ステージによりサンプルボックスを動かすことで均等に照射を行った。照射中にアニリングが起これないように、照射ボックス内は-15℃～0℃に保ちながら照射した。照射の際は、均等にかつ確実にチップ全体に照射を行うために水平方向、鉛直方向ともに 2σ 分だけオーバーランさせた。照射量が $1 \times 10^{14} \sim 1 \times 10^{15} \text{ neq/cm}^2$ となるようにそれぞれ照射時間を見積もり照射した。

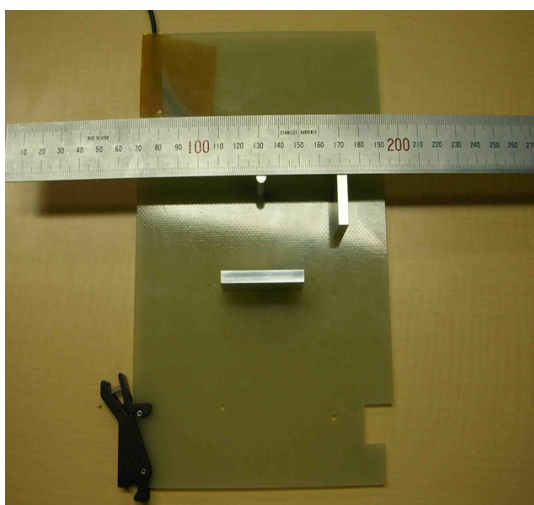


図 5.22: finger

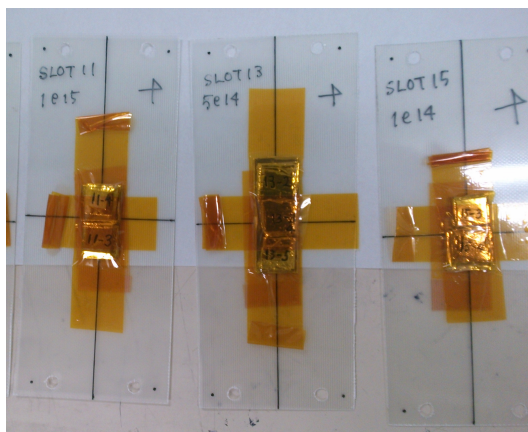


図 5.23: 陽子照射サンプル

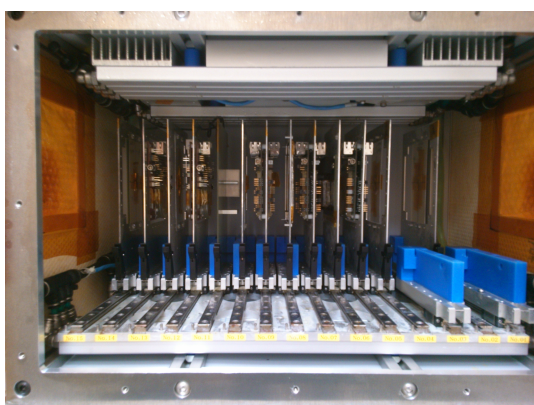


図 5.24: 陽子照射サンプルボックス

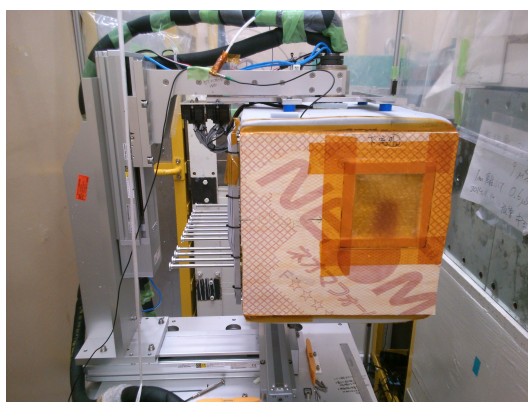


図 5.25: 陽子照射用可動ステージと照射サンプルボックス

ドジメトリー

目的とした照射量となるように照射時間等を決定したが実照射量を調べるためにドジメトリーを行った．照射時に照射チップの表面に1cm 角のアルミニウム箔を貼り付けておき，照射後そのアルミニウム箔をゲルマニウム検出器を用いてスペクトラムを測定した．Al は陽子ビームがあたるとその照射量に応じて Na の放射性同位体である ^{22}Na を生成する． ^{22}Na の生成量から実照射量を見積もった．

陽子線による TID 効果

照射量は中性子換算で $1 \times 10^{14} \sim 1 \times 10^{15}$ neq/cm² となるように照射を行った．またベテ・ブロッホの式を用いて陽子線による電離性損傷を求めた．[7]

$$-\frac{dE}{dx} [\text{MeV/cm}] = 2\pi N_a r_e^2 m_e c^2 \rho \frac{A}{Z} \frac{z^2}{\beta^2} \left[\ln \left(\frac{2m_e \gamma^2 v^2 W_{max}}{I^2} \right) - 2\beta^2 \right] \quad (5.1)$$

$$= 0.1535 \rho \frac{Z}{A} \frac{z^2}{\beta^2} \left[\ln \left(\frac{2m_e \gamma^2 v^2 W_{max}}{I^2} \right) - 2\beta^2 \right] \quad (5.2)$$

このとき、 m_e は電子の質量、 Z は吸収体の原子番号、 A は吸収体の質量数、 ρ [g/cm³] は吸収体の密度、 z は入射粒子の電荷、 β は光速に対する入射粒子の速度の割合、 γ は相対論におけるローレンツ因子である。 W_{max} は入射粒子により電子が得る最大エネルギーで、陽子の質量が電子より十分大きいので以下のように近似できる．

$$W_{max} \approx 2m_e \gamma^2 c^2 \beta^2 \quad (5.3)$$

I は平均励起ポテンシャルと呼ばれ、吸収体原子が励起される平均エネルギー量で以下の式に従う．

$$\frac{I}{Z} [\text{eV}] = \begin{cases} 12 + \frac{7}{Z} & (Z \geq 13) \\ 9.76 + 58.8Z^{-1.19} & (Z \leq 13) \end{cases}$$

これらの式から吸収体をシリコンとした 70MeV の陽子ビームによるエネルギー損失を求めた．実照射量と算出した吸収線量を表 5.3 に示す．

表 5.3: FPIX2 の陽子線照射量

チップ No.	照射量 [neq/cm ²]	照射量 [kGy]
P5	1.02×10^{14}	85.0
P2	1.20×10^{15}	1.00×10^3

5.3.2 測定

IV curve

陽子照射チップの IV カーブを図 5.26 に示す．逆バイアス電圧は裏面の Al (V_{back}) から印加した．照射後にパッケージしたため未照射については別の典型的サンプルデータである．照射後は照射前に比べてリーク電流が上昇している．これは陽子照射によりバルク

部の P 型不純物濃度が増加したことによる抵抗率の減少が原因だと考えられる。しかし、照射量の少ないチップのほうがリーク電流が高くなっている。これは陽子照射による TID 効果により酸化膜によりトラップされた正孔の電位で界面で形成されるの反転層の影響だと考えられる。照射量の多いチップのほうがアクセプターが多いため反転層が形成されにくく、ブレイクダウンが抑制されたためだと考えられる。

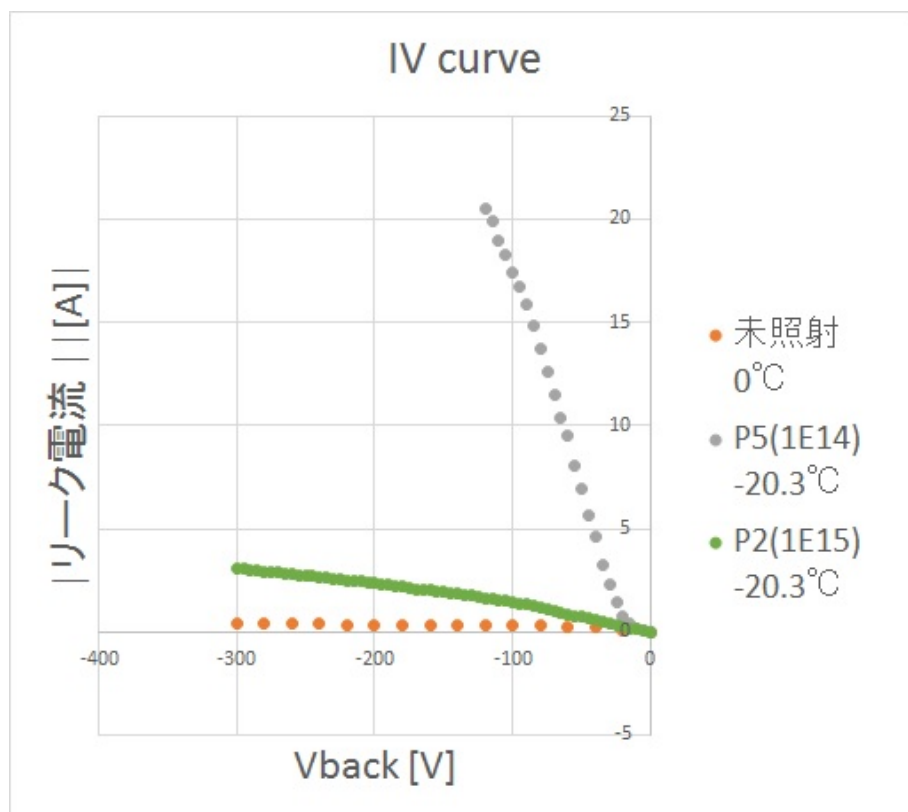


図 5.26: 陽子照射チップ IV カーブ

リセット電圧応答

中間シリコン層に電圧を印加することによる回路特性の補償を評価するためリセット電圧特性を測定した。その際、逆バイアス電圧は V_{back} から -50V 印加した。照射後にパッケージしたため未照射については別の典型的サンプルデータである。 1×10^{14} neq/cm² 照射したチップのリセット電圧応答を図 5.27 に、 1×10^{15} neq/cm² 照射したチップのリセット電圧応答を図 5.28 に示す。照射後中間シリコン層に GND に固定した状態ではほとんど傾きがなく信号が入射しても出力は変化しないと考えられる。しかし、照射後に中間シリコン層へ適切な電圧を印加することにより傾きが回復していることがわかる。 1×10^{14}

neq/cm² 照射チップは傾きはほぼ完全に回復しているがダイナミックレンジが少し狭くなっている。照射後のリセット電圧は 1200mV にするのが適当である。1×10¹⁵ neq/cm² 照射チップは傾きは比べると緩やかとなりゲインが低下しているが、荷電粒子入射に対する応答は見込まれる。以上の結果より 1MGy 照射後も 2 層埋め込み酸化膜構造を導入し適切な電圧を印加することである程度の回路特性の補償を確認できた。照射後のリセット電圧は 1200mV にするのが適当である。

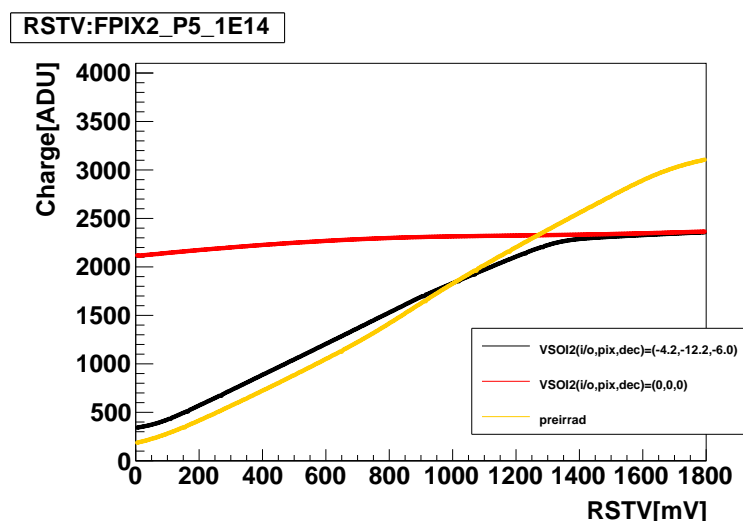


図 5.27: リセット電圧応答 1×10¹⁴[neq/cm²]

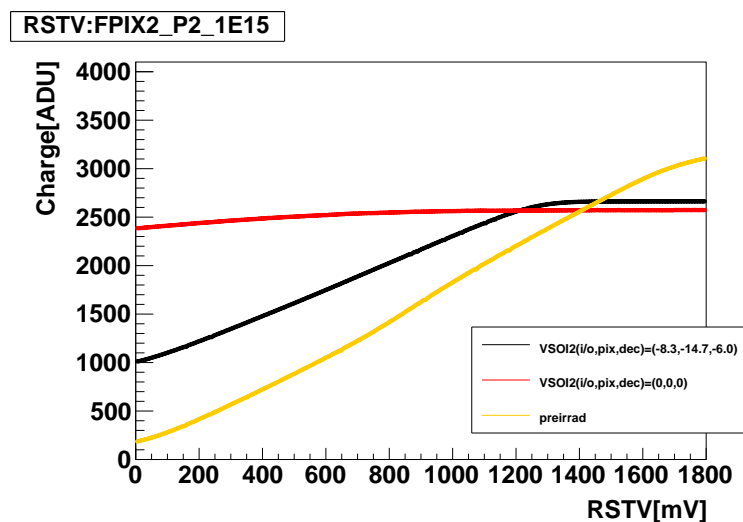


図 5.28: リセット電圧応答 1×10¹⁵[neq/cm²]

第6章 東北大学電子光物理学研究センター 陽電子ビームテスト

高エネルギービームに対する応答を評価するために、2016年6月22, 23日に東北大学電子光物理学研究センターにおいてビームテストを行った。22日は $p = 460 \text{ MeV}/c$, 23日は $p = 670 \text{ MeV}/c$ の運動量を持った陽電子ビームを用いてビーム試験を行った。1スピルあたり10秒で、トリガーは350カウントほどであるため35Hz程度でデータを取得した。またビームサイズはFEI4の測定によると水平方向に7.9 mm, 垂直方向に6.8 mmの拡がりを持っていた。

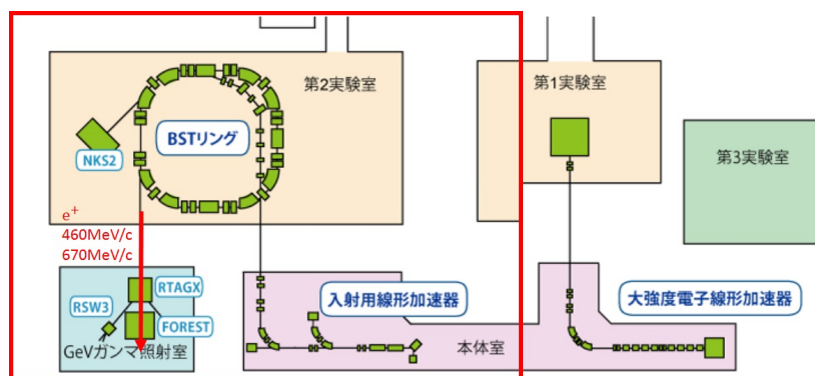


図 6.1: 使用した加速器.

入射用線形加速器から 90 MeV/c 程度まで加速され BST リングに入射しシンクロトロンで最大 1.3 GeV まで加速され GeV ガンマ照射室まで取り出している [16]

6.1 セットアップ

6.1.1 使用チップ

本ビームテストには電荷積分型 SOI ピクセル検出器の FPIX2 を 4 枚用いた。いずれも double 構造のものを用いた。また SOIPIX グループが ILC に向けて開発を行っている SOFIST(ver.1) も用いたが本論文では割愛する。用いたチップの IV カーブと RSTV 応答をそれぞれまとめたものを以下の図 6.2, 図 6.3 に示す。

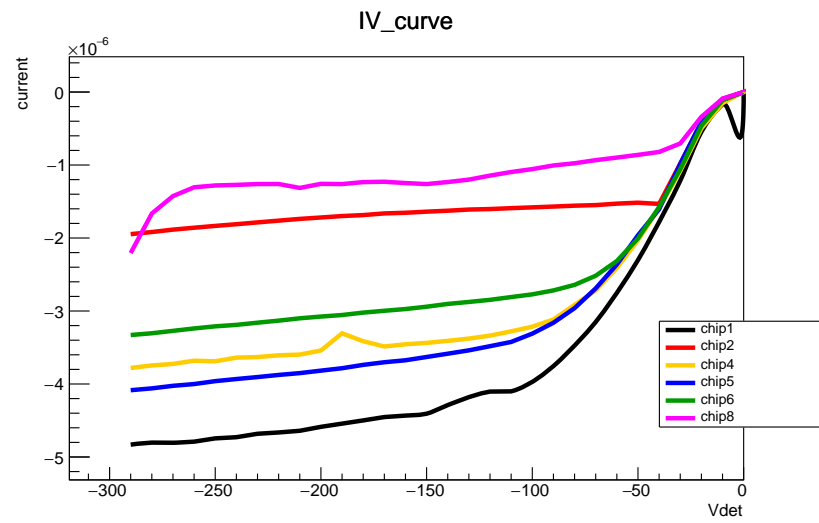


図 6.2: FPIX2 IV カーブ

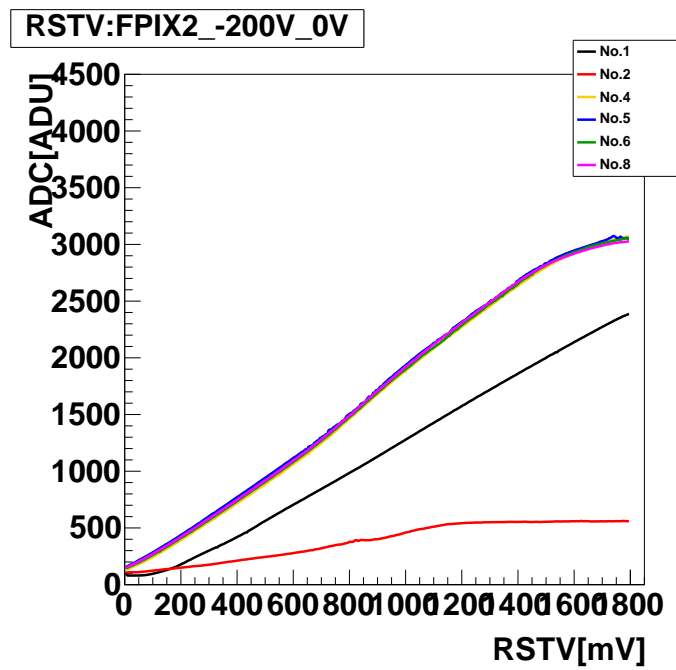


図 6.3: FPIX2 RSTV 応答

RSTV 応答からビームテストに用いる 4 枚は No.1,4,5,6 とした。No.4,5,6,8 が RSTV 応答がよいが、No.8 は現地で不調だったため次に RSTV 応答のよい No.1 を用いること

にした。また、RSTV 応答からいずれのチップも RSTV を 1400mV と設定し、No.1 は 0.7 mV/ADC, No.4,5,6 は 0.5 mV/ADC である。また今回の用いたチップはいずれも未照射のものなので中間シリコン層へのコンタクトは I/O 部, pixel 部, decoder 部, いずれもグランドに落として用いた。

6.1.2 セットアップ

本ビームテストにおけるセットアップの写真を図 6.4 に示す。ビーム上流側から半導体ストリップ検出器 SVX4, 2 mm 角のプラスチックシンチレータ, FPIX2 2 枚 (No.1, No.2), SOFIST, FPIX2 2 枚 (No.3, No.4), SVX4, 5mm 角のプラスチックシンチレータ, FEI4 という配置で行った。

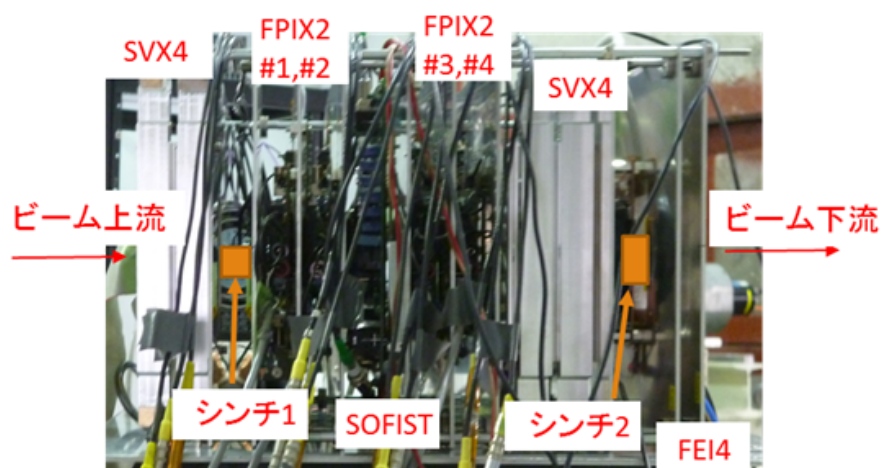


図 6.4: セットアップ

本実験での構成を図 6.5 に模式的に示した。FPIX2, SOFIST, SVX4 すべてに対して 1 枚の SEABAS2 を MASTER として用いることで、各検出器に同じ Time Stamp と trigger を入力し、また各検出器からの Busy 信号を受けることで各検出器間の同期をとった。trigger には 2 つのシンチレータの信号と FEI4 からの信号のコインシデンスを取ったものを用いた。

FPIX2 IP11

最もビーム上流側の IP11 のペDESTAL の ADC 値の分布を図 6.6, 図 7.3 に, ノイズを図 6.8, 図 6.9 にまとめた。

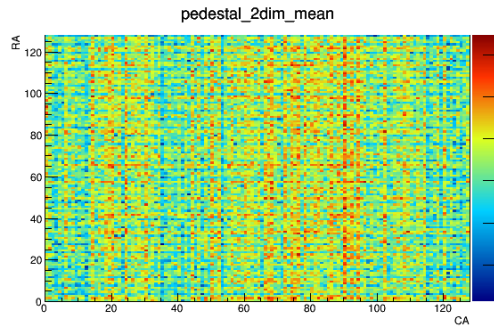


図 6.6: IP11 ペDESTAL 分布

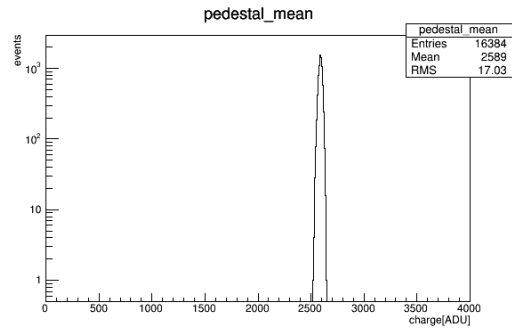


図 6.7: IP11 ペDESTAL 分布

全ピクセルの出力値が 2500ADC 値付近に分布しており, 2 次元分布を見ても領域に関係なくほぼ一様となっていることがわかる。

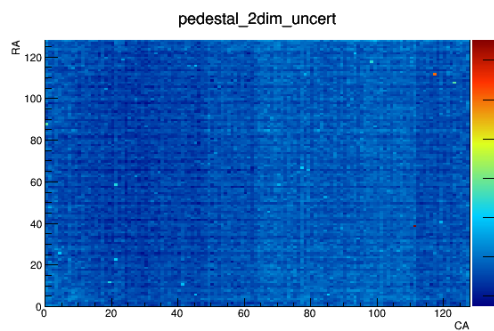


図 6.8: IP11 ノイズの分布

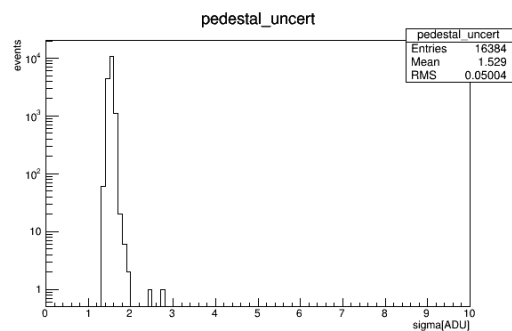


図 6.9: IP11 ノイズの分布

ノイズの値は 1 から 2ADC 程度に分布しており, 全ピクセルのばらつきの平均は 1.5ADC である。2 次元からも領域に関係なくほとんど一様となっていることがわかる。出力値のばらつきが 2ADC より大きなピクセルを異常ピクセルとして以降の解析では除外している。異常ピクセルの分布を図 6.10 にまとめた。

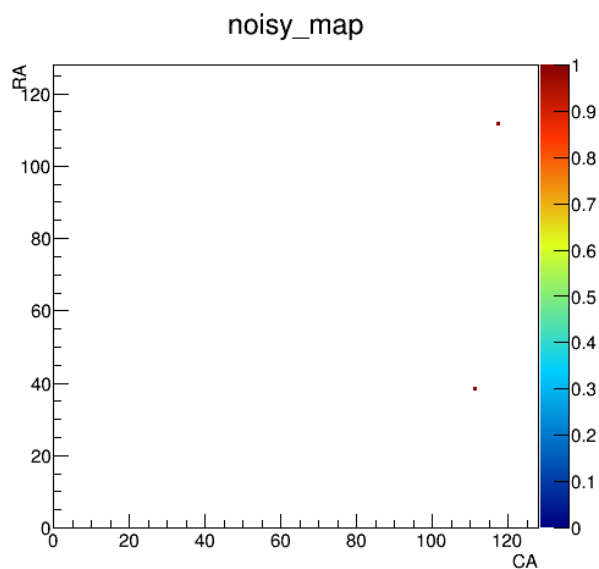


図 6.10: IP11 異常ピクセルの分布。異常ピクセルは 2 ピクセル

FPIX2 IP12

ビーム上流側から 2 番目の IP12 のペデスタルの ADC 値の分布を図 6.11, 図 6.12 に, ノイズを図 6.13, 図 6.14 にまとめた。

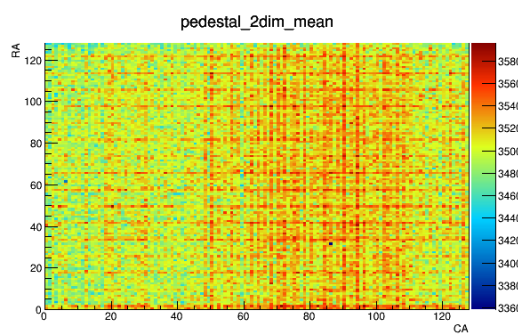


図 6.11: IP12 ペデスタル分布

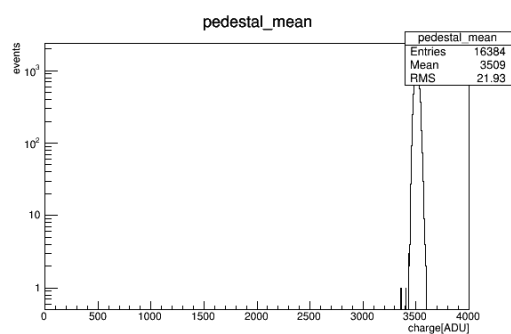


図 6.12: IP12 ペデスタル分布

全ピクセルの出力値が 3500ADC 値付近に分布しており, 2 次元分布を見ても領域に関係なくほぼ一様となっていることがわかる。

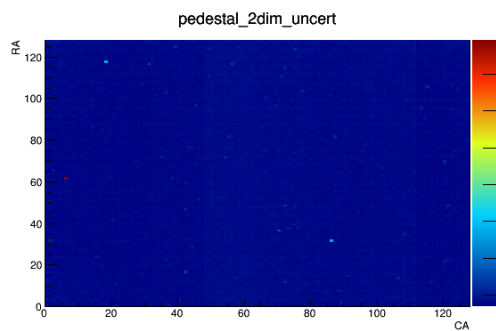


図 6.13: IP12 ノイズの分布

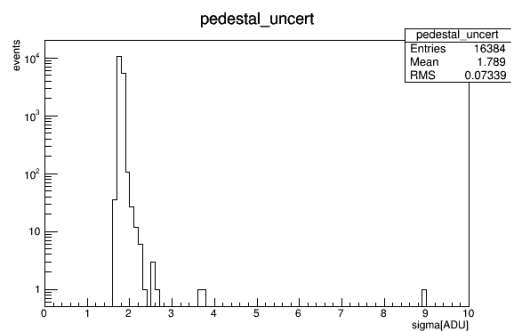


図 6.14: IP12 ノイズの分布

ばらつきの値は 1.5 から 3ADC 程度に分布しており，全ピクセルのばらつきの平均は 1.8ADC である。2次元からも領域に関係なくほとんど一様となっていることがわかる。出力値のばらつきが 2.5ADC より大きなピクセルを異常ピクセルとして以降の解析では除外している。異常ピクセルの分布を図 6.15 にまとめた。

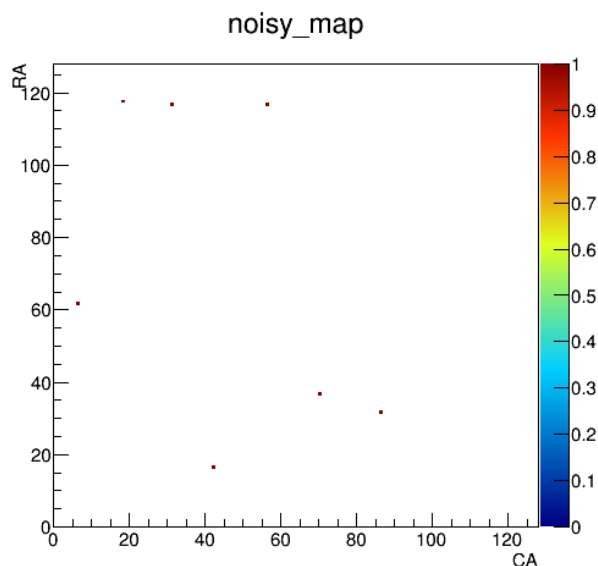


図 6.15: IP12 異常ピクセルの分布。異常ピクセルは 7 ピクセル

FPIX2 IP13

ビーム上流側から3番目のIP13のペDESTALのADC値の分布を図6.16、図6.17に、ノイズを図6.18、図6.19にまとめた。

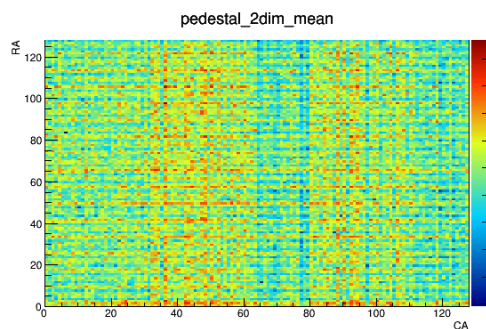


図 6.16: IP13 ペDESTAL分布

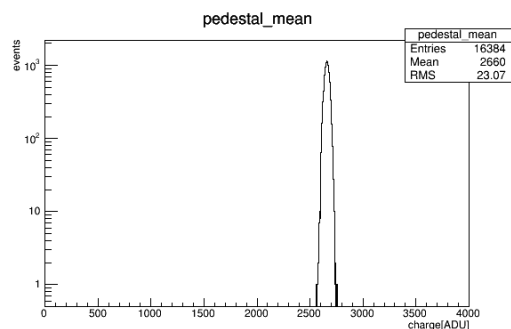


図 6.17: IP13 ペDESTAL分布

全ピクセルの出力値が2700ADC値付近に分布しており、2次元分布を見ても領域に関係なくほぼ一様となっていることがわかる。

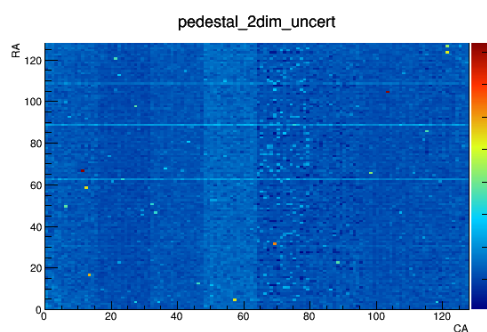


図 6.18: IP13 ノイズの分布

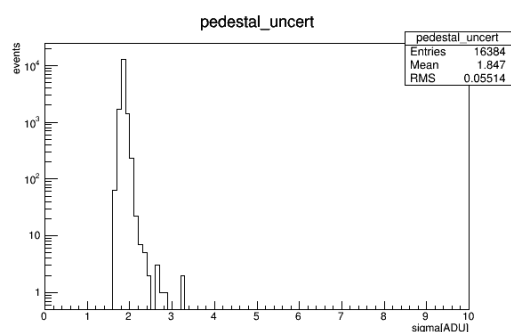


図 6.19: IP13 ノイズの分布

ノイズの値は1.5から3ADC程度に分布しており、全ピクセルのノイズの平均は1.8ADCである。2次元からも領域に関係なくほとんど一様となっていることがわかる。ノイズが2.5ADCより大きなピクセルを異常ピクセルとして以降の解析では除外している。異常ピクセルの分布を図6.20にまとめた。

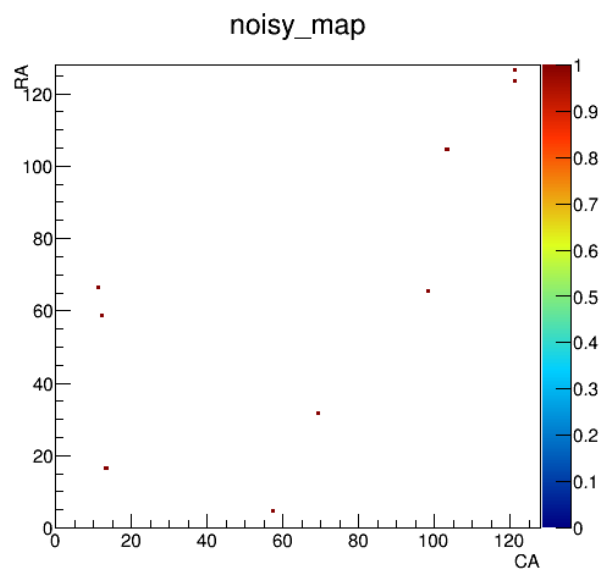


図 6.20: IP13 異常ピクセルの分布。異常ピクセルは 9 ピクセル

FPIX2 IP14

最もビーム下流側の IP14 のペDESTAL の ADC 値の分布を図 6.21, 図 6.22 に, ノイズを図 6.23, 図 6.24 にまとめた。

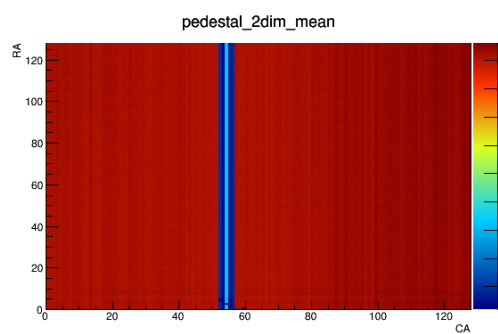


図 6.21: IP14 ペDESTAL 分布

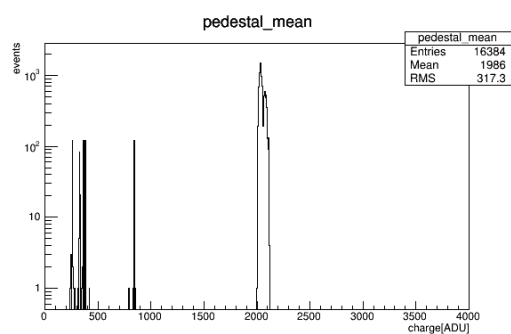


図 6.22: IP14 ペDESTAL 分布

ほとんどのピクセルの出力値は 2000ADC 値付近に分布しているが分布から外れた 1000ADC 以下にも数百ピクセル存在している。2 次元分布をから CA が 56 から 64 となっている領域のペDESTAL 値が低いことがわかる。

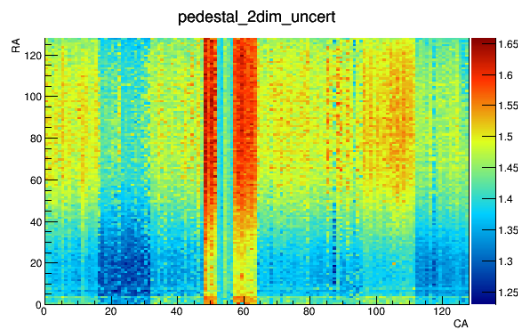


図 6.23: IP14 ノイズの分布

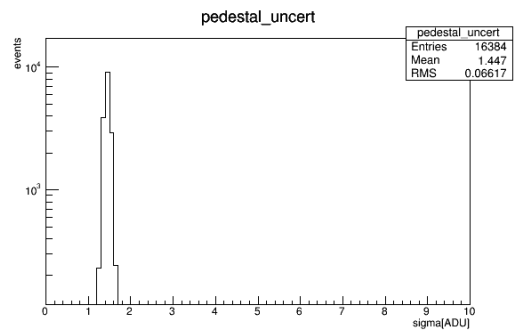


図 6.24: IP14 ノイズの分布

ばらつきの値は1から2ADC程度に分布しており、全ピクセルのノイズの平均は1.4ADCである。ペDESTALの出力が低かった領域はばらつきは小さい。しかしその両脇の領域は比較的高くなっているがいずれも2以下であるため解析に用いることにした。以上よりペDESTALの出力の低いCAが56から64となっている領域を異常ピクセルとして以降の解析では除外している。異常ピクセルの分布を図6.25にまとめた。

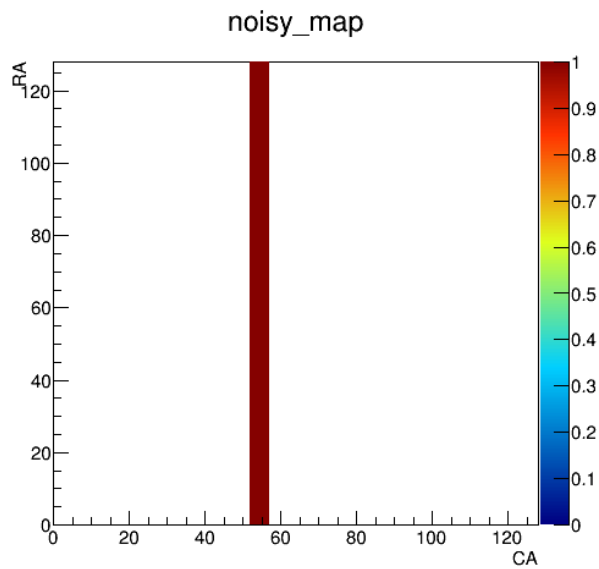


図 6.25: IP14 異常ピクセルの分布。異常ピクセルは1024ピクセル

6.2.2 収集電荷量

ヒット条件

運動エネルギー 460MeV のビームに対する応答の評価を行った

なお, FPIX2 は P 型バルクで信号は負となるため, 解析の際に信号は反転させている。
測定パラメータ

- V_{DET} : -200 V
- VSOI2 : GND
- Scan Time : 400 ns/pix
- RSTV : 1500 mV
- イベント数 : 312796 events

IP11,12,13,14 において各イベントにおけるペDESTALを引いた出力値が最も大きなピクセルの値をヒストグラムに詰めたものが図 6.26, 図 6.28, 図 6.30, 図 6.32 である。IP11, 12, 13 についてはペDESTALのピークとヒットしたイベントのピークがよく分離されていることがわかる IP14 についてはゲインが低いためよく分離されてはいないがペDESTALのピークとヒットのピークがあることがわかる。分布から IP11, 12, 13 については約 25σ である 50ADC を, IP14 については約 20σ である 30ADC をヒットの基準としてカットした結果が図 6.27, 図 6.29, 図 6.31, 図 6.33 である。カット後のイベント数を見るとトリガーとして用いたシンチレータの大きさに対する実際のセンサーの有感領域の大きさ程度となっている。以降各センサーにおけるヒット (最大 ADC ピクセル) の基準は IP11, 12, 13 については 50ADC, IP14 については 30ADC として解析を行った。同様のヒット条件でマルチヒットとなるイベントは 1 % 程度となることからマルチヒット事象については 2 つ目のヒットについては以降の解析で考慮せず行った。

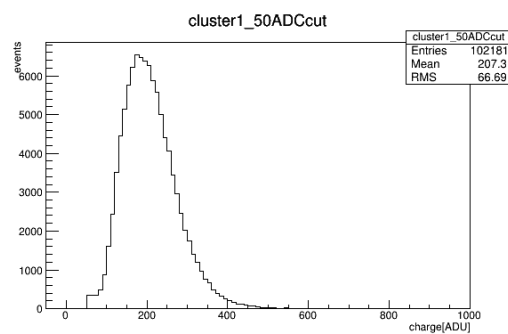
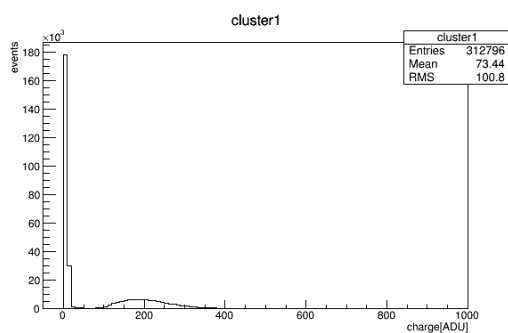


図 6.26: IP11:最大となるピクセルの出力値

図 6.27: IP11:50ADC 以上の最大となるピクセルの出力値

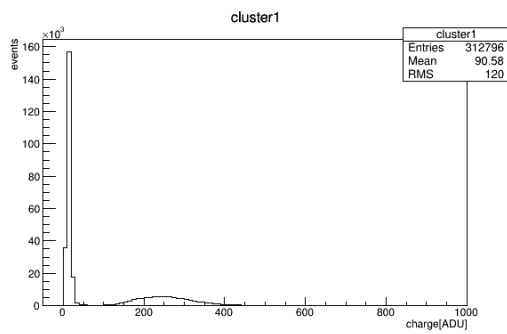


図 6.28: IP12:最大となるピクセルの出力値

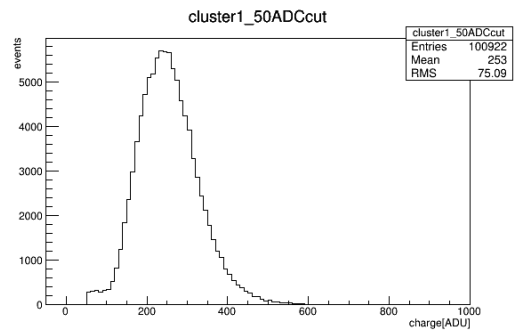


図 6.29: IP12:50ADC 以上の最大となるピクセルの出力値

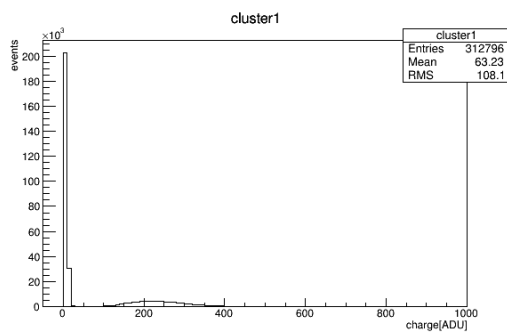


図 6.30: IP13:最大となるピクセルの出力値

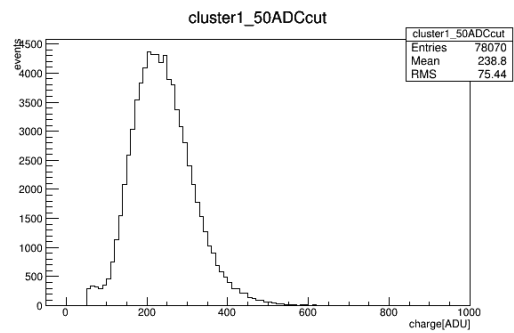


図 6.31: IP13:50ADC 以上の最大となるピクセルの出力値

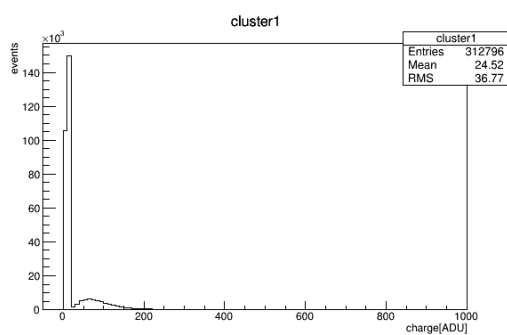


図 6.32: IP14:最大となるピクセルの出力値

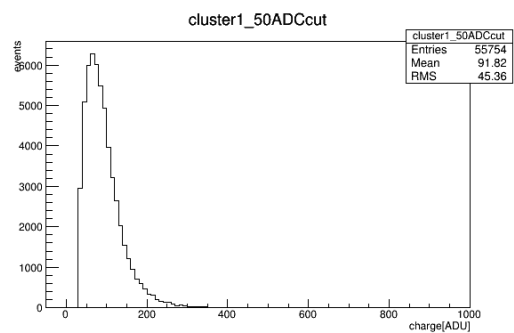


図 6.33: IP14:30ADC 以上の最大となるピクセルの出力値

クラスタリング

本実験において DUT として上流から 2 番目の IP12 について解析を行っていく。ヒットしたイベントに関してヒットピクセルを中心として 2 次元のクラスター電荷の拡散の仕方の平均をとったものが図 6.34 である。拡散の様子を行, 列方向それぞれに射影したものが図 6.35, 図 6.36 である。5 σ 以上となる 10ADC より大きな出力となるピクセルはヒットピクセルを中心として 5 \times 5 ピクセルに拡がっていることからクラスターサイズは 5 \times 5 の 25 ピクセルとした。また各イベントにおける X 軸, Y 軸方向への電荷の拡がりをガウス関数でフィットを行い, そのゆらぎをもとめた結果が図 6.37, 図 6.38 である。各イベントにいて 5 σ 以上の出力値となったピクセル数をヒストグラムにしたものが図 6.39 である。ほぼすべてのイベント複数ピクセルにわたってクラスターが拡がっていることがわかる。このことから電荷分割法によるヒット位置の検出が可能であると考えられる。

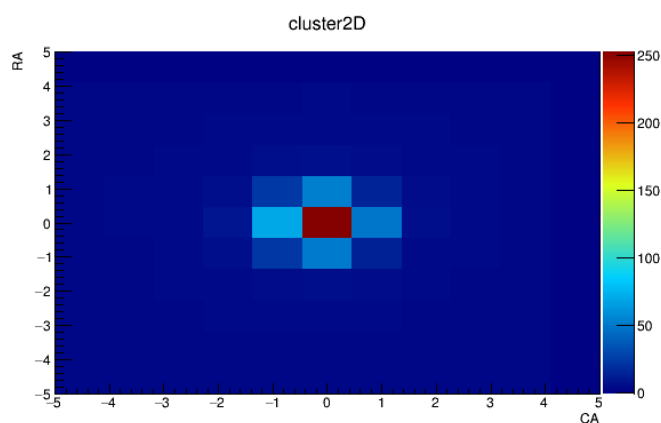


図 6.34: クラスター電荷の拡がり

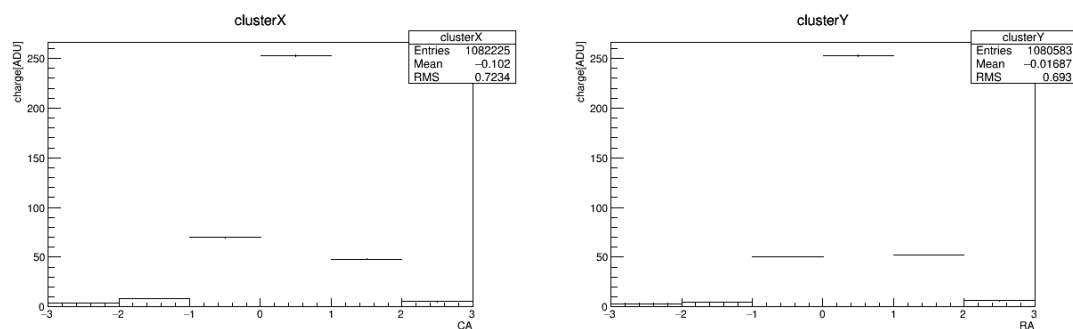


図 6.35: クラスター電荷の拡がりを X 軸方向 図 6.36: クラスター電荷の拡がりを Y 軸方向へ射影

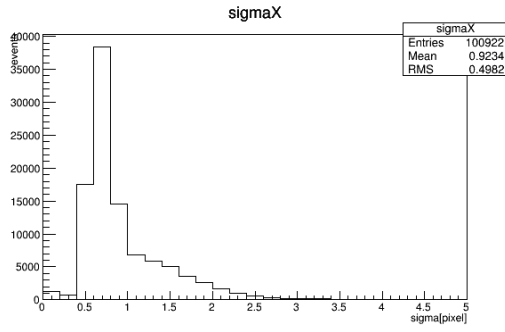


図 6.37: クラスター電荷の拡がりの X 軸方向
のゆらぎ

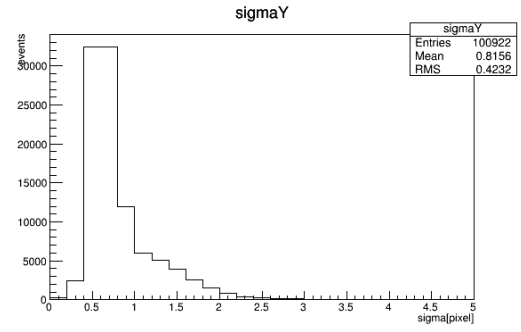


図 6.38: クラスター電荷の拡がりの Y 軸方向
のゆらぎ

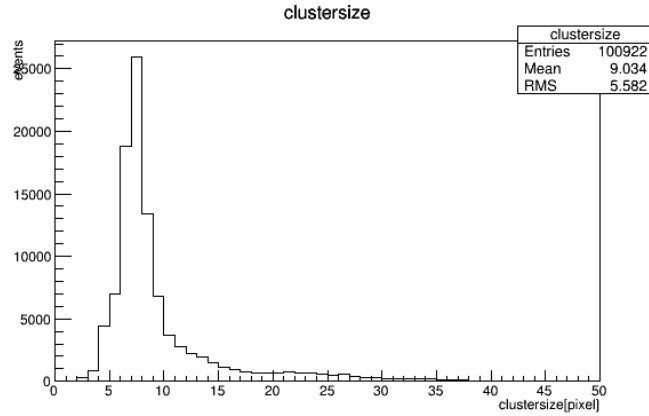


図 6.39: クラスターサイズ

クラスターの拡がりの原因が考察する。-200V における空乏層の厚さは $150\mu\text{m}$ なので、その間に受けるクーロン散乱の影響を見積もる。その際、後述の式 6.4 を用いると平均散乱角は $1.1 \times 10^{-3} \text{rad}$ となる。よってクーロン散乱によるクラスターの拡がりは $0.16\mu\text{m}$ と見積もられるためクーロン散乱の影響は小さい。またクラスターの拡がりに偏りもないため電荷拡散によりクラスターが広がっていると考えられる。

ヒットピクセルを中心とした 5×5 ピクセルでクラスタリングした電荷量 and をヒストグラムに詰めたものが図 6.40 である。ランダウ関数とガウス関数の畳み込み関数でフィットを行った。フィットの結果ピークは $534.9 \pm 0.4 \text{ ADC}$ である。全ピクセルの σ の平均は 1.8 ADC なので 5×5 ピクセルでのばらつきは

$$\text{Noise} = 1.8 \times \sqrt{5 \times 5} \quad (6.1)$$

$$= 9.0 \text{ ADC} \quad (6.2)$$

よって、クラスター電荷の S/N は 60 程度であるとわかった。

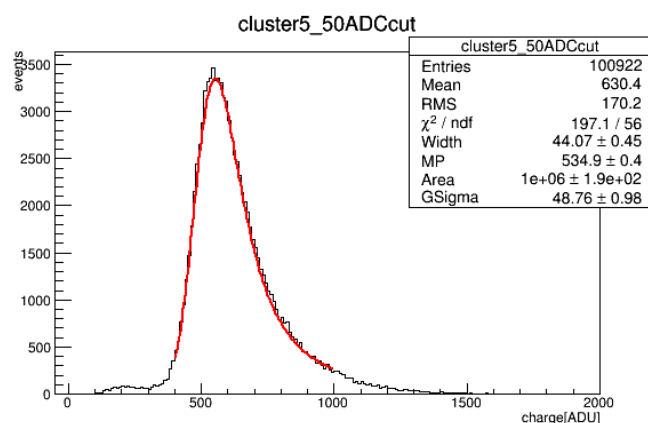


図 6.40: IP12:5×5 ピクセルクラスター電荷量

センサーバイアス電圧依存性

バルク部のシリコンの空乏層の厚さは式 2.1 に従い、バルク部へ印加する逆バイアス電圧に依存する。そのため、バルク部へ印加する逆バイアス電圧の依存性を測定した。センサーバイアス電圧依存性の測定には二日目の 670MeV/c の陽電子ビームを用いて行い、DUT とした上流から 2 番目のセンサーの電圧を -100V から -300V まで 50V ステップで測定した。各電圧における測定パラメータは以下の通りである。

- VSOI2 : GND
- Scan Time : 400 ns/pix
- RSTV : 1500 mV
- イベント数 : 50000 events

各電圧において 50ADC をヒットの基準とし、5×5 をクラスターサイズとしてクラスタリングを行いランダウ関数とガウス関数の畳み込み関数でフィットすることでピークを求めた。その結果が -100V, -150V, -250V, -300V の順番で図 6.41, 図 6.42, 図 6.43, 図 6.44 である。

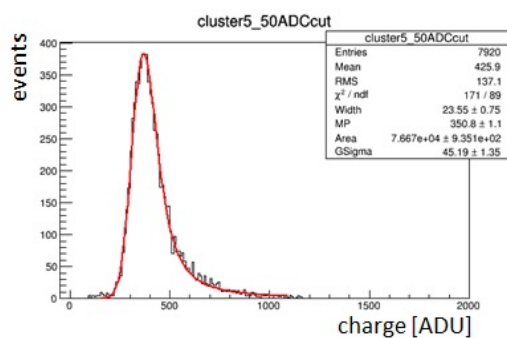


図 6.41: -100V 印加時のクラスター電荷

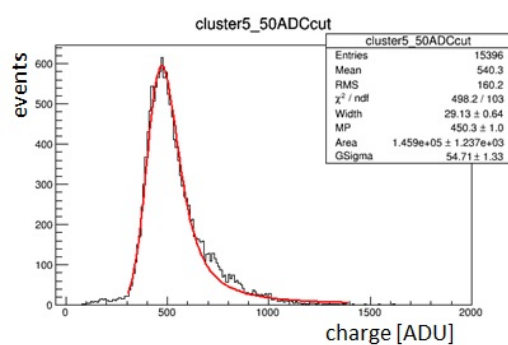


図 6.42: -150V 印加時のクラスター電荷

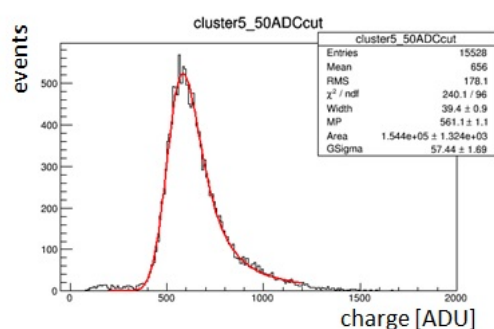


図 6.43: -250V 印加時のクラスター電荷

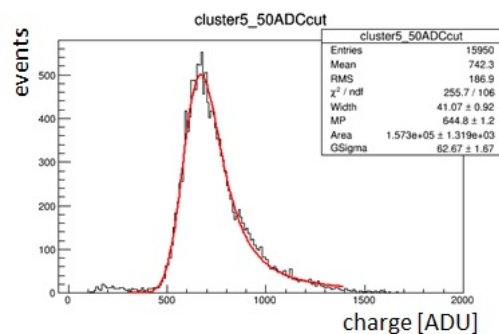


図 6.44: -300V 印加時のクラスター電荷

各電圧におけるピークとなった電荷量を縦軸に、印加電圧のルートを横軸にとったものが図 6.45 である。また、各電圧において外部クロックをトリガーとしてペDESTALを取得し、そのばらつきと信号量の比を取ったものが図 6.46 である。

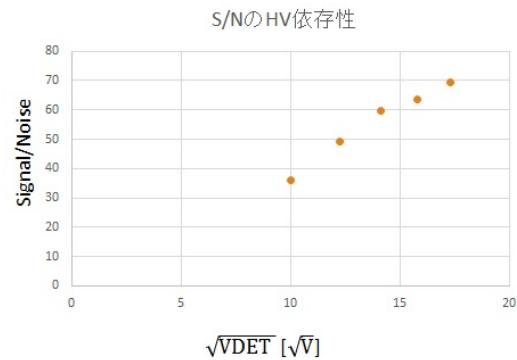
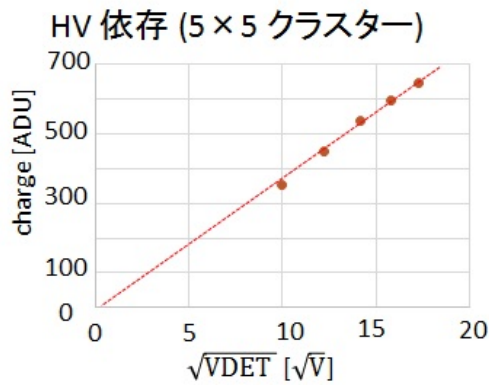


図 6.45: クラスター電荷のセンサーバイアス 図 6.46: S/N のセンサーバイアス電圧依存性
電圧依存性

図 6.45 より，収集電荷量がセンサーバイアス電圧のルートに比例していることがわかる。このことから収集電荷量が空乏層の厚さに比例していることが確認できた。今回測定した-300V に至るまでに収集電荷量が一定となることはないため，印加電圧の増加に応じて収集電荷量も増加していくことから-300V では全空乏化には至っていない。本実験に用いたセンサーは double SOI の FPIX2 なのでバルクは P 型構造で比抵抗は $1k\Omega \cdot cm$ 以上となっている。比抵抗が $1k\Omega \cdot cm$ だと仮定して $300\mu m$ のバルク部の全空乏化電圧を求めると-900V が必要となる。

また，図 6.46 を見ると逆バイアス電圧を増加させると収集電荷量の増加に伴い S/N も増加していることがわかる。-300V において S/N は 70 程度となっている。-300V において空乏層の厚さは $170\mu m$ と見積もられる。空乏層中では $1\mu m$ あたり 80 個の電子正孔対が生成されるので $170\mu m$ では 13600 個の電子成功対が生成される。信号は 644.8ADC すなわち $322.4mV$ なので電子正孔対 1 つあたり $23.7\mu V$ の信号となることがわかった。

6.2.3 アライメント

ヒット位置の相関

DUT とした上流から 2 番目の IP12 の評価のために IP11, IP13 との検出器間の回転やずれを補正するためヒット位置の相関を求めた。最下流側の IP14 に関しては中央部に不感領域があるため以降の評価の際には用いていない。1 日目の運動量 $460MeV/c$ での各検出器間のヒット位置の相関を 2 次元ヒストグラムにした。IP11 と IP12 の column, Row 方向についてヒット位置の相関を取ったものが図 6.47, 図 6.48, IP12 と IP13 の column, Row 方向についてヒット位置の相関を取ったものが図 6.49, 図 6.50 である。

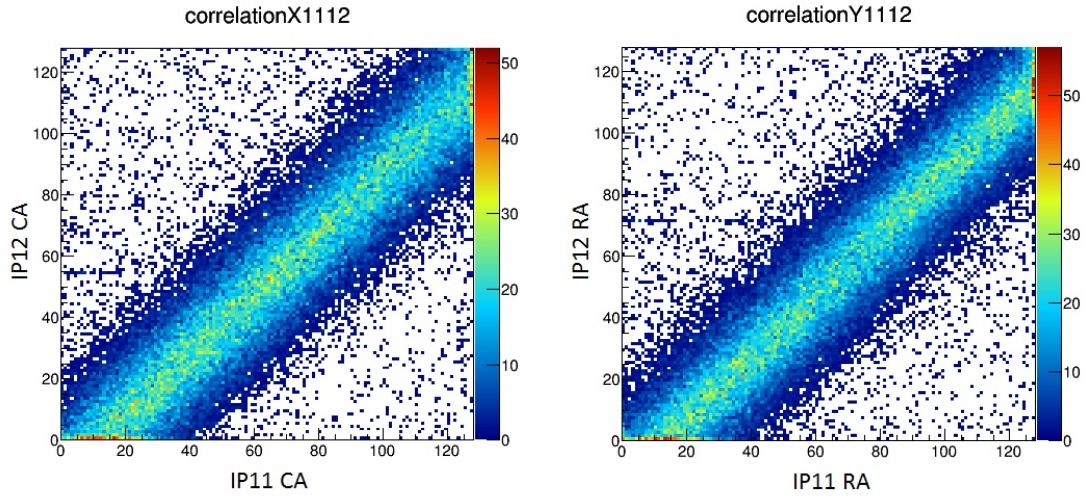


図 6.47: IP11, IP12 ヒット位置相関 column 図 6.48: IP11, IP12 ヒット位置相関 Row 方向 (460MeV)

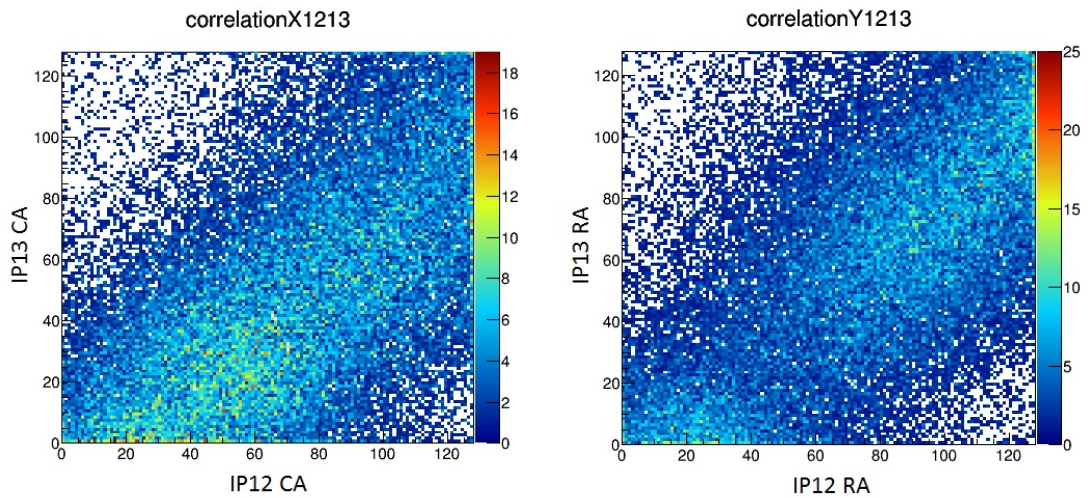


図 6.49: IP12, IP13 ヒット位置相関 column 図 6.50: IP12, IP13 ヒット位置相関 Row 方向 (460MeV)

次に、2 日目の運動量 $670\text{MeV}/c$ での各検出器間のヒット位置の相関を示した。IP11 と IP12 の column, Row 方向についてヒット位置の相関を取ったものが図 6.51, 図 6.52, IP12 と IP13 の column, Row 方向についてヒット位置の相関を取ったものが図 6.53, 図 6.54 である。

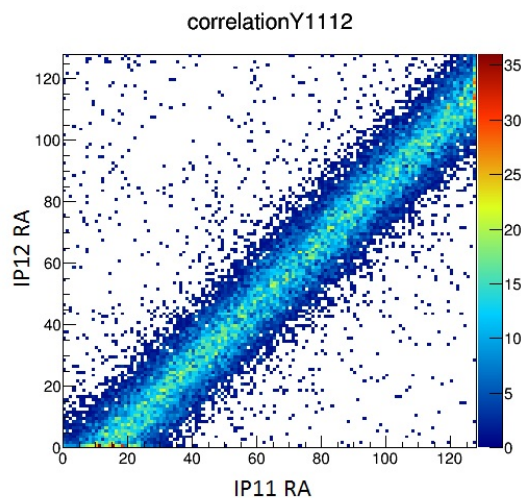
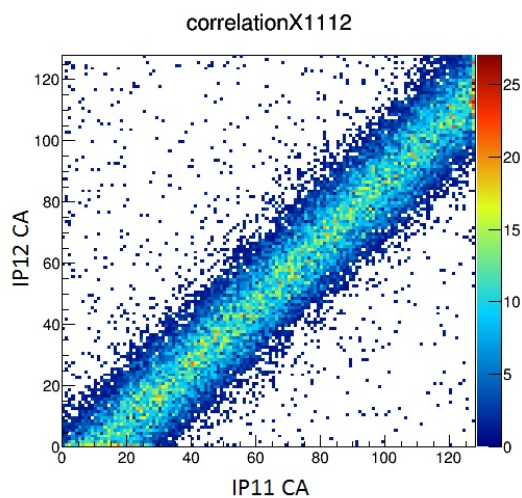


図 6.51: IP11, IP12 ヒット位置相関 column 図 6.52: IP11, IP12 ヒット位置相関 Row 方向 (670MeV)

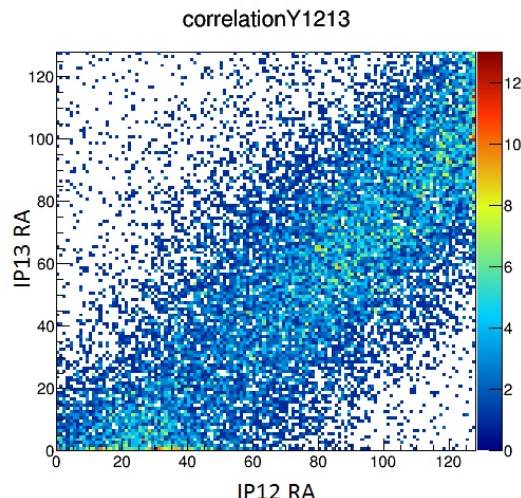
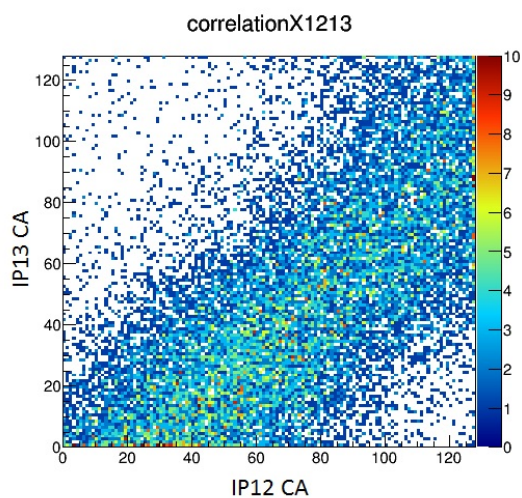


図 6.53: IP12, IP13 ヒット位置相関 column 図 6.54: IP12, IP13 ヒット位置相関 Row 方向 (670MeV)

460MeV/c のヒット位置の相関と 670MeV/c のヒット位置の相関を比較すると 460MeV のものの方が分布に広がりを持っていることがわかる。これは低いエネルギーのほうが散乱の影響をよく受けるためだと考えられる。また 1 枚目 2 枚目のヒット位置に比べて 2 枚目 3 枚目のヒット位置の相関の方が分布が広がっている。これは 2 枚目と 3 枚目の間に SOFIST があり、そのセラミックパッケージやサブボード基板において散乱したためであ

ると考えられる。

複数の検出器の位置を合わせるためにヒット位置の相関からアライメントの調整を行った。この際、チップのビーム軸を Z 軸としたときの Z 軸を中心とした回転と X 軸, Y 軸方向のずれを補正した。アライメントの調整には散乱の影響が小さい 670 MeV/c のデータを用いて補正を行った。回転方向の補正は IP11 の CA,RA に回転行列をかけ IP12 とのヒット位置の差について最小二乗法を用いて決定した。その結果 2 枚目と 1 枚目とのずれは回転方向 -0.9° , X 軸方向 -13 ピクセル, Y 軸方向に -11 ピクセルとなった。補正を行った 1 枚目と 2 枚目のヒット位置の相関をとったものが図 6.55, 図 6.56 である。column 方向, Row 方向ともにヒット位置が $y = x$ の直線になっていることが確認できる。また, 同様に 2 枚目に対する 3 枚目の位置を調整した結果, ずれは回転方向 -2.8° , X 軸方向に 20 ピクセル, Y 軸方向に 20 ピクセルとなった。

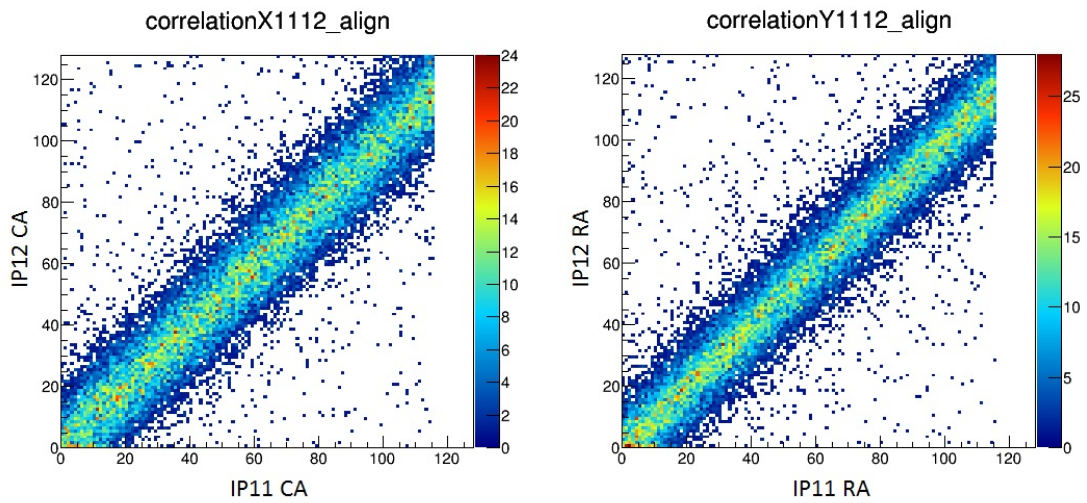


図 6.55: アライメント補正後のヒット位置の相関 (column 方向) 図 6.56: アライメント補正後のヒット位置の相関 (Row 方向)

6.2.4 トラッキング

補正を行ったアライメントをもとに 1 枚目と 3 枚目のヒット位置からトラックをひくことで 2 枚目の特性評価を行った。

検出効率

1 枚目 3 枚目のヒット位置でトラックをひきそのトラックが 2 枚目を通過するイベントのうち実際に 2 枚目にヒットする割合を求めることで検出効率を求めた。その際散乱の影響が見込まれるため 2 枚目でのトラックの通過位置を中心に絞っていくことで散乱の影響

を考慮した。その結果が図 6.57 である。領域を制限するにつれて検出効率が上昇しているため、散乱の影響を排除しきれていないと考えられる。最も領域を絞った両端から 55 ピクセルずつ絞った結果では検出効率は 0.990 ± 0.004 となっており、実際の検出効率は 99 %以上が見込まれる。

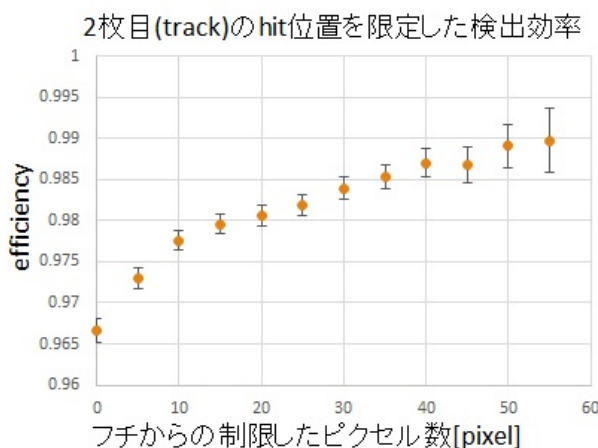


図 6.57: 検出効率

残差分布

1 枚目 3 枚目のヒット位置でトラックをひきそのトラックが 2 枚目で想定されるヒット位置と実際のヒット位置の差分を取った。その結果を図 6.58, 図 6.59, 図 6.60, 図 6.61 にまとめた。3 枚の検出器を周囲のチップキャリアなどで散乱することなく通過したイベントと途中でチップキャリアなどで大きく散乱しながら 3 枚を通過したと考えられる二つの分布の重ね合わせとなっている。二つのガウス関数の重ね合わせでフィットを行った。670MeV のビームに対する残差分布の拡がり は X 軸方向に $\sigma_x = 4.27 \pm 0.06$ pixel, Y 軸方向に $\sigma_y = 4.31 \pm 0.06$ pixel となった。460MeV のビームに対する残差分布の拡がり は X 軸方向に $\sigma_x = 5.60 \pm 0.10$ pixel, Y 軸方向に $\sigma_y = 5.72 \pm 0.08$ pixel となった。これはクーロン散乱によりビームが散乱をしてしまったためだと考えられる。このように大きな広がりをもってしまったため検出器本来の位置分解能を測定することは困難である。

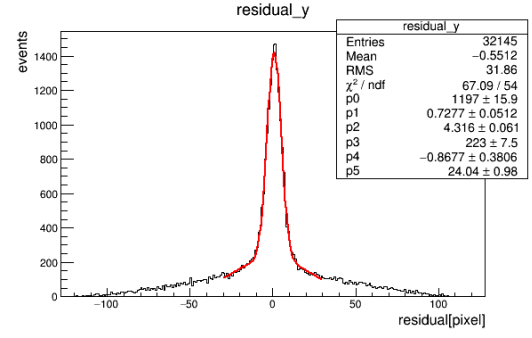
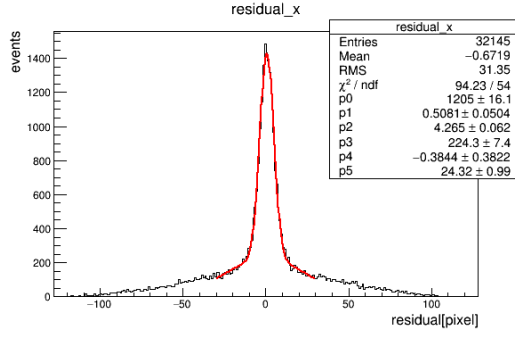


図 6.58: 670 MeV における X 方向の残差分布 図 6.59: 670 MeV における Y 方向の残差分布

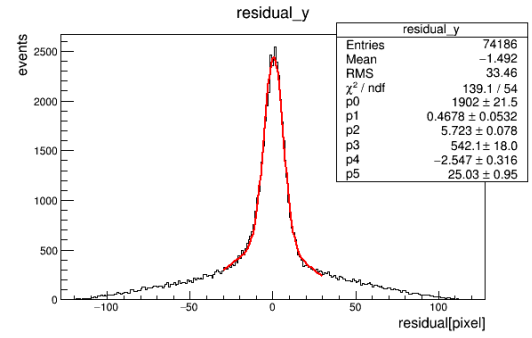
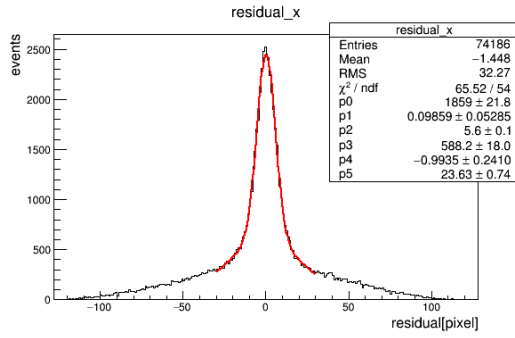


図 6.60: 460 MeV における X 方向の残差分布 図 6.61: 460 MeV における Y 方向の残差分布

観測された分布の広がりには検出器の位置分解能によるものとクーロン散乱に起因するものの2種類の影響を受けており、以下の式 6.3 に従う。

$$\sigma_{\text{obs}} = \sqrt{\sigma_{\text{int}}^2 + \sigma_{\text{sct}}^2 + \sigma_{\text{trc}}^2} \quad (6.3)$$

ここで σ_{obs} は測定された分布の広がり、 σ_{int} は検出器本来の位置分解能、 σ_{sct} はクーロン散乱に起因する分布の広がり、 σ_{trk} はトラッキングの精度による分布の広がりである。 σ_{sct} はビーム粒子の運動量の逆数に比例するため、2つの測定点からクーロン散乱の影響を受けない運動量を無限大における分布の広がりを求めることで検出器本来の位置分解能を見積もった。 $\sqrt{\sigma_{\text{int}}^2 + \sigma_{\text{trk}}^2}$ を p0、 σ_{sct} を p1/P として2つの測定点をフィットした結果が図 6.62 である。よって検出器本来の位置分解能は 2.50 ± 0.19 ピクセルを $\sqrt{2}$ で割った 1.75 ± 0.13 ピクセル以下だと見積もられる。期待される位置分解能より大きな値となったが、これはトラッキングの精度が原因だと考えられる。正確な検出器本来の位置分解能を得るためには様々なエネルギーのビームの測定を行い測定点を増やすことや、クーロン散乱の影響の小さい高エネルギービームを用いて測定することが有効である。

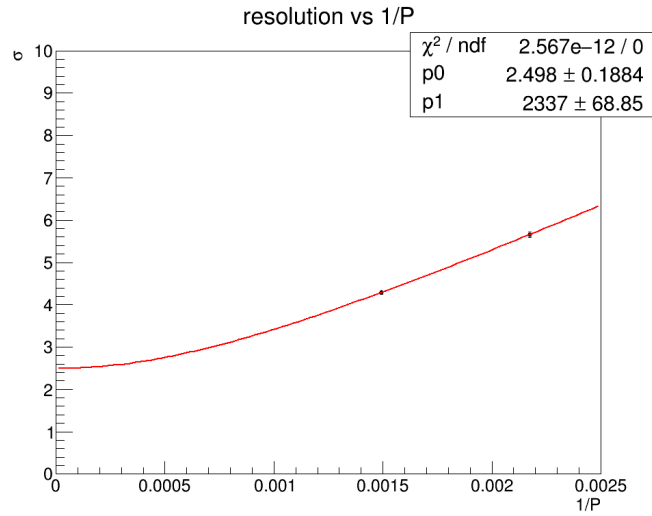


図 6.62: 残差分布の運動量依存性

6.2.5 クーロン散乱見積もり

クーロン散乱の影響とみられるビームの広がりのため検出器本来の位置分解能を測定することはできなかったため、実際にビームの広がりがクーロン散乱により見込まれる拡がりとは一致するのか比較を行った。1 枚目 2 枚目のヒット位置の相関に比べて 2 枚目 3 枚目のもののほうが大きく分布が広がっている。そのためビームの広がりは 2 枚目と 3 枚目の間にある SOFIST におけるクーロン散乱の寄与が大きいと考えられる。SOFIST におけるクーロン散乱は以下のように見積もられる。多重クーロン散乱の散乱角は式 6.4 に従う。

$$\theta_{av} = \frac{13.6z}{p\beta c} \sqrt{\frac{x}{X_0}} \quad (6.4)$$

このとき z はビームの電荷、 p はビームの運動量、 β はビーム粒子の速度を光速で割った値、 c は光速、 x は物質の厚みで、 X_0 はその物質の放射長である。

表 6.1: SOFIST の厚みと放射長

物質	厚み [mm]	放射長 [mm]
チップ (Si)	0.50	93.7
サブボード基板 (ガラスエポキシ基板)	1.80	194
ソケット (PE 樹脂)	9.5	285

これらの値から SOFIST まで真っ直ぐ入射した運動量 670 MeV/c のビームが SOFIST において散乱し 3 枚目における分布の広がりを見積もった結果 $109\mu\text{m}$ の広がりが見込まれる。

次に実際に今回の測定で測定された 3 枚目での広がりを求める。1 枚目 2 枚目のヒット位置を結びトラックをひき、その直線がビームの入射の様子であると考え。そのトラックの 3 枚目で想定されるヒット位置と実際のヒット位置の残差分布求めた。その結果が図 6.63 である。その残差分布をガウス関数でフィットすることで散乱による広がりを求めた。フィットの結果ビームの広がりは 14.82 ± 0.19 ピクセル、つまり $118.6 \pm 1.5\mu\text{m}$ である。以上のことから今回の測定におけるビームの広がりは SOFIST における多重クーロン散乱の影響が大きいと考えられる。

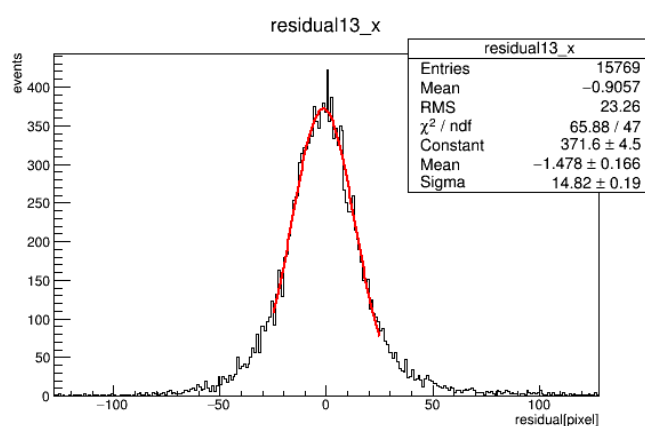


図 6.63: 散乱によるビームの広がり

検出器本来の位置分解能を測定するには散乱の影響を小さくする必要があるため、サブボード等に穴をあけより高エネルギーのビームを用いて評価をすることが必要である。

第7章 フェルミ国立加速器研究所 120 GeV陽子ビームテスト

多重クーロン散乱の影響の小さい高エネルギービームを用いてビームテストを行った。2017年1月23日から2月7日にアメリカ・フェルミ国立加速器研究所 (FNAL) において 120 GeV 陽子ビームを用いてビームテストを行った。FNAL の加速器を図 7.1 に示す。イオン源からの H^- ビーム粒子は四重極で 35 keV から 750 keV に加速され、バンチ構造を持ちライナックに入射する。ライナックは約 150 m の線形加速器でビーム粒子を 400 MeV まで加速しブースターに入射させる。その後円周約 450 m のブースターで H^- ビーム粒子を 8 GeV まで加速し円周 3.2 km のメインインジェクターに入射させる。メインインジェクターにおいて 120 GeV まで加速した後、セプタムを用いてビーム粒子の一部が取り出され我々がビーム試験を行ったテストビームファシリティまで届けられる。

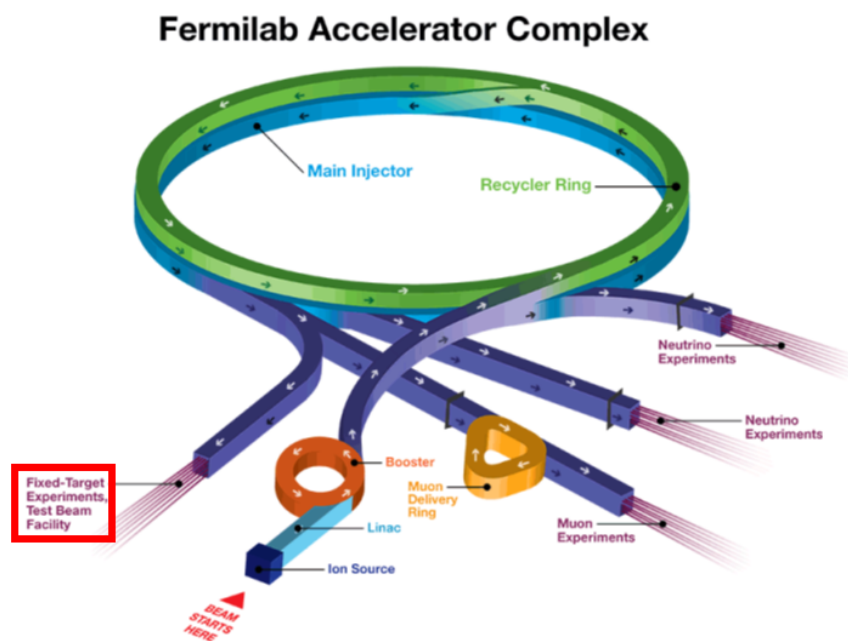


図 7.1: FNAL の加速器 [17]

ビームは1分間の加速後4.2秒間射出されるという過程を繰り返す。我々のセットアップ直前でビームライン備え付けのワイヤーチェンバーを用いてある1スピルのビームの広がりを測定したものが図7.2である。水平、鉛直方向のビームの広がりは共に約5 mmであった。

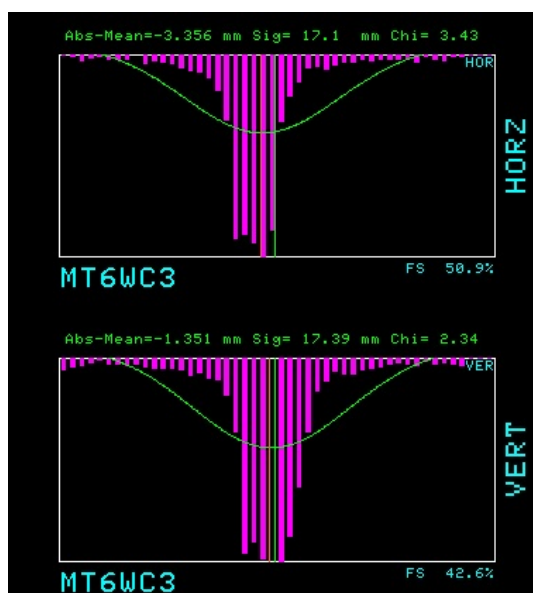


図 7.2: セットアップの前のビームの広がり
1 ビンあたり 1 mm

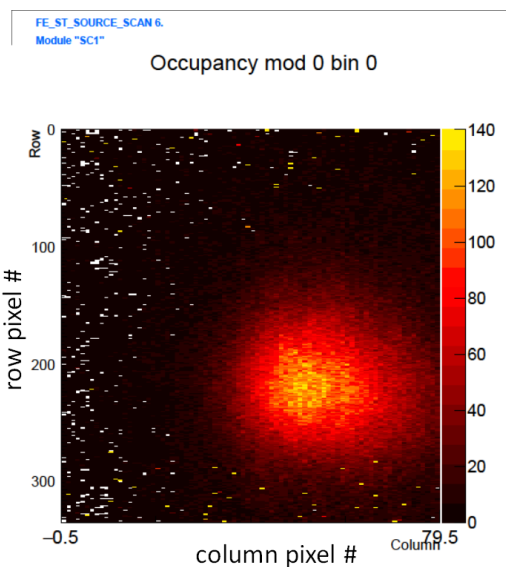


図 7.3: センサー通過直後のビームの広がり
1 ピクセルは column に 250 μm
Row 方向に 50 μm

7.1 セットアップ

本ビームテストにおけるセットアップ全体の概観写真を図7.4，スタックしたセンサーを横から見た写真を図7.5に示す。センサーは図7.5のスタックしたアルミ板の部分にあり，その下の架台を移動させることでビーム軸への出し入れが可能となっている。架台の移動はコントロールルームからリモートコントロールし，また架台下のスペースにセンサーバイアスのためのソースメータが配置されコントロールルームからバイアス電圧をリモートコントロールした。

ビーム上流側からトリガー用の2 mm 角のプラスチックシンチレータ，トリガー用MPPC，FPIX2 4枚，SOFIST 2枚，ROIトリガー用FEI4，トリガー用の5 mm 角のプラスチックシンチレータ，FPIX2 1枚という配置で行った。本実験でのセンサーのセットアップを図7.6に模式的に示した。FPIX2，SOFIST すべてに対して1枚のSEABAS2をMASTERとして用い，各検出器からのBusy信号を受けることで各検出器に同一のトリガー信号を同期をとって入力した。各検出器に同じTime Stampファームウェアを実装しているので

同一の Time Stamp を記録できる。FEI4 はピクセル番号が Column 方向に 39~46, Row 方向に 166~200 の 2.00 mm×1.75 mm 領域を有効にし, センサー位置に合わせて領域を絞ったトリガーとして用いた。FEI4 と下流側の 5 mm 角のシンチレータのコインシデンスをとったものを DAQ トリガーとして用いた。

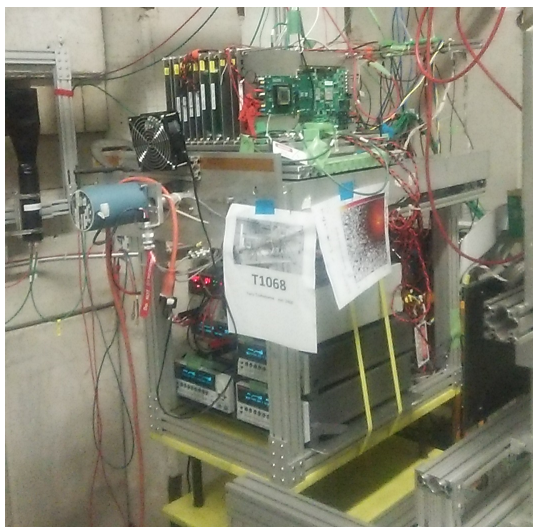


図 7.4: セットアップ 概観

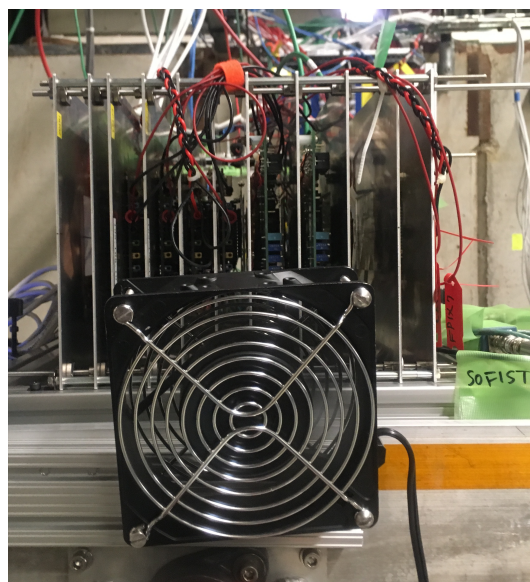


図 7.5: スタックしたセンサーのセットアップ

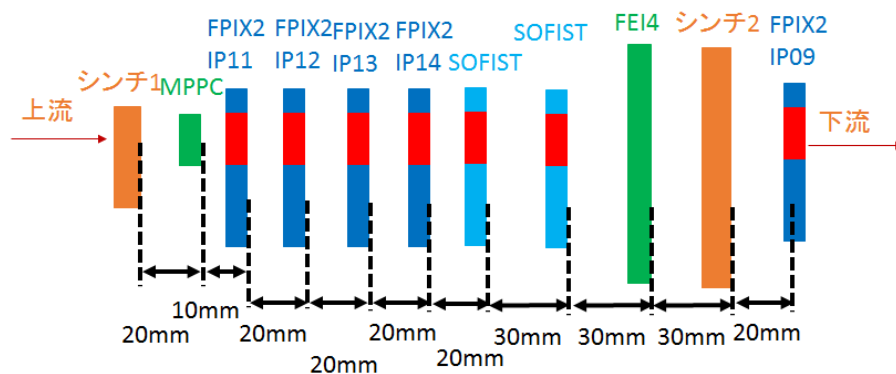


図 7.6: セットアップ

7.2 事前測定

まずビーム試験に先立って事前測定を行った。外部クロックをトリガーとしてペDESTALの評価を行った。ペDESTALデータを 10000 イベント取得し、それぞれのチップ毎のペDESTAL出力の平均とそのばらつきを求めた。各ピクセルごとに全イベントの出力値をヒストグラムに詰め、ガウスフィットを行うことでそのばらつき平均値をペDESTAL、標準偏差 (σ) をノイズの値とした。

測定パラメータ

- V_{DET} : -70 V
- VSOI2 : GND
- Scan Time : 280 ns/pix
- RSTV : 1000 mV
- イベント数 : 10000 events

ペDESTALの ADC 値の分布を図 7.7, 図 7.8 に、ノイズを図 7.9, 図 7.10 にまとめた。

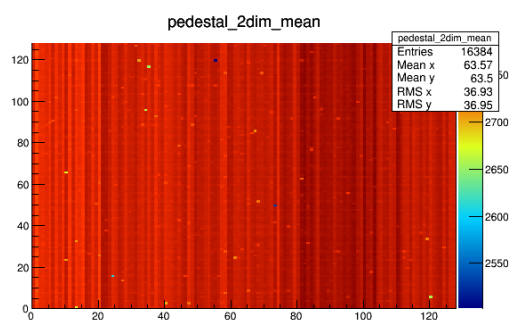


図 7.7: ペDESTAL分布

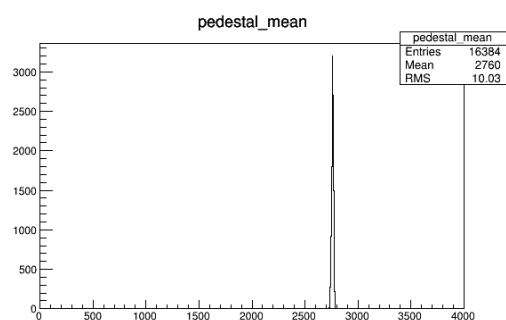


図 7.8: ペDESTAL分布

全ピクセルの出力値が 2750 ADC 値付近に分布しており、2 次元分布を見ても領域に関係なくほぼ一様となっていることがわかる。

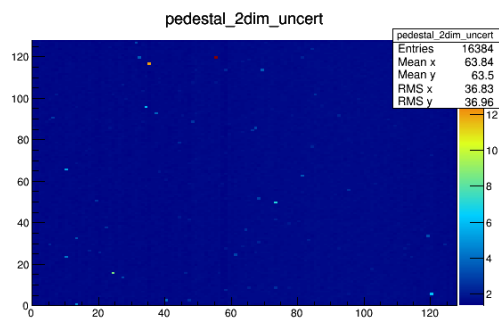


図 7.9: ノイズ分布

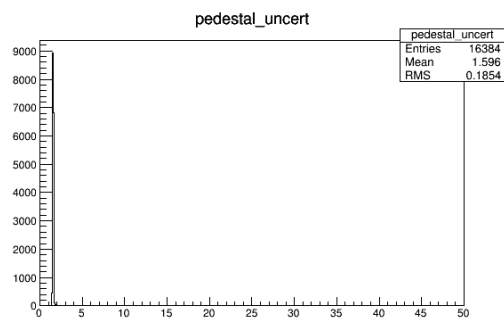


図 7.10: ノイズ分布

ノイズの値は 1.5 ADC 程度に分布しており、領域に関係なくほとんど一様となっていることがわかる。

7.3 トラッキング

FPIX2 はピクセルサイズが $8\ \mu\text{m}$ 角と非常に細密であるため MIP 粒子の通過により生じた電荷が複数のピクセルに拡がるのが期待される。出力が 20 ADC 以上となる連続したピクセル数をクラスターサイズとしたときの 2 枚目の FPIX2 におけるクラスターサイズの分布を図 7.11 に示す。ほとんどはクラスターサイズが 25 以下であり、拡がりは約 5×5 ピクセルであると推定できる。すべてのクラスターにおいて複数のピクセルにクラスターが拡がっており、電荷重心法が有効であると考えられる。

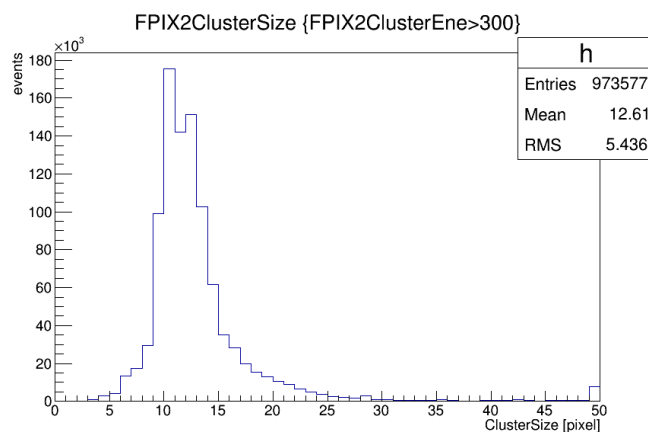


図 7.11: 2 枚目の FPIX2 におけるクラスターサイズの分布

7.3.1 収集電荷量

センサバイアス電圧依存性

バルク部のシリコンの空乏層の厚さは式 2.1 に従い、バルク部へ印加する逆バイアス電圧に依存する。そのため、バルク部へ印加する逆バイアス電圧の依存性を測定した。センサバイアス電圧依存性の測定には上流から 2 番目のセンサーの電圧を-16V から-140V まで変更しながら測定した。各電圧における測定パラメータは以下の通りである。

- VSOI2 : GND
- Scan Time : 280 ns/pix
- RSTV : 1000 mV
- イベント数 : 30000 events

各電圧において 200ADC をヒットの基準とし、 5×5 をクラスターサイズとしてクラスタリングを行いランダウ関数とガウス関数の畳み込み関数でフィットすることでピークを求めた。その結果を図 7.12～図 7.18 にまとめた。

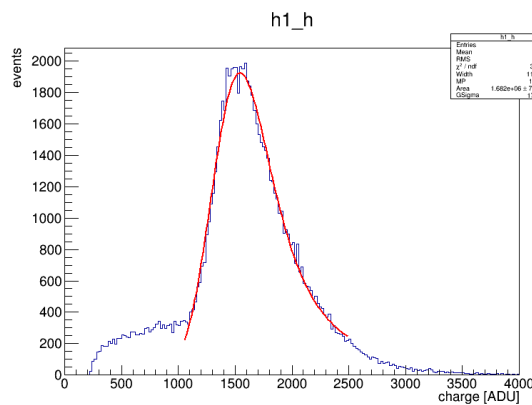


図 7.12: 収集電荷量 -140 V

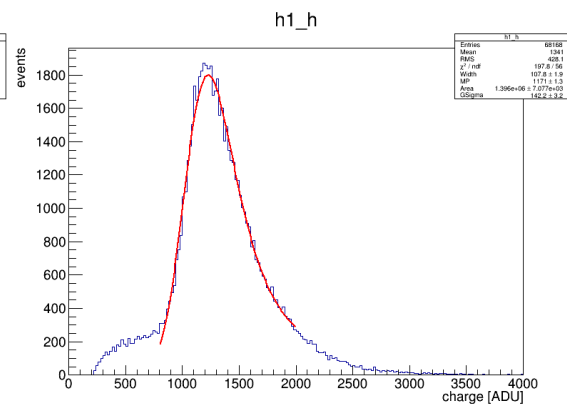


図 7.13: 収集電荷量 -100 V

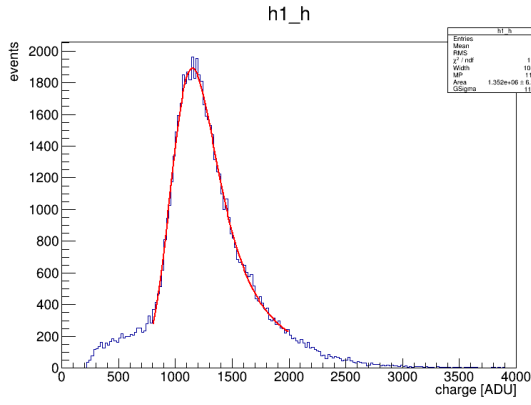


図 7.14: 収集電荷量 -90 V

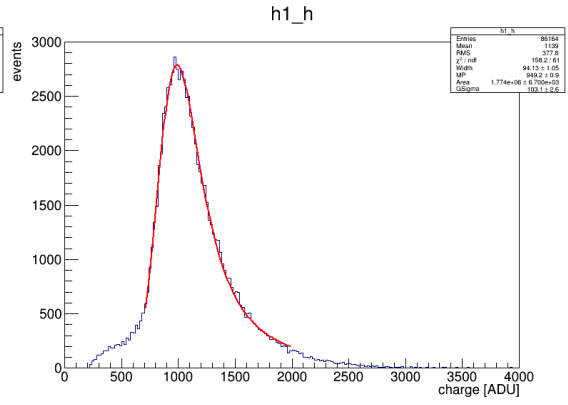


図 7.15: 収集電荷量 -70 V

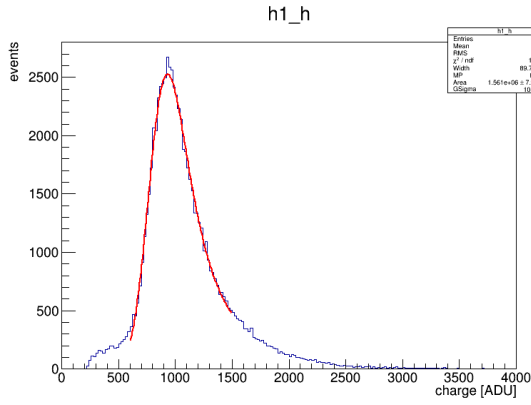


図 7.16: 収集電荷量 -64 V

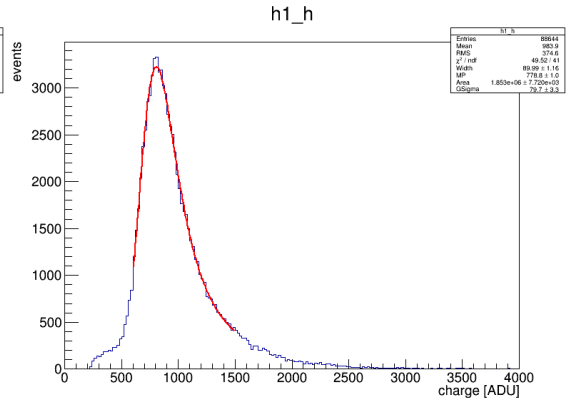


図 7.17: 収集電荷量 -50 V

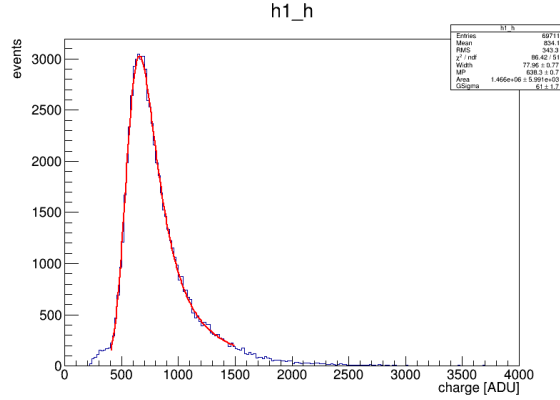


図 7.18: 収集電荷量 −16 V

各電圧においてピークをランダム関数とガウス関数の畳み込み関数でフィットを行い、そのピークの値と逆バイアス電圧の関係をプロットしたものが図 7.19 である。横軸に逆バイアス電圧のルートを取り、縦軸に各電圧におけるクラスター電荷の値をまとめた。収集電荷量が逆バイアス電圧のルートに比例していることが分かる。空乏層の厚さは逆バイアス電圧に比例するため、収集電荷量が空乏層の厚さに比例していることを確認できた。また収集電荷量は −140 V まで比例していることが分かるため、−140 V では全空乏化はしていないと考えられる。

事前測定により求めた −70 V ノイズの値と比較することで S/N を求める。事前測定により求めたノイズ平均の値は

$$\sigma = 1.6 \text{ ADU} \quad (7.1)$$

となるため、5×5 ピクセルでのばらつきは

$$\text{Noise} = 1.6 \times \sqrt{5 \times 5} \quad (7.2)$$

$$= 8.0 \text{ ADU} \quad (7.3)$$

となり、−70 V における信号量は $949.2 \pm 0.2 \text{ ADU}$ である。よってクラスター電荷の S/N は 120 程度であるとわかった。

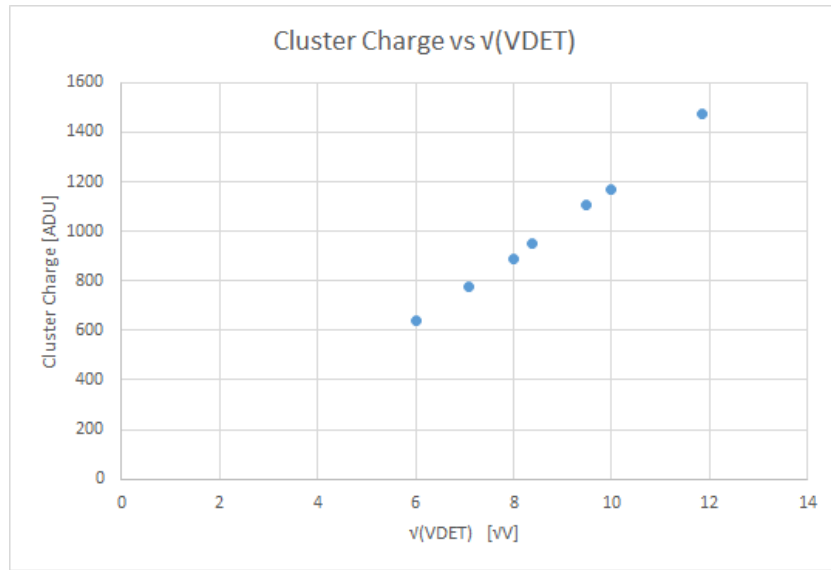


図 7.19: 収集電荷量の逆バイアス電圧依存性

7.3.2 電荷重心法

ほぼすべてのイベントにおいて複数のピクセルにクラスターが拡がることが確認できたので、クラスター電荷の重心をとることによってどのピクセルに入射したかだけでなく、そのピクセル内での入射位置を求めた。電荷重心法の以下の式を用いて入射位置を求めた。

あるクラスターが1次元的に3ピクセルに拡がりそのクラスターの中心となるピクセル番号が x で、そのピクセルで収集した電荷量を $\text{charge}(x)$ としたとき、クラスターの中心は各ピクセルにおける電荷量で重みづけを行った式 7.4 で求めることができる。

$$\text{hitposition} = (x - 1) \times \text{charge}(x - 1) + x \times \text{charge}(x) + (x + 1) \times \text{charge}(x + 1) \quad (7.4)$$

クラスターサイズはほぼすべてのクラスターにおいて 25 ピクセル以下に拡がっていることがわかるので Column 方向, Row 方向ともに出力が最大となったピクセルを中心に 5 ピクセルで電荷重心をとることでヒット位置を求めた。

FPIX2 は Rolling Shutter 方式を採用しているため全ピクセルを読み出す時間が積分時間となるため積分時間は約 1 ms と比較的長くなる。そのため 1 フレーム内にも複数のヒットしているイベントが多くなる。2 枚目の FPIX2 における 1 フレーム当たりの入射クラスターの数をプロットしたものが図 7.20 である。複数のビーム粒子が入射しているイベントが多く、10 個以上入射しているイベントも確認できる。

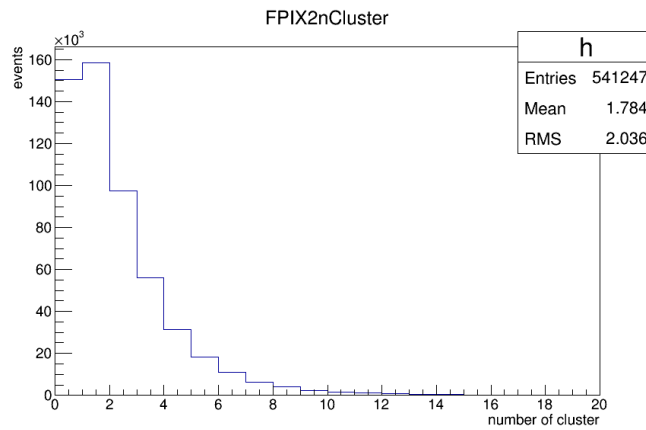


図 7.20: イベントあたりの入射クラスター数

IP14 に対する各センサーのすべてのヒットの Column 同士のヒット位置の相関が図 7.21, 図 7.22, 図 7.23, Row 方向のヒット位置の相関が図 7.24, 図 7.25, 図 7.26 である。それぞれ正しくヒットの相関をとれたと思われる直線上の分布と間違った組み合わせをとったと考えられる全体に広がる分布が確認できる。

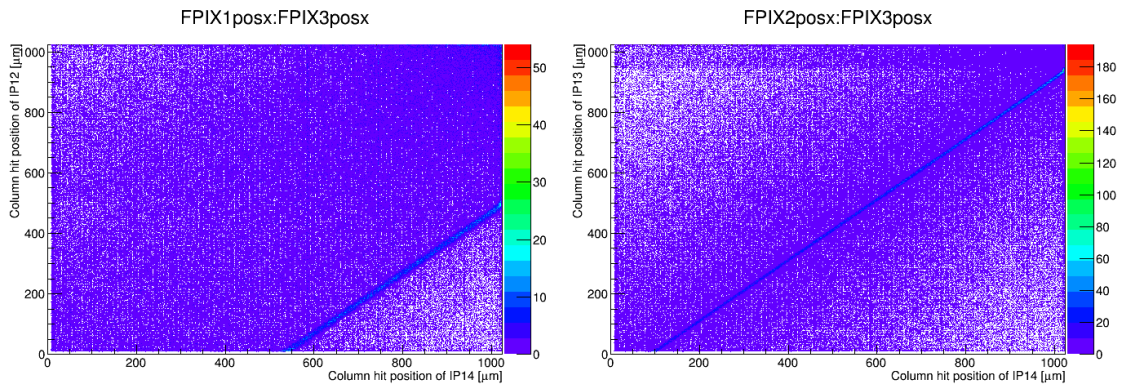


図 7.21: IP12, IP14 ヒット位置相関 column 方向
図 7.22: IP13, IP14 ヒット位置相関 column 方向

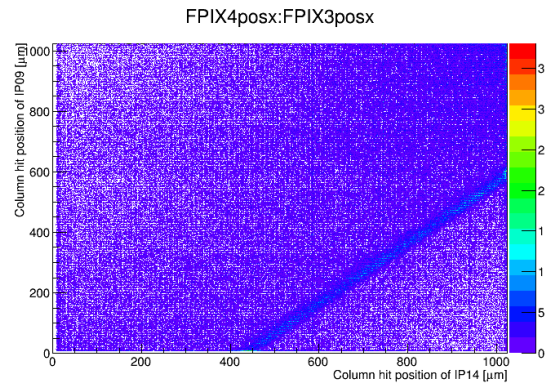


図 7.23: IP09, IP14 ヒット位置相関 column 方向

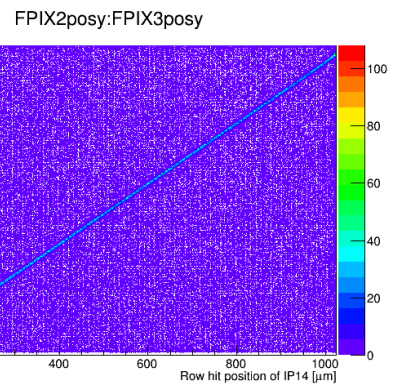
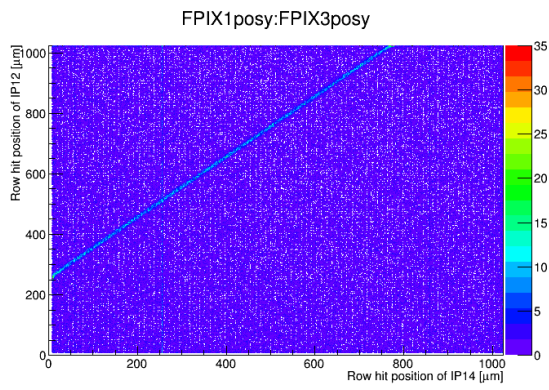


図 7.24: IP12, IP14 ヒット位置相関 Row 方向 図 7.25: IP13, IP14 ヒット位置相関 Row 方向

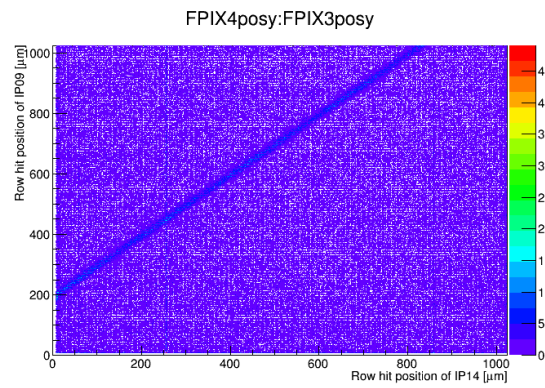


図 7.26: IP09, IP14 ヒット位置相関 Row 方向

7.3.3 直線フィット [7]

FNAL の陽子ビームは 120 GeV と非常に高エネルギーのため多重クーロン散乱の影響は非常に小さく、ビーム粒子は直進していくことが期待される。

複数の入射クラスターの中からすべてのセンサーを通過し、シンチレータと FEI4 の有感領域まで到達したビーム粒子の正しいトラックをひくため直線フィットを行った。

アライメントの補正していない段階ではすべてのセンサーのオフセット等がずれている可能性があるがビームの進行方向を Z 軸としてビームの飛跡は、X 軸方向、Y 軸方向ともに 1 次関数とみなし、X 軸方向は傾きを a_x 、オフセットを b_x として以下の式でフィットする。このとき傾き a_x は Z 軸方向に z mm 進んだ時に X 軸方向に x μm ずれることを示し、単位は $[\mu\text{m}/\text{mm}]$ で、 b_x は $[\mu\text{m}]$ である。

$$f(z) = a_x z + b_x \quad (7.5)$$

アライメントのずれのために傾き a は拡がりを持つが、ビームはほぼ平行であるためアライメントの補正により a が一定値に近づく。各測定点に対する不確かさ σ を加味した $\chi^2 S$ は以下の式で表される。

$$S = \sum \frac{(f(z_i) - a_x z_i - b_x)^2}{\sigma_i^2} \quad (7.6)$$

この際各センサーにおける不確かさの値は各センサーにおいて想定されるトラッキングの不確かさであり上流側から以下のようにした。

$$\sigma_1 = 1.0 \mu\text{m} \quad (7.7)$$

$$\sigma_2 = 0.8 \mu\text{m} \quad (7.8)$$

$$\sigma_3 = 0.8 \mu\text{m} \quad (7.9)$$

$$\sigma_4 = 4.0 \mu\text{m} \quad (7.10)$$

$\chi^2 S$ が最小となるとき傾き a_x 、オフセット b_x は以下の手順で求めることができる。 S に対する a_x 、 b_x の偏微分が以下の式である。

$$\frac{\partial S}{\partial a_x} = -2 \sum \frac{(f(z_i) - a_x z_i - b_x)^2 z_i}{\sigma_i^2} = 0 \quad (7.11)$$

$$\frac{\partial S}{\partial b_x} = -2 \sum \frac{(f(z_i) - a_x z_i - b_x)^2}{\sigma_i^2} = 0 \quad (7.12)$$

ここで簡単のため以下のように定義する。

$$A = \sum \frac{z_i}{\sigma_i^2} \quad (7.13)$$

$$B = \sum \frac{1}{\sigma_i^2} \quad (7.14)$$

$$C = \Sigma \frac{f(z_i)}{\sigma_i^2} \quad (7.15)$$

$$D = \Sigma \frac{z_i^2}{\sigma_i^2} \quad (7.16)$$

$$E = \Sigma \frac{z_i f(z_i)}{\sigma_i^2} \quad (7.17)$$

$$F = \Sigma \frac{f(z_i)^2}{\sigma_i^2} \quad (7.18)$$

すると以下のような方程式が成り立つ。

$$-E + a_x D + b_x A = 0 \quad (7.19)$$

$$-C + a_x A + b_x B = 0 \quad (7.20)$$

よって a_x , b_x は以下のように決定できる。

$$a_x = \frac{EB - CA}{DB - A^2} \quad (7.21)$$

$$b_x = \frac{DC - EA}{DB - A^2} \quad (7.22)$$

アライメント前の X 軸方向, Y 軸方向それぞれの傾き a_x , a_y を図 7.27, 図 7.28 に示す。正しく飛跡を再構成できた鋭いピークと実際とは異なる間違っ飛跡を再構成したと考えられる全体に広がる分布があることがわかる。 a_y がピークとなっている $-1.7 \sim -2.1$ となる飛跡のみの a_x が図 7.29, a_x がピークとなっている $3.7 \sim 4.5$ となる飛跡のみの a_y が図 7.30 である。間違っ飛跡を再構成したと思われる分布を取り除くことができていることがわかるため, それぞれのピークは 1 つのビーム粒子通過の飛跡を正しく再構成できたものだとわかる。

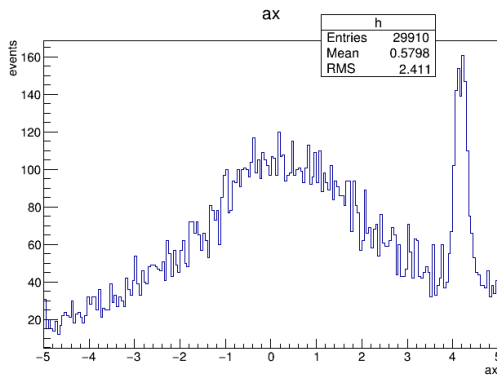


図 7.27: 飛跡の X 軸方向の傾き

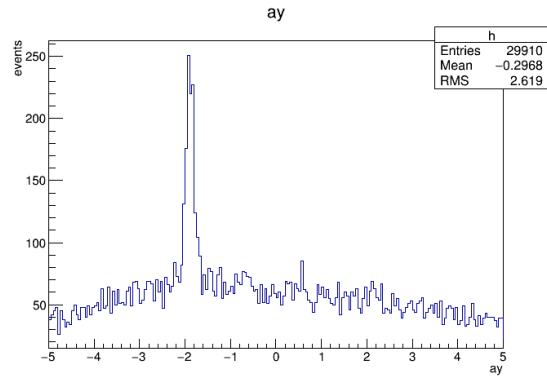


図 7.28: 飛跡の Y 軸方向の傾き

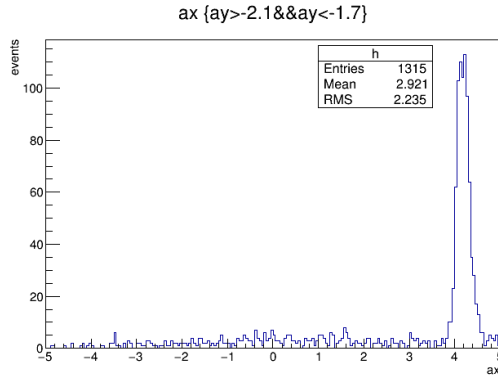


図 7.29: 飛跡の X 軸方向の傾き
($-2.1 < a_y < -1.7$ カット)

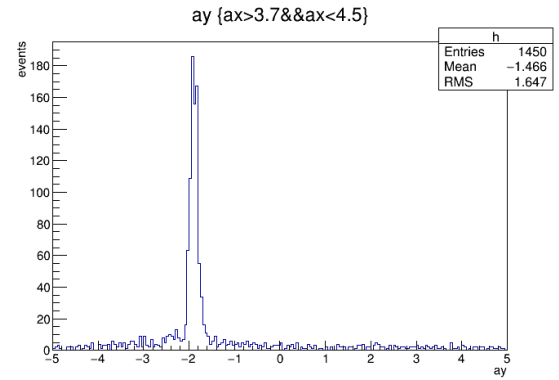


図 7.30: 飛跡の Y 軸方向の傾き
($3.7 < a_x < 4.5$ カット)

傾き a_x , a_y のカットにより間違った飛跡を再構成したと思われる分布を取り除くことができていることがわかったので、ヒット位置の相関にも同様のカットを行った結果が図 7.31, 図 7.32, 図 7.33, 図 7.34, 図 7.35, 図 7.36 である。傾きのカットをかける前にいた全体に広がる分布をしっかりと取り除くことができていますので、傾きのカットが正しいことが確認できる。よって、傾きのカットにより残った分布からアライメントの補正を行っていった。

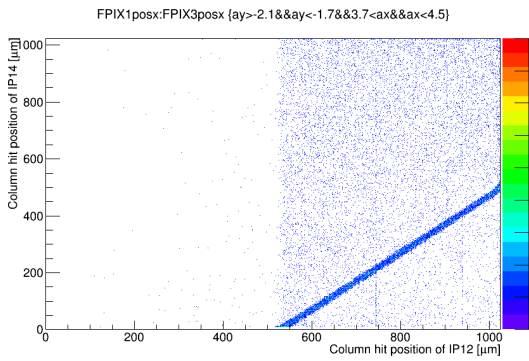


図 7.31: IP12, IP14 ヒット位置相関 column 方向 (a_x , a_y カット)

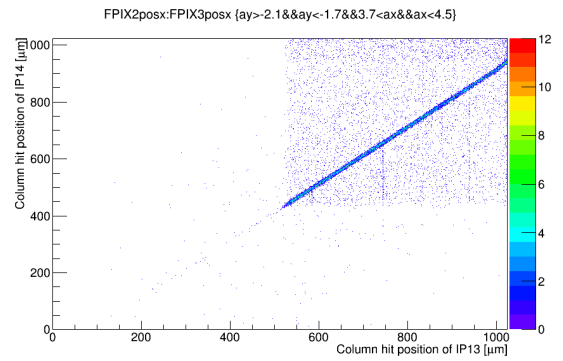


図 7.32: IP13, IP14 ヒット位置相関 column 方向 (a_x , a_y カット)

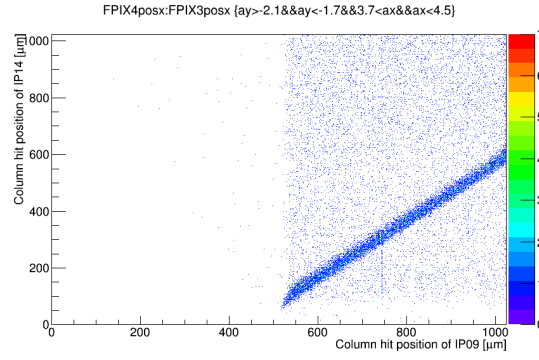


図 7.33: IP09, IP14 ヒット位置相関 column 方向 (a_x , a_y カット)

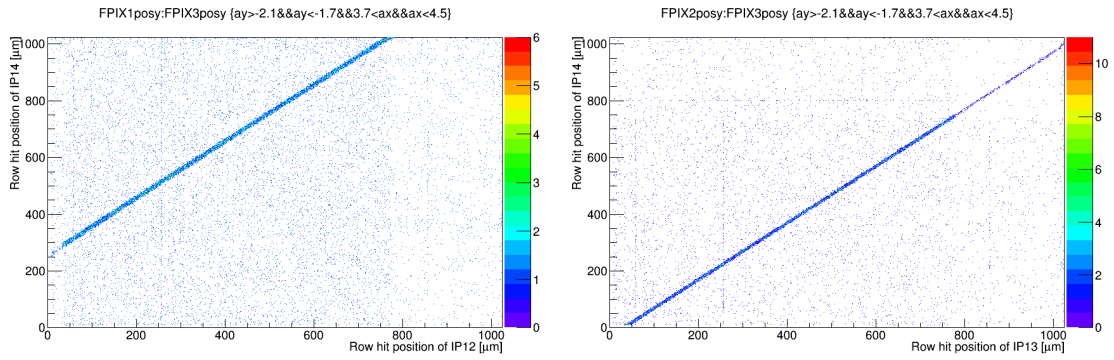


図 7.34: IP12, IP14 ヒット位置相関 Row 方 図 7.35: IP13, IP14 ヒット位置相関 Row 方
向 (a_x , a_y カット) 向 (a_x , a_y カット)

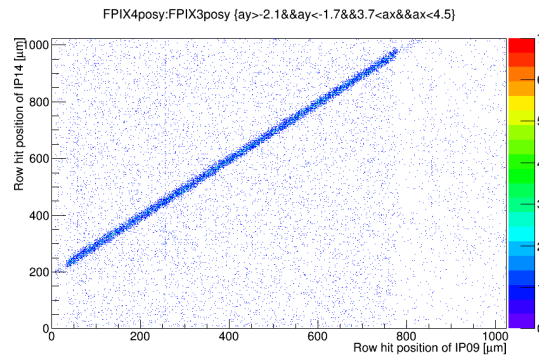


図 7.36: IP09, IP14 ヒット位置相関 Row 方向 (a_x , a_y カット)

7.3.4 アライメント

FPIX2 はサブミクロンスケールの位置分解能が見込まれているので、精密なアライメントが要求される。アライメントは以下の手順で行った。

XY 軸方向のずれの補正

それぞれの方向において基準とした 3 枚目のセンサーとそのほかの各センサーとの間のヒット位置の差が小さくなるように最小二乗法を用いてオフセットの調整を行った。

ビーム軸中心の回転の補正

検出器間にビーム軸中心の回転のずれがある場合、X 軸方向の残差分布は Y 軸方向のヒット位置により異なる値の中心値を持つ。そのため Y 軸方向のヒット位置を $100\text{ }\mu\text{m}$ 毎に残差分布を求め、X 軸方向の残差分布の中心値の Y 軸方向のヒット位置依存性をもとめ、その傾きの分だけ回転の補正を行った。

以上の XY 軸方向のずれの補正とビーム軸中心の回転の補正を繰り返すことでアライメントを行った。

またアライメント後の a_x , a_y の分布を図 7.37, 7.38 に示す。アライメント補正前はピークは 0 からずれていたが、アライメントを行うことで 0 の位置にピークが立っていることが分かる。ピークの拡がりを比較すると x 軸方向に比べて y 軸方向のほうが鋭くなっていることがわかるそのため y 軸方向のほうがより精度よくアライメントができたと考えられる。

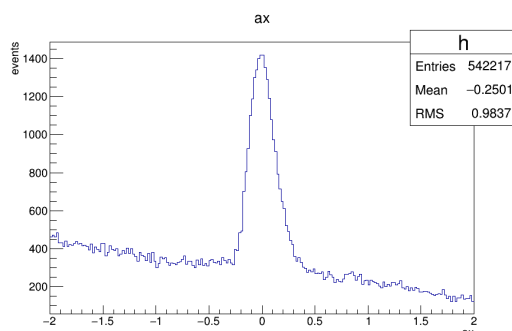


図 7.37: アライメント補正後の a_x

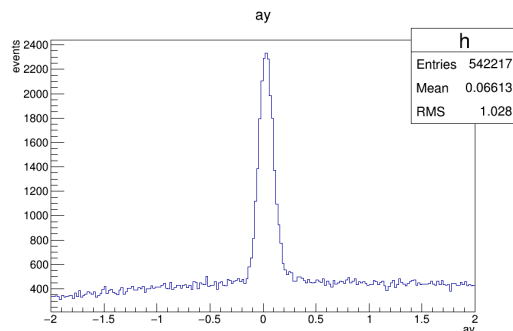


図 7.38: アライメント補正後の a_y

X 軸方向、Y 軸方向の評価対象とするセンサー以外の 3 枚でトラックをひいた際の想定されるすべての組み合わせに対するトラックの χ^2 の分布を図 7.39, 図 7.40 に示す。X 軸、Y 軸方向ともに自由度が 1 で 0 にピークを持つ分布となっていることが確認できる。サブミクロンの位置分解能が見込まれているため、位置分解能が $1\text{ }\mu\text{m}$ だと仮定すると評価セ

ンサー以外の3枚のトラック点においてトラックとヒット位置との差が $3\text{ }\mu\text{m}$ 以上離れることはほぼないと考えられる。そのためそれぞれの方向 χ^2 が30以上となるトラックは実際には複数ヒットの間違った組み合わせでトラックがひかれたものであると考えられる。そのためX軸方向においてはY軸方向のトラックの χ^2 が30以上となったトラックを落とすとX軸方向でもしっかりと一様に分布していたバックグラウンドを落とすことができている。またY軸方向においてはX軸方向のトラックの χ^2 が30以上となったトラックを落とすことでY軸方向でもしっかりと一様に分布していたバックグラウンドを落とすことができている。

χ^2 のカットをかけた後の a_x , a_y の分布を図7.43, 図7.44に示す。フィットの直線の傾きもカット前は一様に分布していたバックグラウンドと思われるイベントを落とすことができているのが分かる。

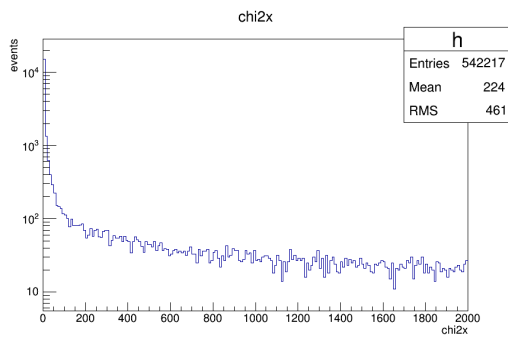


図 7.39: X 軸方向のトラックの χ^2 の分布

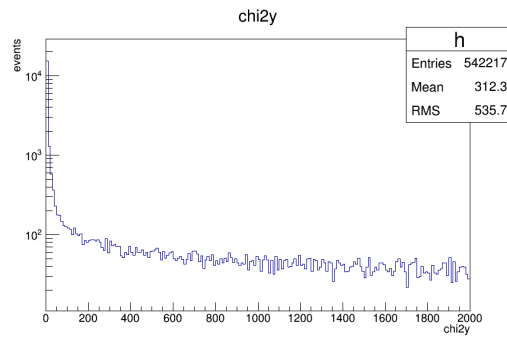


図 7.40: Y 軸方向のトラックの χ^2 の分布

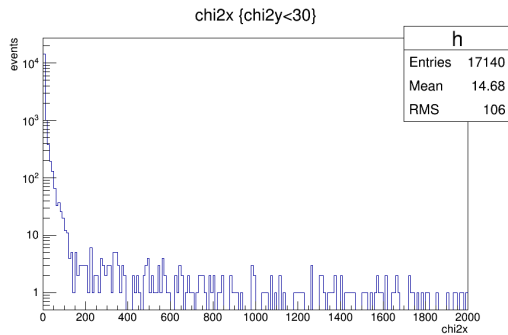


図 7.41: Y 軸方向のトラックの χ^2 の分布 ($\chi_y^2 < 30$ カット後)

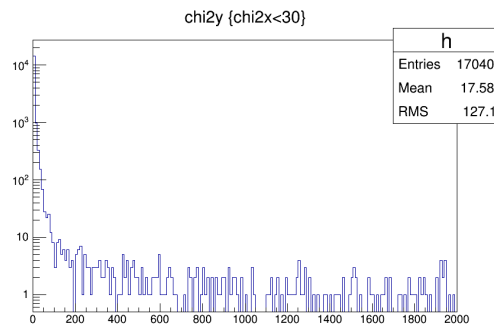


図 7.42: X 軸方向のトラックの χ^2 の分布 ($\chi_x^2 < 30$ カット後)

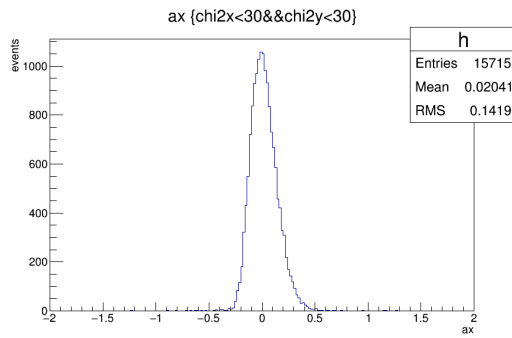


図 7.43: ax の分布 ($\chi_y^2 < 30$ カット後)

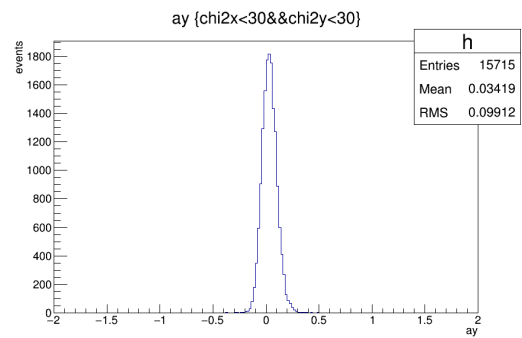


図 7.44: ay の分布 ($\chi_x^2 < 30$ カット後)

7.3.5 残差分布

対象としているセンサー以外の 3 枚においてトラックをひき，そのトラックが対象のセンサー位置でヒットすると想定される位置と実際のヒット位置の差を求めた。アライメント後の残差分布を図 7.45，図 7.46 に示す。それぞれ左上が IP12，右上が IP13，左下が IP14，右下 IP09 のセンサーである。評価対象センサーを含めない 3 枚でのトラックにおいて各イベントにおける最も χ^2 が小さくなるトラックのうち， $\chi^2 < 30$ カットを行ったものである。各センサーにおける Column 方向の残差分布の広がりをまとめたものが表 7.1 である。また同様に各センサーにおける Row 方向の残差分布の広がりをまとめたものが表 7.2 である。

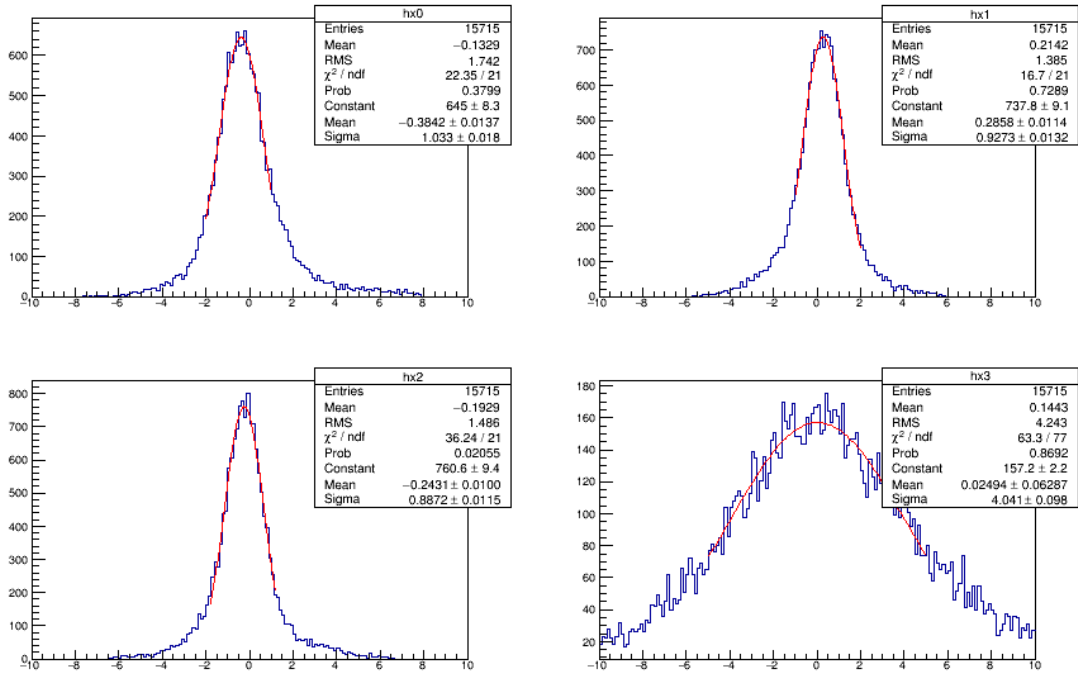


図 7.45: Column 方向の残差分布

表 7.1: Column 方向の残差分布

センサー #	残差分布の拡がり [μm]
IP12	1.033 ± 0.018
IP13	0.927 ± 0.013
IP14	0.887 ± 0.011
IP09	4.041 ± 0.098

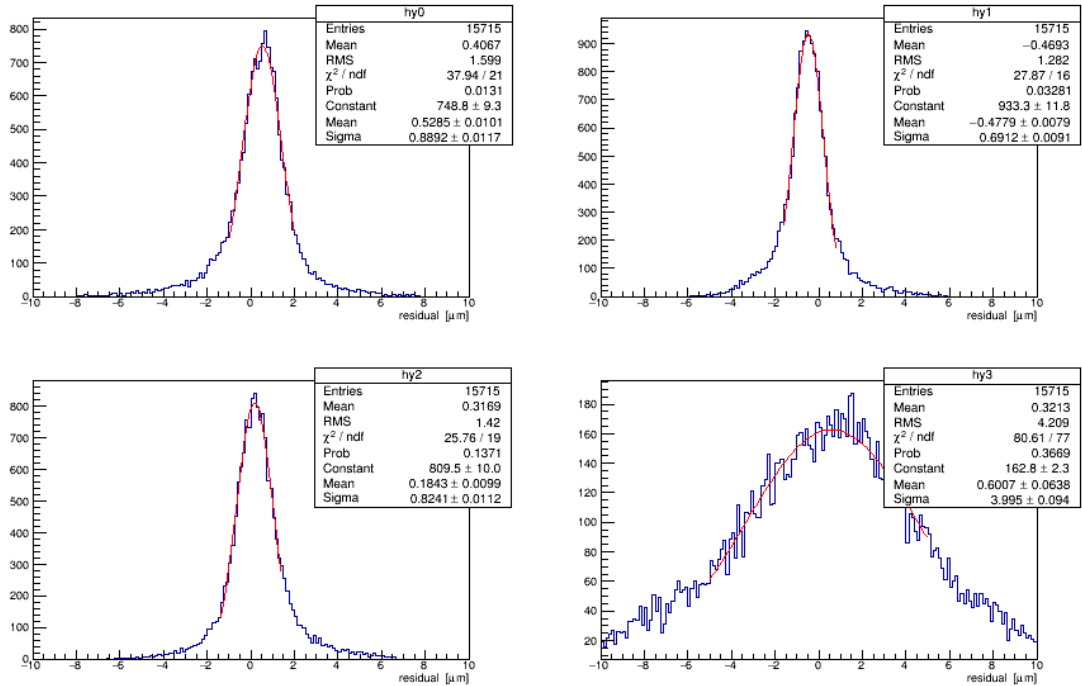


図 7.46: Row 方向の残差分布

表 7.2: Row 方向の残差分布

センサー #	残差分布の広がり [μm]
IP12	0.889 ± 0.011
IP13	0.691 ± 0.009
IP14	0.824 ± 0.011
IP09	3.995 ± 0.094

7.3.6 検出器本来の位置分解能の見積もり

測定された残差分布には検出器本来の位置分解能とトラッキングの精度による広がり重ね合わせとなっている。そのためトラッキングがより正確に行われる IP13 や IP14 の 2 枚の残差分布は鋭くなる。4 枚の検出器はともに等しい位置分解能を持つと仮定し、本実験のセットアップの位置で予想される残差分布の差を求めた。その結果、それぞれのセン

サーの位置分解能に対してその時に観測されると予想される残差分布の拡がりは1枚目で1.33倍, 2枚目で1.22倍, 3枚目で1.17倍, 4枚目で5.42倍となる。よって, 本実験によって求めた分布をこれらの値で割ることで検出器本来の位置分解能を求めた。その結果を Column 方向については表 7.3, Row 方向については表 7.4 にまとめた。4枚の測定結果から平均値をとって検出器本来の位置分解能を求めると Column 方向 $0.754 \pm 0.023 \mu\text{m}$, Row 方向 $0.610 \pm 0.026 \mu\text{m}$ となった。このことから世界で初めてサブミクロンスケールの位置分解能をもつ半導体検出器の開発に成功した。

表 7.3: Column 方向の位置分解能

センサー #	残差分布の拡がり [μm]
IP12	0.777 ± 0.014
IP13	0.760 ± 0.011
IP14	0.758 ± 0.009
IP09	0.746 ± 0.018

表 7.4: Row 方向の位置分解能

センサー #	残差分布の拡がり [μm]
IP12	0.668 ± 0.010
IP13	0.566 ± 0.007
IP14	0.704 ± 0.008
IP09	0.737 ± 0.017

7.3.7 シミュレーション

測定された残差分布には検出器本来の位置分解能とトラッキングの精度による拡がりの重ね合わせとなっている。そのため本セットアップを Geant3 でシミュレーションを行い, 本実験で求めた残差分布に近い分布となる検出器本来の位置分解能を求めた。検出器本来の位置分解能が $0.70 \mu\text{m}$ の時の残差分布を図 7.47 に, $0.55 \mu\text{m}$ の時の残差分布を図 7.48 に示した。X 軸方向の分布は検出器本来の位置分解能が $0.70 \mu\text{m}$ の時の残差分布に近く, Y 軸方向の分布は検出器本来の位置分解能が $0.55 \mu\text{m}$ の時の残差分布に近い。検出器本来の位置分解能は X 軸方向に $0.70 \mu\text{m}$, Y 軸方向に $0.55 \mu\text{m}$ 程度だとシミュレーションにより見積もられる。本来の位置分解能が $0.70 \mu\text{m}$, $0.55 \mu\text{m}$ のときにシミュレーションで予想される残差分布の拡がりを表 7.5, 表 7.7 に示す。またシミュレーションに対する実測

値の値を表 7.6, 表 7.8 に示す。Column 方向は 5 % 程度のずれとなっており検出器本来の位置分解能は $0.70 \mu\text{m}$ 程度だと見込まれる。Row 方向は 0~20 % 程度大きくとなっており検出器本来の位置分解能は $0.55 \mu\text{m}$ 以上だと見込まれる。

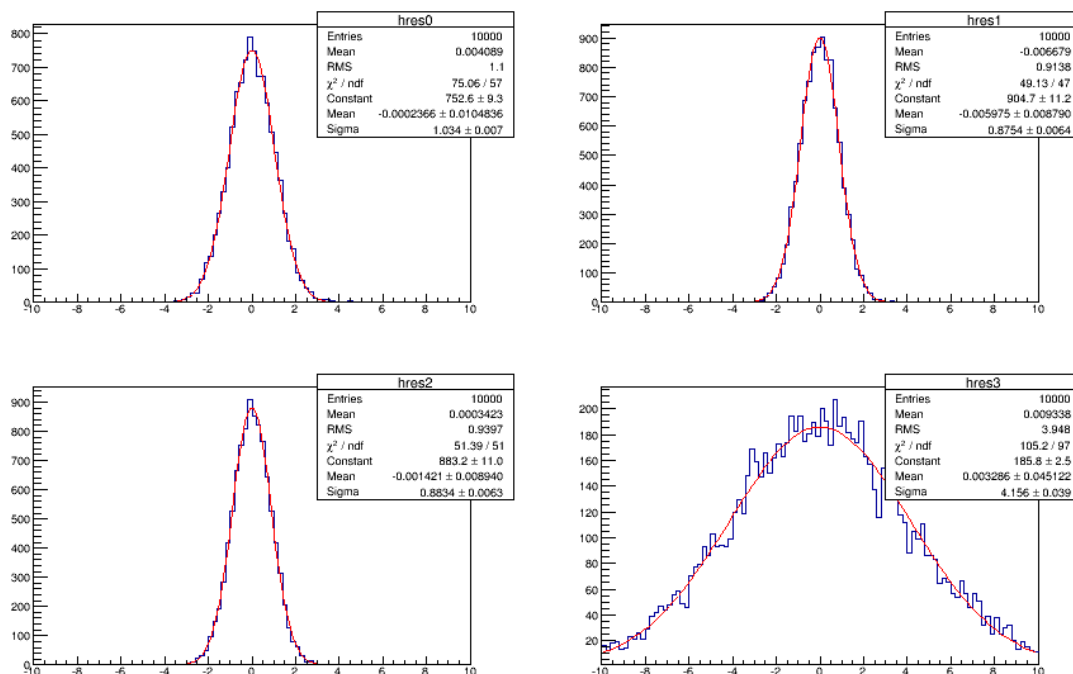


図 7.47: 位置分解能が $0.70 \mu\text{m}$ で想定される残差分布

表 7.5: 位置分解能が $0.70 \mu\text{m}$ のときに予想される残差分布

センサー # 残差分布の拡がり [μm]	
IP12	1.034 ± 0.007
IP13	0.875 ± 0.005
IP14	0.883 ± 0.006
IP09	4.156 ± 0.039

表 7.6: 位置分解能が $0.70\ \mu\text{m}$ のときに予想される残差分布と Column 方向の実測値の比較

センサー #	予想に対する実測値の値 [%]
IP12	99.9
IP13	105.9
IP14	100.5
IP09	97.2

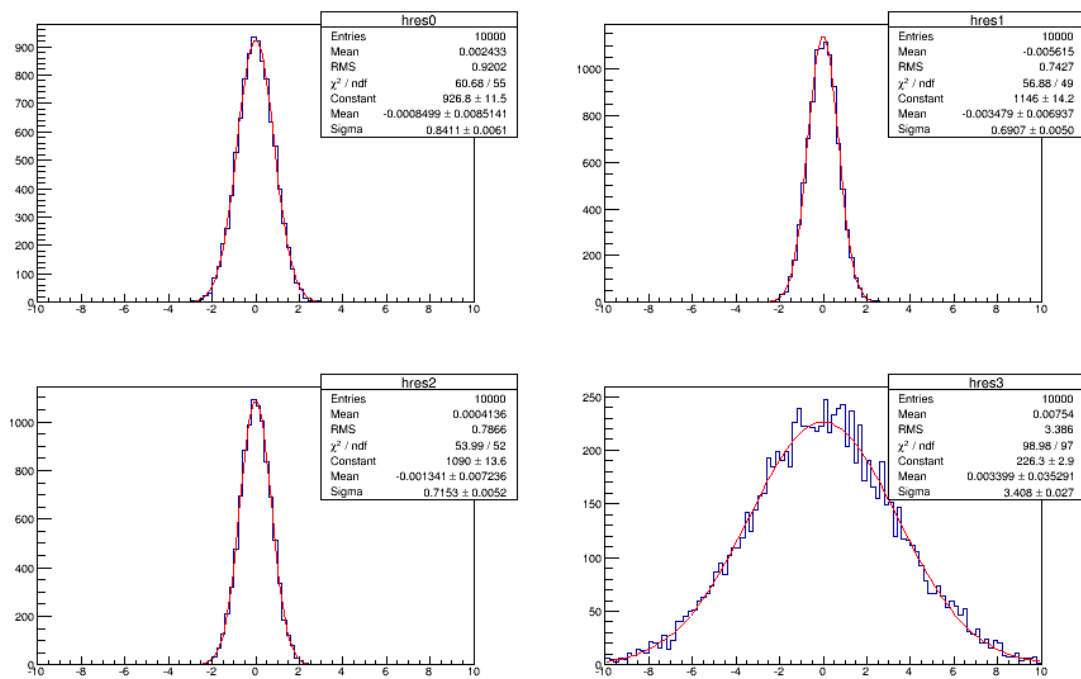


図 7.48: 位置分解能が $0.55\ \mu\text{m}$ で想定される残差分布

表 7.7: 位置分解能が $0.55 \mu\text{m}$ のときに予想される残差分布

センサー #	残差分布の広がり [μm]
IP12	0.841 ± 0.006
IP13	0.691 ± 0.005
IP14	0.715 ± 0.005
IP09	3.408 ± 0.027

表 7.8: 位置分解能が $0.55 \mu\text{m}$ のときに予想される残差分布と Row 方向の実測値の比較

センサー #	予想に対する実測値の値 [%]
IP12	105.7
IP13	100.0
IP14	115.2
IP09	117.2

7.3.8 検出効率

2 枚目の FPIX2 の検出効率を求めた。検出効率を求める際は、評価対象センサー以外の 3 枚においてヒットがありその 3 点でトラックをひいた際にカイ 2 乗の和が X 軸方向、Y 軸方向ともに 30 以下となるトラックにおいて、2 枚目でのヒット位置がトラックで想定される位置の ± 1 ピクセルに相当する $8\mu\text{m}$ 以内に入射したイベントの割合を求めた。評価対象センサー以外の 3 枚においてヒットがありその 3 点でトラックをひいた際にカイ 2 乗の和が X 軸方向、Y 軸方向ともに 30 以下となるイベントは 15983 イベントあり、そのうち評価対象が想定される範囲内に入射しているイベントは 15937 イベントとなった。このことから検出効率は $99.71 \pm 0.04 \%$ となった。

検出効率は 100 % とならず、0.3 % 程度実際にセンサーに入射したが検出されていないイベントがある。検出されなかった理由としてトリガーの遅れが考えられる。Rolling Shutter 方式では順次読み出しとリセットを繰り返すためトリガーが遅れるとその間に数ピクセルにリセットを行ってしまう。検出効率が落ちる原因は FPIX2 はバッファータを持たないためトリガー入射時の読み出しピクセルから 1 フレーム分読み出しを行うため、トリガーが遅れた分だけリセットを行うピクセル数が増加する。そのため、入射ピクセルがトリガー入力までにリセットされてしまった分だけ検出効率が落ちていると考えられる。1 読み出しに対して 1 ピクセルが占める割合は約 0.1 % となり、3 ピクセル程度がリセットされる

分に相当する。SOFIST による測定でもリセットを行う間隔を $1\ \mu\text{s}$ とすると信号が見えていたがそれ以下にすると信号が見えなくなっていたため、トリガーの遅れは約 $1\ \mu\text{s}$ 程度だと考えられるため、検出効率の落ちと矛盾なく説明がつく。

7.4 γ 線照射済みセンサーの MIP 応答

7.4.1 事前測定

前述の γ 線 100 kGy 照射チップの MIP に対する応答の評価のため最後尾の IP09 の位置にセットしてビーム試験を行った。まずビーム試験に先立って事前測定を行った。100 kGy 照射後に中間シリコン層に電位を印加することによる回路特性の評価を行うため RSTV 応答を測定した。その結果を図 7.49 に示す。照射前の RATV 応答が黄色い線で、 γ 線 100kGy 照射後に中間シリコン層に電位を与えなかったものが赤色の線である。照射により傾きがほぼなくなり、信号が入力されてもほとんど出力に変化が見られないと予想される。中間シリコン層の電位は I/O 部に $-4.0\ \text{V}$ 、Decoder 部に $-14.0\ \text{V}$ 、PIXEL 部に $-8.0\ \text{V}$ 印加したものが黒い線である。回路特性が照射前と変わらぬ傾きとダイナミックレンジまで回復していることが確認できる。

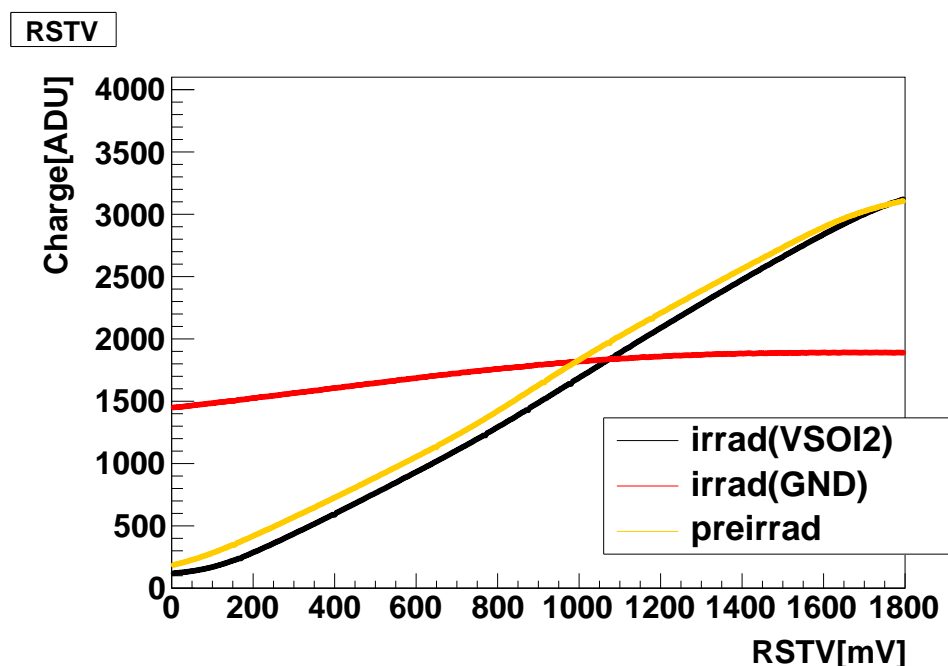


図 7.49: 100kGy 照射済み FPIX2 の RSTV 応答

外部クロックをトリガーとしてペDESTALの評価を行った。ペDESTALデータを 10000

イベント取得し、それぞれのチップ毎のペデスタル出力の平均とそのばらつきを求めた。各ピクセルごとに全イベントの出力値をヒストグラムに詰め、ガウスフィットを行うことでそのばらつき平均値をペデスタル、標準偏差 (σ) をノイズの値とした。

測定パラメータ

- V_{DET} : -200 V
- $V_{SOI2(I/O)}$: -4.0 V
- $V_{SOI2(Decoder)}$: -14.0 V
- $V_{SOI2(PIXEL)}$: -8.0 V
- Scan Time : 400 ns/pix
- RSTV : 1400 mV
- イベント数 : 10000 events

ペデスタルの ADC 値の分布を図 7.50, 図 7.51 に, ノイズを図 7.52, 図 7.53 にまとめた。

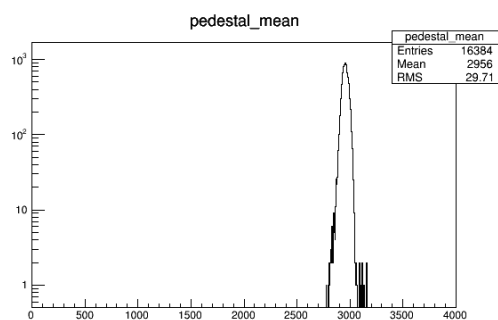
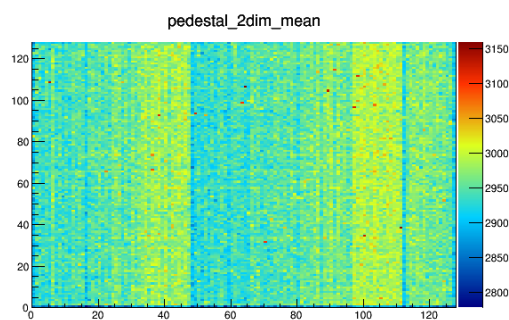


図 7.50: 照射済み FPIX2 ペデスタル分布 図 7.51: 照射済み FPIX2 ペデスタル分布

全ピクセルの出力値が 3000 ADC 値付近に分布しており, 2 次元分布を見ても領域に関係なくほぼ一様となっていることがわかる。

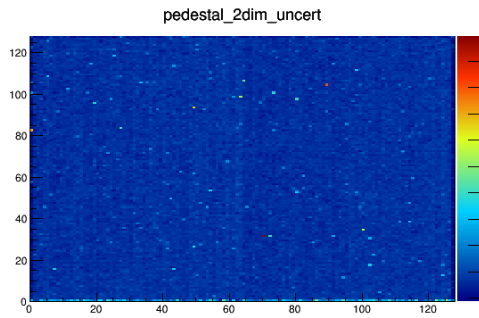


図 7.52: 照射済み FPIX2 ノイズ分布

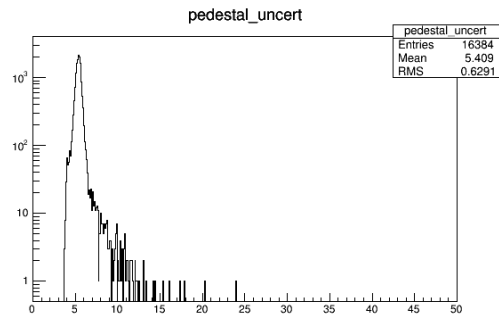


図 7.53: 照射済み FPIX2 ノイズ分布

ノイズの値は5 ADC 程度に分布しており、前章で示したノイズより大きくなっている。また領域に関係なくほとんど一様となっていることがわかる。

7.4.2 収集電荷量

照射前後で性能を評価するためビーム粒子に対する応答を評価した。センサーに与える逆バイアス電圧を変化させそれぞれ100 ADC 以上となるピクセルをシードとしてその周囲5×5ピクセルについてクラスタリングを行って収集電荷量を求めた。それぞれの電圧における収集電荷量を図7.54～図7.62に示す。各電圧においてランダウ関数とガウス関数の畳み込み関数でピークの値を求めた。空乏層の厚さは逆バイアス電圧のルートに比例し、また信号量は空乏層の厚さに比例すると考えられるので、横軸に逆バイアス電圧のルート、縦軸にその収集電荷量をまとめたものが図7.63である。未照射と100 kGy 照射済みセンサーの応答を比較すると、収集電荷量がほぼ等しくまたその傾きもほぼ一致していることがわかる。そのためゲインが照射後も照射前と同等の応答が得られることが確認できた。

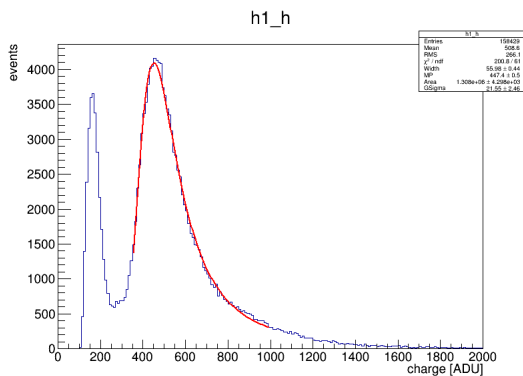


図 7.54: 照射済み FPIX2 収集電荷量
−200 V

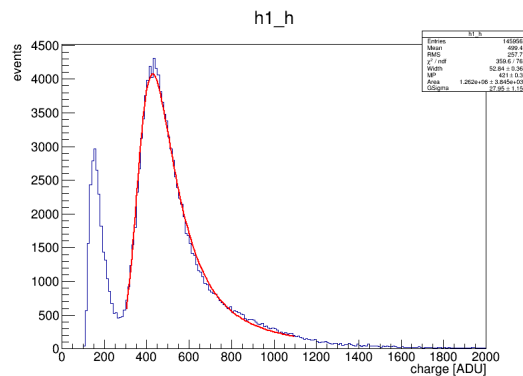


図 7.55: 照射済み FPIX2 収集電荷量
−180 V

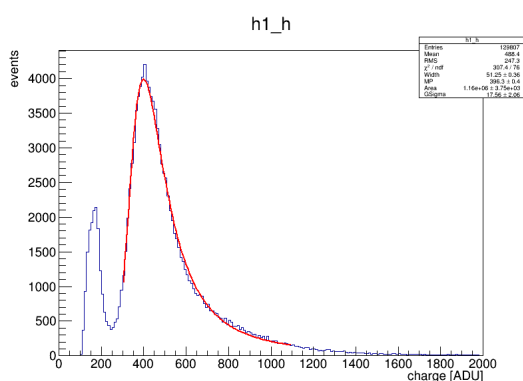


図 7.56: 照射済み FPIX2 収集電荷量
−160 V

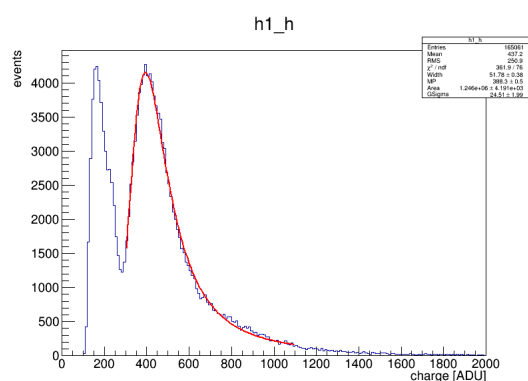


図 7.57: 照射済み FPIX2 収集電荷量
−150 V

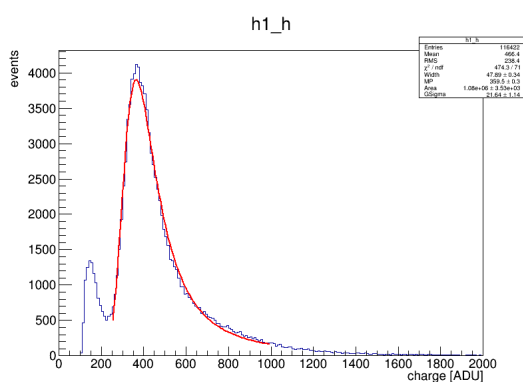


図 7.58: 照射済み FPIX2 収集電荷量
−130 V

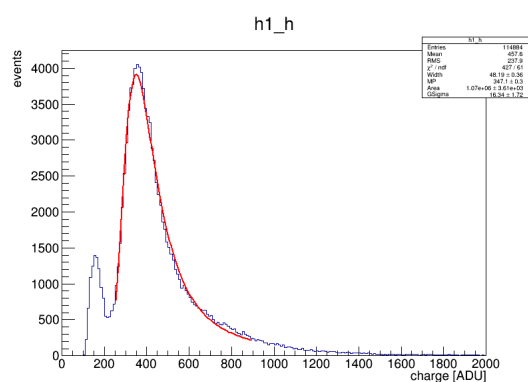


図 7.59: 照射済み FPIX2 収集電荷量
−120 V

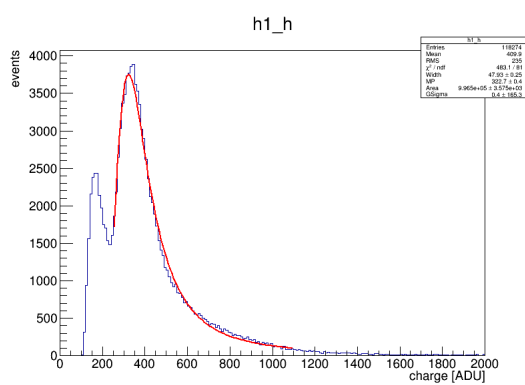


図 7.60: 照射済み FPIX2 収集電荷量
−100 V

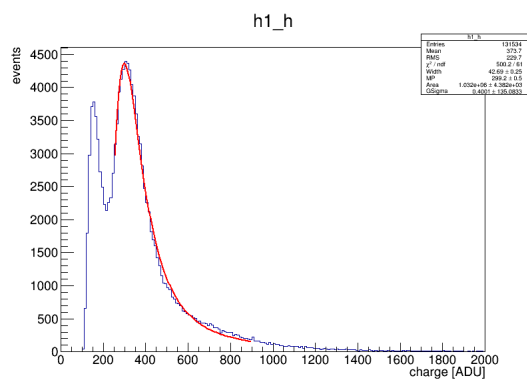


図 7.61: 照射済み FPIX2 収集電荷量 −80 V

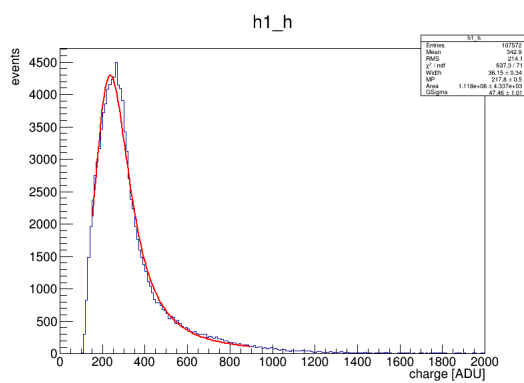


図 7.62: 照射済み FPIX2 収集電荷量 −50 V

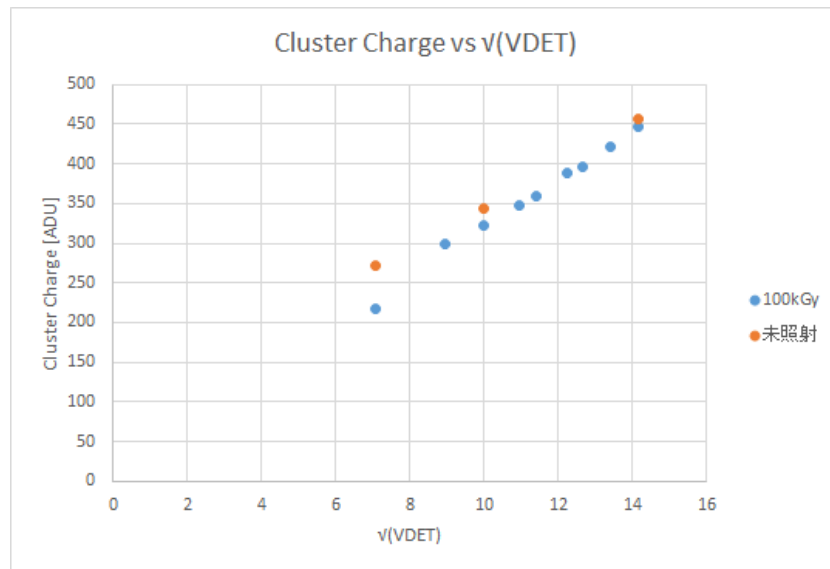


図 7.63: 照射前後でのクラスターチャージの逆バイアス電圧依存性

第8章 結論

高精細 SOI ピクセル検出器 FPIX2 の TID 効果への耐性の評価とビームテストによる特性評価を行った。

I/O 部、デコーダー部、ピクセル部それぞれに独立に適切な中間シリコン層電位を印加できる FPIX2 の TID 効果への耐性評価として ^{60}Co γ 線照射と陽子ビームの照射を行い回路特性の変動の補償の評価を行った。 γ 線 500 kGy 照射後も MIP (Minimum Ionizing Particle) の通過を擬似した波長 1064 nm の IR レーザーに対する応答を確認した。陽子ビーム 1 MGy 照射後も照射前とほぼ同様の傾きを持つ回路特性を得られることを確認し、領域ごとに適切な VSOI2 を印加することで TID 効果に対する回路特性の補償を行うことが可能であることを確認した。この結果から各領域に適切な中間シリコン層電圧を印加することにより放射線耐性が向上することが確認できた。

高エネルギー実験における MIP 粒子に対する応答の評価のために 460 MeV、670 MeV の陽電子ビームを用いたビームテストを行った。MIP に対する S/N は -300 V 印加した部分空乏化状態では 70 程度となり、シグナルとノイズをよく分離することができる。下流側では 1、2 枚目と 3、4 枚目の中間に置いた物質によるクーロン散乱の影響を大きく受けていると認められる中で、検出効率は 99.0 ± 0.4 % 以上であることがわかった。残差分布をガウス関数でフィットした結果その拡がり $\sigma = 4.27 \pm 0.06$ ピクセルとなった。中間物質によるクーロン散乱で期待される分布の拡がりとは一致し、その検出器本来の位置分解能を測定することはできなかったと考えられる。

クーロン散乱を抑制できる高エネルギービームを用いることで検出器本来の位置分解能を測定を行うためアメリカフェルミ国立加速器研究所において 120 GeV の陽子ビームを用いてビーム試験を行った。4 枚の FPIX2 を用い、1 枚を評価対象センサーとし残りの 3 枚をトラッカーとして用いて残差分布を測定したところ Column 方向、Row 方向ともに分布の拡がりはそれぞれ 0.754 ± 0.023 μm 、 0.610 ± 0.026 μm と推定される。よって世界で初めてサブミクロンスケールの位置分解能をもつ半導体ピクセル検出器を開発することができた。検出効率は 99.71 ± 0.04 % と高い値が得られた。また γ 線 100 kGy 照射済みセンサーのビームに対する応答を測定し、2 層埋込酸化膜構造を導入することで照射前と変わらない信号量、ゲインを得られることを確認した。

謝辞

本研究を進めるにあたり、非常に多くの方々にご指導いただきました。

指導教員である金信弘先生には本論文を執筆する際多くのアドバイスをいただきました。受川史彦先生には検出器ミーティングなどでアドバイス多くのアドバイスをいただきました。武内勇司先生には、生意気な学生だった私にも質問をすればなんでも快く教えていただきました。日頃の夕食後に素粒子の問題やオセロでかわいがってもらったことは良い思い出です。佐藤構二先生には物理学実験3の際にお世話になり、私が素粒子実験研究室を選ぶきっかけを与えていただきました。大川英希先生には、宇宙史拠点でのCERNの滞在の際には物理解析のことを丁寧に教えていただき大変お世話になりました。ポスドクの武政健一さんには日頃一緒にご飯に行った際などにさまざまなことを教えていただきました。そしてSOIグループの担当教員の原先生には本当に多くお世話になりました。研究の面では半導体のことから素粒子のことまで本当に多くのことを一から教えてもらいました。二人で出張に行った際には長い車内で多くの自分の稚拙な質問にも丁寧に答えていただきました。休日にはテニスやバスケやったり、スポデーに出たりと楽しい時間を過ごさせていただきました。一緒に川にバーベキューをしに行ったり、長野まで帰省したことは良い思い出です。また長野に来た時にはスキー行きましょう。公私にわたって大変お世話になりいくら感謝しても感謝しきれません。

SOIPIXグループの皆様にも実験を進めるうえで多くの支援をいただきました。新井先生にはSOIのあらゆることを教えていただきまた授業でもお世話になりました。三好先生にはセンサーの評価方法などを丁寧に教えていただきました。倉知先生にはSOIの回路について丁寧に教えていただきました。幅先生には授業でお世話になるだけでなく、サブミクロンスケールの位置分解能を持つ検出器という本研究の目標を与えていただき、またサポートしていただきました。また特にC01班のみなさまにはビームテスト等で非常にお世話になりました。坪山先生にはビームテストの際のアライメント用の治具を作っていただくなどビームテストを円滑に進めるうえで多くの場面でお世話になりました。池上先生にはビームテストだけでなく照射でもお世話になりました。FNALでのビームテストの経験からケーブルの整備などやっていただきおかげでスムーズに実験ができました。小野峻さんにはビームテストにむけてファームウェア構築の際に多く質問させてもらったり、ビームテストの同期システム構築のために非常にお世話になりました。大阪大学の外川先生にはビームテストの解析の際にアイデアを頂いたり、教えてもらうなど本研究で良い結果を得られたのも外川さんのおかげです。やまだみさんにはビームテストの際の様々な手配

やソースメータの制御などを積極的に行っていただき非常に感謝しています。またテニスなども一緒にやれて楽しかったです。東北大学の石川先生には東北大学のビームテストの手配などでお世話になりました。

ほかにも技師の高橋さんにはチップの管理や測定の補助など多くの場面でお世話になりました。橋本さんには芋煮会などを企画していただき SOI の親睦を深める機会を作っていただきました。西村さんには DAQ ソフト構築の際に非常にお世話になりました。浜崎さんには出張などでお世話になり、非常に楽しかったです。秘書のハンさんには研究会の準備などをしていただくなど多くの場面でお世話になりました。このほかにも SOIPIX グループのみなさまと知識の共有やアドバイスなど多くの場面でサポートをしていただきました。GND の宮澤さんには初めてのサブボード設計のため至らないところが多い私にアドバイスをしていただき、しっかりと動作するサブボードを作ることができました。

ATLAS シリコングループのみなさんにはビームテストや照射を一緒に行わせていただき多くの場面でお世話になりました。花垣さんにはビームテストの際に多くのサポートをしていただきました。中村さんにはビームテスト、照射でお世話になりさまざまなことを教えていただきました。東工大、阪大のみなさんにもお世話になりました。秘書の本田さんにも出張の手配をしていただくなどお世話になりました。ありがとうございました。

普段の研究生活を共にした研究室のメンバーにもお世話になりました。木内さんには解析の際に root の使い方やアドバイスなどをいただきました。瀏さんにも宇宙史の課題の相談や、就活のアドバイスをいただきました。永田さんには物理などを教えていただきました。笠原さんにはテニスなどを教えてもらったりよく遊んでいただきました。伊藤さんには CERN に行ったときに朝市やジュネーブに連れて行ってもらったりしました。また結婚式に招待していただいたのもいい思い出です。本多さんには、SOI グループの先輩として非常にお世話になりました。SOI がどんなものかわからなかった自分に一から教えていただき、今の自分があるのは本多さんのおかげです。また研究以外でもバスケを一緒にしたり仲良くしていただきました。萩原さんには半導体検出器について質問させていただき丁寧に教えていただきました。奥平さんには実験 3 でお世話になり、また一緒に帰省したり釣りに行ったり楽しませていただきました。本田さんには実験 3 でお世話になり、研究室にはいつからともよくお世話になりました。白井さんにも実験 3 でお世話になり、テニスなどで非常にお世話になりました。浅野さんには SOI グループのセンサー評価を行っている直近の先輩として実験の仕方を一から教えていただきました。DAQ システムなども浅野さんが構築したものを自分が少し改良して使わせていただき、一から構築していただいた浅野さんには尊敬とともに非常に感謝しています。飛田さんには SOI の回路について教えていただいたり、出張にご一緒して楽しい思い出を作ることができました。森内さんにはテニスやバスケなど一緒にスポーツを行い楽しい思い出をたくさん作ることができました。先崎さんには 301 での生活の中で多くの場面でお世話になりました。高橋さんには PC について教えてもらったり、解析について教えてもらいました。

同期のメンバーにも非常にお世話になり、おかげで楽しい研究生生活を送ることができました。青柳には同じ SOI として出張に行ったり研究の補助をしてもらったり、楽しい思い出

出を作ることができました。和之には同じピクセル検出器に触れているという立場でビームテストの解析について相談に乗ってもらったり多くの場面でお世話になりました。八木には301で同じ居室だったり、飯や遊びに一緒に行くなど楽しい思い出を多く作れました。岩淵には東北や高崎の照射に一緒に行ったりしてお世話になりました。ビピンはSOIとして一緒に実験をするなどして楽しかったです。他大に進学したけど宇野にはお互いの実験の話をしたり、遊んだり楽しい思い出を作れました。村上は学部時代から仲良く、一緒に釣りに行ったり多くの楽しい思い出が懐かしいです。

後輩の遠藤君には実験の手伝いをしてもらったり多くの場面でお世話になりました。また鈴木君、若狭さん、金山君、和田さんたちのおかげで普段の研究室の生活などで楽しい思い出を作ることができました。

秘書の服部さん、夏井さんには、出張の手続きをはじめ多くの事務手続きをやっていたとき、研究をスムーズに行う手助けをしていただき快適な研究室生活を送ることができました。ありがとうございます。

研究室外の同期とも一緒に遊びに行ったり、ご飯や飲みに行くなどたくさんの楽しい思い出を作ることができました。ありがとうございました。

最後に、24年間経済的にも精神的にも支えてくださった両親、祖父母、妹など家族に感謝いたします。

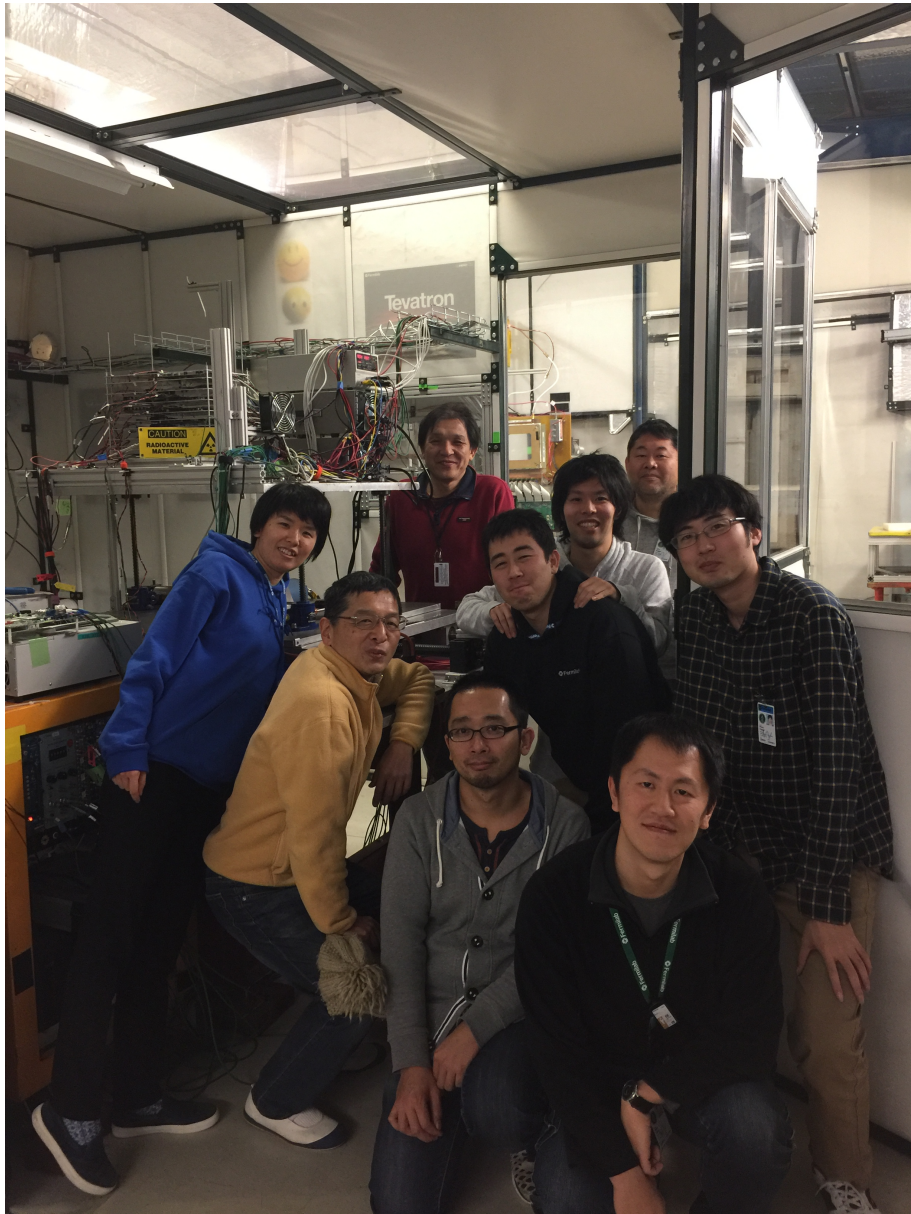


図 8.1: フェルミ国立加速器研究所にて

参考文献

- [1] 浅野麻莉: 「高エネルギー実験のための2層埋込酸化膜構造を持つSOIピクセル検出器の開発研究」筑波大学大学院数理物質科学研究科修士論文 (2016)
- [2] 飛田尚志: 「二層埋込酸化膜構造を持つSOIピクセル検出器回路の放射線損傷の補償」筑波大学大学院数理物質科学研究科修士論文 (2016)
- [3] 本多俊介: 「2層埋込酸化膜構造をもつSOIピクセル検出器の基礎特性および放射線耐性の研究」筑波大学大学院数理物質科学研究科修士論文 (2015)
- [4] 新庄康平: 「高エネルギー荷電粒子検出用SOIピクセル検出器の開発研究」筑波大学大学院数理物質科学研究科修士論文 (2012)
- [5] 瀬賀智子, 「埋め込みp型ウェル構造をもつSOIピクセル検出器の放射線耐性の研究」, 筑波大学数理物質科学研究科修士論文 (2010)
- [6] 小野喜将: 「高エネルギー実験のためのSOI技術を用いたPIXOR(PIXel OR) 半導体検出器の研究開発」東北大学大学院理学研究科物理学専攻修士論文 (2010)
- [7] William R.Leo "Techniques for Nuclear and Particle Physics Experiments" (1987).
- [8] ATLAS JAPAN: <http://www.atlas.kek.jp>
- [9] LHC: <http://public.web.cern.ch/public/>
- [10] ATLAS: <http://atlas.web.cern.ch/>
- [11] ILC: <http://www.linearcollider.org/ILC/Publications/Technical-Design-Report>
- [12] SOIPIX collaboration group: KEK, JAXA/ISAS, U. of Tsukuba, Osaka U., Tohoku U., Kyoto U., Kyoto U. of Education, RIKEN, U. of Hawaii, SLAC, LBNL, U. of Padova, FNAL, Krakow, Lapis Co. Ltd., OKI Lapis Miyagi Co. Ltd., <http://rd.kek.jp/project/x>
- [13] M. Kochiyama et al., "Radiation effects in silicon-on-insulator transistors with back-gate control method fabricated with OKI Semiconductor 0.20 μ m FD-SOI technology" Nucl. Instr. Meth. A636 (2011)S62.

- [14] Auguste Besson et al., "A vertex detector for the International Linear Collider based on CMOS sensors", Nucl. Instr. Meth. A568 (2006)233.
- [15] SOITEC Co Ltd, <http://www.soitec.com/>
- [16] 東北大学光電子理学研究センター, <http://hayabusa1.lns.tohoku.ac.jp/>
- [17] Fermi National Accelerator Laboratory, <http://www.fnal.gov/pub/science/particle-accelerators/accelerator-complex.html>