

修士論文

ILC バーテックス検出器に向けた  
SOI ピクセルセンサーの開発研究

Development of SOI pixel sensors for the ILC  
vertex detector

東北大学大学院理学研究科  
物理学専攻

李 韜瀚

平成 30 年

# 目次

第 1 章	研究背景	2
1.1	ヒッグス粒子の物理	2
1.2	標準模型を超える物理	3
1.3	素粒子の加速器実験について	5
1.4	国際リニアコライダー ILC 計画	7
1.5	ILC の測定器 ILD	8
第 2 章	バーテックス検出器	11
2.1	加速器実験に使われるバーテックス検出器	11
2.2	ILC のバーテックス検出器に要求される性能	15
2.3	SOI 技術	18
第 3 章	SOI ピクセルセンサー SOFIST の開発	21
3.1	SOFIST version 1 (先行研究)	22
3.2	SOFIST version 2	23
3.3	本論文で研究する SOFIST ver.2 の試験項目	32
第 4 章	Fermilab で行われた SOFIST ver.2 のビームテスト	33
4.1	実験環境	33
4.2	実験のセットアップ	34
4.3	動作確認	35
4.4	解析結果	36
第 5 章	ピクセル回路の動作試験	46
5.1	実験環境	46
5.2	タイムスタンプメモリの読み出し	48
5.3	時間応答の線型性が悪くなる原因	52
5.4	テストパルス入力時の時間精度	59

5.5	ビームテスト時間分解能についての考察 . . . . .	60
第 6 章	赤外線レーザーによる SOFIST の性能評価 . . . . .	63
6.1	研究目的 . . . . .	63
6.2	実験環境 . . . . .	63
6.3	レーザー照射の動作試験 . . . . .	69
6.4	完全空乏化 . . . . .	71
6.5	アナログシグナルメモリの線型性について . . . . .	74
6.6	レーザーによる時間応答 . . . . .	77
6.7	時間分解能のまとめ . . . . .	82
6.8	チャージシェア・電荷損失の位置依存性 . . . . .	83
6.9	位置分解能向上の試み . . . . .	96
第 7 章	まとめ . . . . .	101
参考文献	. . . . .	104

# Abstract

現在の進められている国際リニアコライダー計画 ILC では、ヒッグス粒子の精密測定から標準模型の実証及び新物理の探索が期待されている。ILC の衝突で作り出された物理のイベントを精密に測定しなければ物理の情報が得られないため、ILC 測定器の性能も高く要求されている。測定器の中で一番崩壊点に近いところに、崩壊点を再構成するためにバーテックス検出器システムが設置される。ILC のバーテックス検出器には、ヘビークォークとタウレプトンの識別という役割が要求される。ピクセル型のバーテックス検出器は、高精度の位置・時間分解能を持つことで崩壊後の粒子の飛跡を再構成することができる。ILC の測定器 ILD に搭載するバーテックス検出器は、高い位置分解能・時間分解能と軽い物質質量などが要求される。本論文は ILC バーテックス検出器に向けた SOI 技術を用いたピクセルセンサー「SOFIST」の開発状況及び性能評価について述べる。

SOI 技術を用いたピクセルセンサーはセンサー・回路一体化し、CMOS を搭載した回路部は BOX 層（酸化膜）の上にあり、センサー部はバイアス電圧をかけることで完全空乏化が実現できるという特徴を持っている。SOI 技術で作った SOFIST は物質質量が低く、そして ILC に求められている位置分解能  $3\mu\text{m}$ 、時間分解能  $554\text{ns}$  を目指し、開発を進めている。

SOFIST ver.2 は時間計測性能を持つタイムスタンプメモリを搭載したピクセルと位置計測性能を持つアナログシグナルメモリを搭載したピクセルを独立に設計した。本修士論文は SOFIST ver.2 のビームテストの解析結果、回路部の動作試験、赤外線レーザーの照射試験という三つの評価手法で SOI ピクセルセンサーである SOFIST の性能評価を行う。そして、回路部とセンサー部それぞれの評価を行うことで改善案をまとめる。



# 第 1 章

## 研究背景

2012 年 LHC によってヒッグス粒子が発見されて以来、ヒッグス粒子の精密測定の実必要性が重要となってきた。LHC では 14TeV のエネルギーのハドロンコライダーでヒッグス粒子の崩壊及び新物理の探索が行われている。一方、ハドロンコライダーよりバックグラウンドが少ないレプトンコライダーによるヒッグス粒子の精密測定も期待されている。

本章は研究背景となる物理と具体的な加速器実験及び測定器を紹介し、本修士論文の研究に関連するモチベーションを述べる。

### 1.1 ヒッグス粒子の物理

標準理論では、電弱対称性は以下のような SU(2) スカラー場によって対称性が破れる。

$$\phi = \begin{pmatrix} G^+ \\ (h + \nu)/\sqrt{2} + iG^0/\sqrt{2} \end{pmatrix} \quad (1.1)$$

ここの  $G^+$ 、 $G^0$  とヒッグス粒子  $h$  は南部・ゴールドストーン粒子である。電弱対称性はヒッグスポテンシャルによって自発的に破られ、普段標準理論を記述するラグランジアンの中にあるポテンシャルのゲージ不変性形式は次式のように書ける。

$$V = \mu^2 \phi^\dagger \phi + \lambda (\phi^\dagger \phi)^2 \quad (1.2)$$

ここで、 $\mu^2$  の符号をマイナスにすることで場のポテンシャルに二つの安定点が作られ（二つの極小値）、実際の安定状態はどちらかになる。どちらかに選ばれることは、対称性が破れることを意味する。これは自発的対称性の破れと呼ぶ。ヒッグスの真空期待値はこの式の極小値を取ることで計算できる、そしてヒッグス粒子の質量は以下のように書ける。

$$v^2 = -\mu^2/\lambda \approx (246\text{GeV})^2, m_h^2 = 2\lambda v^2 = 2|\mu^2|. \quad (1.3)$$

ATLAS 実験と CMS 実験により、一つの新しいボソンが  $\gamma\gamma$ 、 $ZZ$  及び  $WW$  に崩壊したことが観測され、それがヒッグス粒子であり、質量が約 125GeV だと測定された。

Higgs 粒子と各粒子の coupling はその粒子の質量により決まり、図 (1.1) のようにあらわされる。

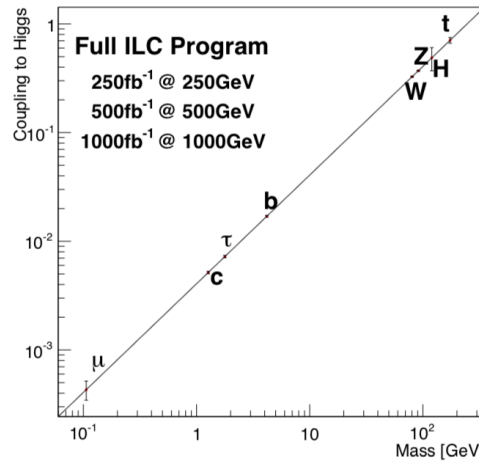


図 1.1 Expected precision from the full ILC program of tests of the Standard Model prediction that the Higgs coupling to each particle is proportional to its mass.

## 1.2 標準模型を超える物理

標準模型の理論は成功しているが、いくつかの問題を説明することができない。本節では加速器実験で注目されている新粒子についての話題を述べ、標準模型を超える物理の探索の重要性を示す。

### 超対称粒子

標準模型における各素粒子それぞれに対応した超対称性粒子があるという理論は長年研究されている。例として標準理論に超対称性を必要最小限に取り入れて拡張した場合 (MSSM) の超対称粒子を表 (1.1) に示す。

ILC は 1TeV までアップグレードできるように設計されており、1TeV のレプトンコライダーは SUSY の探索に期待できる。将来新粒子の探索実験について、加速器のエネルギーを上げるとともに物理のゴールが変わり、直接的に SUSY の探索が可能となるエネルギースケールは表 (1.2) のようにまとめる。

表 1.1 SM の素粒子と MSSM 超対称粒子の対照表 [1].

chiral or vector	particle	spin	name	SUSY particle	spin	name
chiral multiplet	$q_L$	1/2	quark	$\tilde{q}_L$	0	squark
	$q_R$	1/2	quark	$\tilde{q}_R$	0	squark
	$l_L$	1/2	lepton	$\tilde{l}_L$	0	slepton
	$l_R$	1/2	lepton	$\tilde{l}_R$	0	slepton
	$H^0$	0	higgs	$\tilde{H}^0$	1/2	higgsino
	$h^0$	0	higgs	$\tilde{h}^0$	1/2	higgsino
	$H^+$	0	higgs	$\tilde{H}^+$	1/2	higgsino
	$H^-$	0	higgs	$\tilde{H}^-$	1/2	higgsino
vector multiplet	$g$	1	gluon	$\tilde{g}$	1/2	gluino
	$\gamma$	1/2	photon	$\tilde{\gamma}$	0	photino
	$Z$	1		$\tilde{Z}$	1/2	zino
	$W$	1		$\tilde{W}$	1/2	wino

表 1.2 Physics goals by lepton collider at various energies[1].

Energy	Reaction	Physics Goal
250GeV	$e^+e^- \rightarrow Zh$	precision Higgs couplings
350-400GeV	$e^+e^- \rightarrow t\bar{t}$	top quark mass and couplings
	$e^+e^- \rightarrow WW$	precision W couplings
	$e^+e^- \rightarrow \nu\bar{\nu}h$	precision Higgs couplings
500GeV	$e^+e^- \rightarrow f\bar{f}$	precision search for $Z'$
	$e^+e^- \rightarrow t\bar{t}h$	Higgs coupling to top
	$e^+e^- \rightarrow Zh h$	Higgs self-coupling
	$e^+e^- \rightarrow \tilde{\chi}\tilde{\chi}$	search for supersymmetry
	$e^+e^- \rightarrow AH, H^+H^-$	search for extended Higgs states
700-1000GeV	$e^+e^- \rightarrow \nu\bar{\nu}hh$	Higgs self-coupling
	$e^+e^- \rightarrow \nu\bar{\nu}VV$	composite Higgs sector
	$e^+e^- \rightarrow \nu\bar{\nu}t\bar{t}$	composite Higgs and top
	$e^+e^- \rightarrow \tilde{t}\tilde{t}^*$	search for supersymmetry

## Dark Matter

ダークマターの探索は現在、地下探索や、宇宙探索などの様々な実験プロジェクトに展開されている。質量を持つ性質で天文観測からダークマターの存在が予想された。粒子との相互作用が弱いなどの理由のため、現在はまだ検出されていない。

加速器実験でダークマターが検出されると、性質や、正体などがわかるので、ダークマターの研究にとって一番理想的である。ダークマターは、現在のハドロンコライダー LHC によってすでに作り出されている可能性もあるが、バックグラウンドが多いため、検出しにくい。ILC のような将来の加速器実験では、ダークマターの性質を解明することも期待される。例えば初期宇宙においてダークマターの生成メカニズムや、WIMPs かそれとも AXION かなどの性質は、加速器実験による解明が期待される。

## 1.3 素粒子の加速器実験について

素粒子物理学では、提唱された理論を実験で検証しなければならない、数々の素粒子や、ハドロンなどが加速器実験で発見され、素粒子理論が構築されてきた。素粒子実験において、加速器と検出器の性能は重要な役割を果たす。これまでは加速器のエネルギーが上げられ、質量 172GeV の Top クォークや、125GeV のヒッグス粒子や、91GeV の Z ボゾンなどのようなより重い素粒子が発見された。ニュートリノの長基線実験 (T2K) では標的型加速器が使われるが、素粒子実験は衝突型加速器のほうが一般的であり、衝突型加速器は加速する対象によって電子・陽電子コライダーとハドロンコライダーがあり、加速方式ではシンクロトロンと線型加速器に分けられる。

### シンクロトロン

シンクロトロン (シンクロサイクロトロン) は大規模な円形型の加速器で、GeV 以上のエネルギーまで加速できる。歴史的には、1952 年に米国ブルックヘブン国立研究所に最初の陽子シンクロトロンである 2.3GeV のコスモトロンが完成し、K 中間子などの奇妙な粒子が生成可能になった。そして 1954 年にローレンスバークレー国立研究所に 6GeV のペバトロンが完成し、翌年に反陽子が発見された。その後、高エネルギーの陽子シンクロトロンがどんどん建設され、3 種類ニュートリノの発見や、 $J/\psi$  粒子の発見や、トップクォークなどが発見され、現在では LHC と SuperKEKB (図 1.2) が稼働中で、エネルギーフロンティアとルミロシティフロンティアから新物理を探索している。

シンクロトロンはハドロンコライダーの場合、高いエネルギーに到達することができる、一方、ハドロンは電子より質量が重いいため磁場中では曲げにくく、磁石の性能に対する要求が高い。

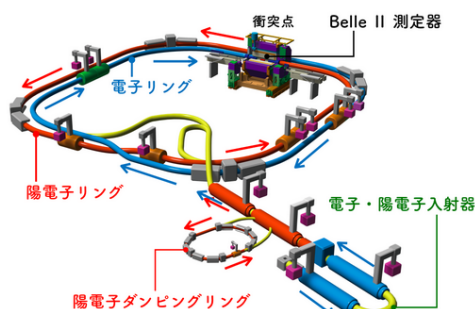


図 1.2 SuperKEKB

電子・陽電子型のシンクロトロンでは、ハドロンコライダーと違って、電子が光子を放射（シンクロトロン放射）してエネルギーを失う、その放射されるエネルギーは（エネルギーの 4 乗）/（軌道半径）に比例するので、高エネルギーになるほど急激に大きくなり、軌道半径を大きくしないとエネルギーを保持できなくなる。

## 線型加速器

線型加速器は直線上に高周波電圧加速装置を多数並べて繰り返し加速する、ビームの到達エネルギーはエネルギー勾配が大きく、加速器が長いほどより高いエネルギーが得られる。

電子・陽電子型のシンクロトロン放射によるエネルギー限界を回避するために、SLAC（図 1.3）に線型加速器が作られた。SLAC に 3.2 km のリニアコライダーがあり、最大は約 90GeV の重心系エネルギーである。



図 1.3 SLAC 研究所の写真

本論文はリニアコライダーである ILC に向けた開発研究を述べる。

## 1.4 国際リニアコライダー ILC 計画

これまでに、加速器実験によって素粒子の発見および標準理論の構築が成功してきた。2012 年に、スイスの CERN にある LHC にて 8 TeV の重心系衝突エネルギーの下でヒッグス粒子が発見され、大きな刺激を与えると共に、今後はヒッグス粒子の精密測定が重要となってくる、その一方、LHC の衝突エネルギーが 8 TeV から 14 TeV 付近まで向上し、エネルギーフロンティアとして新粒子や、標準理論を超える物理 (BSM) などを探索し、現在まで BSM の兆候はまだ見えていない。そこで、さらなるアップグレード (HL-LHC など) が期待されている。一方、日本の KEK にある SuperKEKB は今年から運転開始し、B フレーバー物理の視点から、ルミノシティフロンティアとして新物理の兆候を探索し始めた。

将来コライダー計画としては、日本で提案されている国際リニアコライダー (ILC) がある。ILC の建設は岩手県北上山地に予定されている。これは全長約 20 km の直線型加速器である (図 (1.4))。

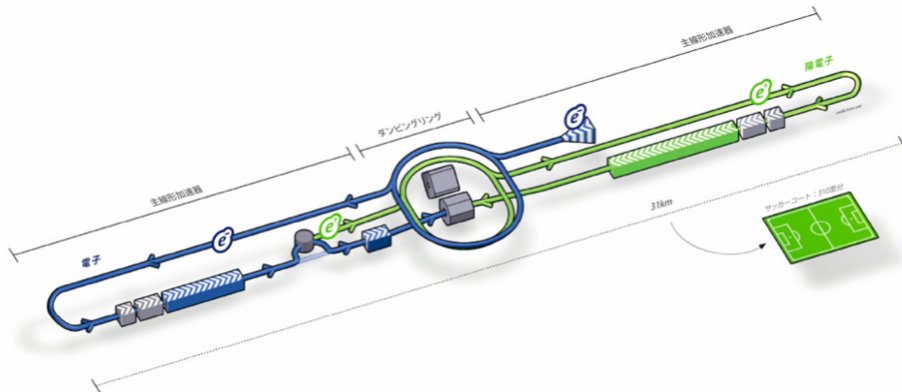


図 1.4 全長約 20 km の ILC. [3]

ILC 計画では、建設の早期実現のため最初に 250GeV から始まり、ヒッグス粒子の精密測定を行うことで標準理論のさらなる実証または新物理を探索する。将来は、500GeV、1TeV までアップグレードする見込みがある。

## 1.5 ILC の測定器 ILD

ヒッグス粒子の精密測定や、新物理の発見などの物理を探索する ILC にとって、測定器は ILC のパフォーマンスを決める重要な要素である。ILC は高エネルギーでヒッグス粒子とその他の粒子の精密な研究をすることを目指し、これまでの LEP と LHC のトラックーとカロリメータの性能よりさらに改善することが要求される。ILC は様々な粒子を衝突で生み出し、たとえばヒッグス、Z ボソン、W ボソン、SUSY など。これらの検出及び測定は全て測定器の役割である。また、ILC は 500 GeV、1 TeV までアップデートする計画があるので、さらなる高エネルギーの物理は測定器にとって挑戦になる。

これまでのコライダー、たとえば Tevatron、LEP、HERA、それと LHC では、独立した複数の実験が行われていた。同じビームに基づいて違う測定と解析のアプローチをすることは、結果の検証などにとって重要な意味がある。

ILC の測定器（図（1.5））は、日欧が主導する ILD と米国主導の SiD 二つが並列に設置され、空間的に移動して交換することで独立に測定することとして設計されている。

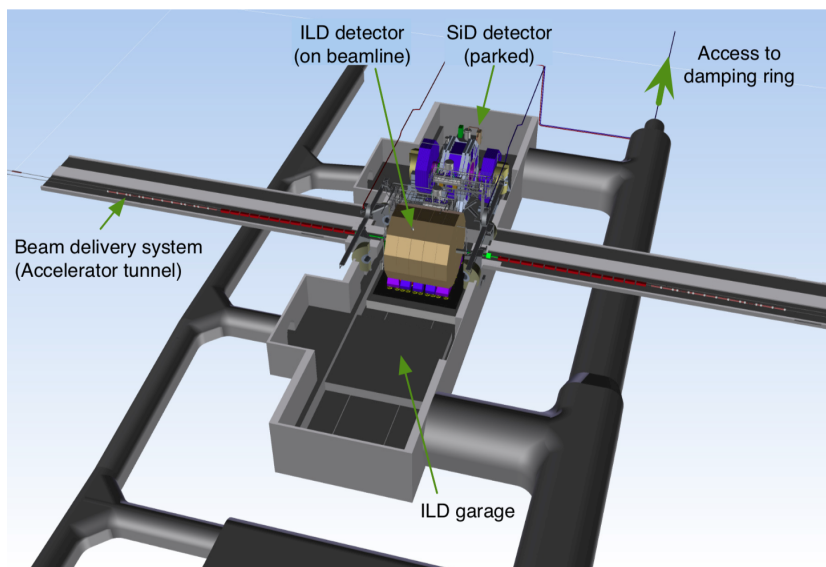


図 1.5 ILC detector. [3]

両方の測定器も中には複数の測定目標を持つ測定器によって構成される。SiD はコンパクトで、コスト制限された測定器として作られ、5 Tesla の磁場を用いることでシリコントラッキングを可能にする。ILD は TPC (Time-projection chamber) に基づいたトラッキングシステムを持ち、そして 3.5 Tesla 磁場環境のあるカロリメータで particle-flow reconstruction を行う。どちらの測定器も TeV 領域のアップグレードに向けた性能を持つ。

## ILD の検出器

ILD のイメージ及び各検出器の位置を示す断面図は図 (1.6) のように示す。

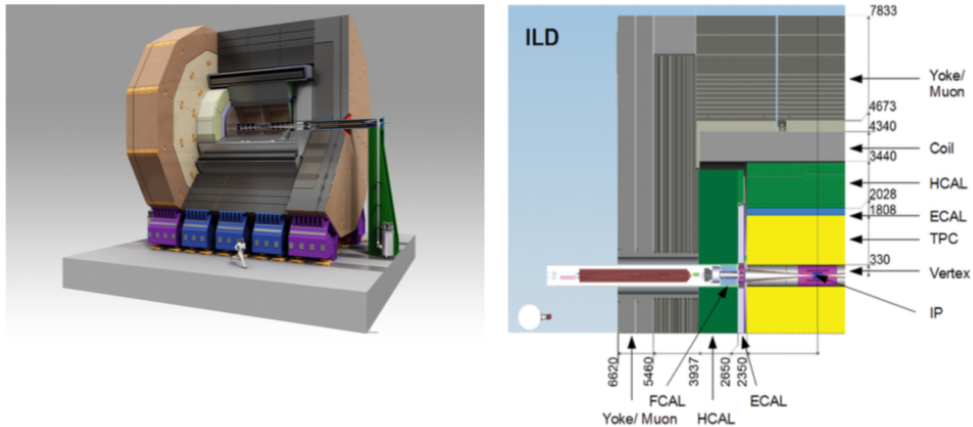


図 1.6 ILD の測定器概念図. 右図は測定器の中身で, 衝突点から各検出器までの距離を示す (単位は mm). [3]

## Vertex detector (VTX)

ILC のバーテックス検出器はマルチレイヤーピクセル検出器である. レイヤーの構造については, 三つのスーパーレイヤーでそれぞれの中に 2 つのレイヤーを含むか, または 5 つのレイヤーという概念設計になっている. バックグラウンドヒットから占有率を最小化するために, 1 つ目のスーパーレイヤーは外部の二つより半分の長さにする. VTX の性能については, 主に高い位置分解能と低い物質質量が要求される.

## Silicon tracker(SIT, SET, FTD, ETD)

シリコンストリップとピクセル検出器のシステムが VTX の外層にあり, VTX を囲むような構造になる. 二層のレイヤーからなるシリコンストリップ検出器 (SIT) は VTX と TPC の間のギャップを連結するように設計される. 前方の領域では, 二つのシリコンピクセルディスクと五つのシリコンストリップディスク (FTD) によるシステムが低いアングルのトラッキング性能を実現する.

## Time Projection Chamber(TPC)

ILD の特徴としては, 224 points/track の性能を持つ巨大な time-projection chamber (TPC) のことである. TPC は三次元的な空間分解能と低い物質質量の性能を持ち, エネルギー損失で粒子を識別することもできる.



### Electromagnetic calorimeter(ECAL)

電磁カロリメータの中に光子や電子が電磁シャワーを起こし，吸収体は電磁シャワーを吸収することでエネルギーを測定する．吸収体はタングステンで，有感部はシリコンダイオード、シンチレータストリップまたは二つ共使われるに設計されている．

### Hadron calorimeter(HCAL)

ハドロンは電磁カロリメータを通過し，さらに外側にあるハドロンカロリメータではハドロンシャワーを起こし，エネルギーが測定される．吸収体は 48 層の鉄で，有感部はシンチレータあるいはガス RPC(Resistive Plate Chambers) が検討されている．

## 第 2 章

# バーテックス検出器

## 2.1 加速器実験に使われるバーテックス検出器

動作速度の速い半導体検出器を素粒子実験に使うというアイディアは現在からおよそ半世紀前からある。

図 (2.1) は半導体検出器の構造による分類を示す。下から見ると、一次元のストリップで位

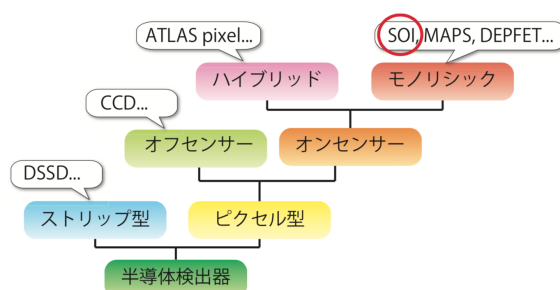


図 2.1 半導体検出器の種類分け. [12]

置を検出するストリップ型と二次元のピクセルで位置を検出するピクセル型がある。そしてピクセル上に読み出しの回路素子がなく、ピクセルに読み出し回路が接続されるオフセンサーとピクセル上に読み出し回路が配置されるオンセンサーがある。オンセンサーはまた、センサーと回路の接着方法によって、バンプで接着するハイブリッド型とセンサー・回路一体化したモノリシック型がある。本修士研究に用いた SOI 技術のセンサーは、モノリシック型のピクセルセンサーである。

### 2.1.1 ストリップ検出器

半導体検出器の飛躍はストリップ検出器の開発からであった，ストリップ検出器は前の半導体検出器と比べて位置精度が良く，トラックのパラメータを測定することでチャームまたはその他の短寿命の粒子の検出が可能になった．

ストリップ検出器のヒット検出原理は図（2.2）のように示す．このように  $x$  軸と  $y$  軸それぞれ独立した位置検出では高い位置分解能を持たせることができる，しかし，こうした測定方法ではヒット密度が高くなると問題になる．

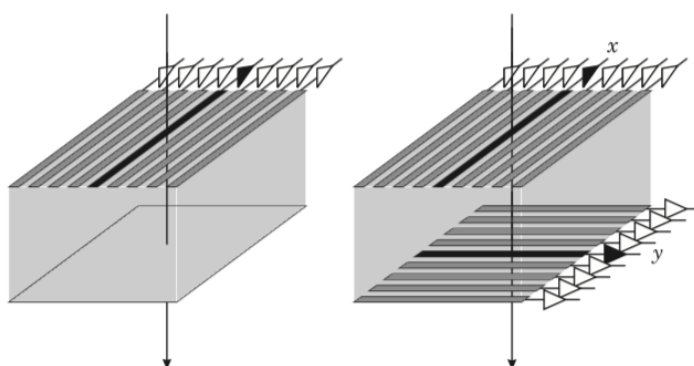


図 2.2 ストリップ検出器のヒット検出原理. [8]

毎回のヒット検出は  $x$  座標と  $y$  座標を記録し， $n$  個のトラックは  $n$  個の  $x$  座標と  $n$  個の  $y$  座標を記録することになる．そうすると，ヒットのない位置にも記録され，このようなゴーストとよばれるヒットは  $n^2 - n$  個がある．トラックの情報で選択すればゴーストは削除することができる．

ストリップ型の一つの特徴としては，データ量がピクセル型より少ないことである． $x$  座標と  $y$  座標それぞれにあるストリップの数を  $m$  とすると，データ量は  $2m$  となる．一方，ピクセル型も  $x$  座標と  $y$  座標それぞれ  $m$  個のピクセルがあるとすれば，データ量は  $m^2$  となる．また，一般的にストリップ型はピクセル型よりコストも低い．

### 2.1.2 ピクセル検出器

膨大なゴースト情報も処理する必要があるストリップ型検出器に対して，直接二次元情報を検出できればゴーストの心配はない．二次元の情報を検出するピクセル検出器は現在，世界的に広く素粒子実験に使われている．

図（2.3）と図（2.4）はピクセル検出器の構造を示す．ピクセル検出器は，センサーと読み出し回路によって構成され，読み出し回路の部分にピクセル単位で位置や時間などの情報を読

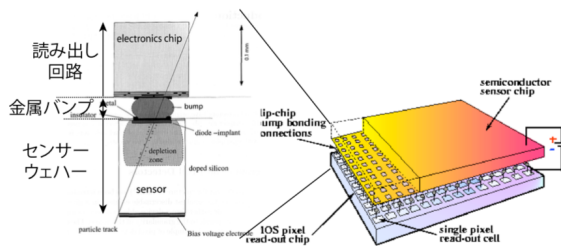


図 2.3 ハイブリッド型ピクセル検出器. [12]

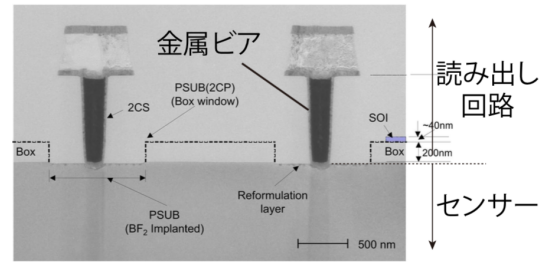


図 2.4 モノリシック型ピクセル検出器（SOI 技術）.

み出すようになっている。センサー部分と読み出し回路部分の接続方法によってハイブリッド型とモノリシック型の二種類がある。

#### ハイブリッド型検出器

ハイブリッド検出器（図（2.3））は LHC の ATLAS 実験などでバーテックス検出器として使われている。読み出し回路部とセンサー部分は金属バンプで接続することでセンサーを通過する粒子の情報を読み出すようになっている。ハイブリッド型検出器は放射線耐性が強く、ハドロンコライダーのような放射線環境で使われている。一方、センサー周りの寄生容量が高く、物質量が高いなどのデメリットがあり、レプトンコライダーでは使われていない。現在では、ILC のバーテックス検出器の候補にはされていない。

#### モノリシック型検出器

モノリシック型検出器はハイブリッド型の接合バンプの構造に対し、センサーと読み出し回路を一体化にした構造である（図（2.4））。例えば Bulk-CMOS 技術の場合、高抵抗のエピタキシャルレイヤーを低抵抗のシリコンウェハーの上に形成することでセンサー・読み出し回路一体型の検出器を作ることができる。本論文で述べる SOI 技術の場合、高抵抗のシリコンウェハー上に酸化膜を形成してその上に CMOS 回路層を搭載することでモノリシック型検出器を作ることができる。

### 2.1.3 半導体検出器の物理

#### 2.1.4 シグナル

半導体検出器のシグナル電荷量  $Q_s$  は以下の式によって定義することができる。

$$Q_s = \frac{E}{E_i} e \quad (2.1)$$

ここで、 $E$  は半導体が吸収したエネルギー、 $E_i$  は一個のチャージペアになるに必要なエネルギー（シリコンの場合は通常 3.6eV）、 $e$  は電子の電荷量である。

固体において、電子・正孔対を生ずるには吸収されたエネルギーがバンドギャップの幅を超

えなければならない。光子検出の場合では、波長  $1.1\mu\text{m}$  以下の光子が半導体を通過する際のエネルギーロスがバンドギャップの幅（シリコンの場合は  $1.12\text{eV}$ ）より高ければ、検出されることになる。

### 2.1.5 位置分解能

半導体検出器の位置分解能は主にバイナリとアナログという二つ読み出し方式によって決定される。

バイナリ方式とは、ピクセル回路はシグナルを検出する際にバイナリ出力されることを意味する。バイナリの出力はコンパレータによって 0 か 1 になる。ピクセルピッチ（＝ピクセルサイズ）を  $p$  をとすると、検出位置は一様分布になり、その標準偏差である位置分解能  $\sigma$  は統計的に以下の式によって計算できる。

$$\sigma^2 = \int_{-p/2}^{p/2} \frac{x^2}{p} dx = \frac{p^2}{12}. \quad (2.2)$$

この式により、root mean square (rms) である位置分解能はピクセルピッチの  $1/\sqrt{12}$  となる。

アナログ方式とは、図 (2.5) に示すように、粒子が通過する際にシグナルが周囲のピクセルに拡散し、ピクセルごとに分割されたシグナルを読み出す。このように、クラスタから電荷重

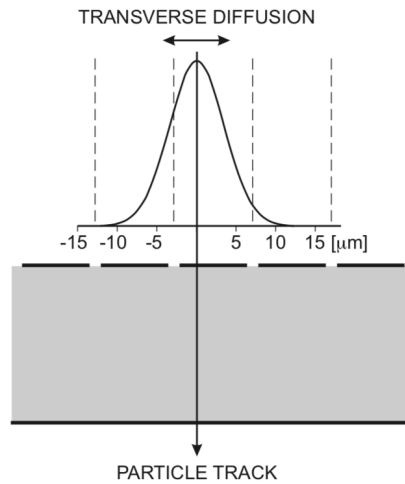


図 2.5 アナログ読み出し方式によって ADC 値が拡散される。[8]

心法を使えばバイナリ方式より高い位置分解能を得ることができ、理想的には位置分解能が無限に良い。ただし、電氣的ノイズなどが位置分解能に制限を与える。

## 2.2 ILC のバーテックス検出器に要求される性能

バーテックス検出器は ILC において、ヘビークォークとタウレプトンの識別という役割が要求される。D または B メソンのような相対的に寿命の長い粒子の崩壊点の再構成にはバーテックス検出器が必要で、そこには、クーロン散乱の少ない軽い物質質量が必要となる。バーテックス検出器による荷電粒子トラックの精密測定及び他のトラック検出器の測定結果を用いて崩壊点を再構成することができる。ILD のバーテックス検出器の飛跡による再構成の空間分解能への要求は以下の式によって表されている ( $\oplus$  は二乗和を意味する)。

$$\sigma_b < 5 \oplus \frac{10}{p \sin^{3/2} \theta} [\mu m]. \quad (2.3)$$

ILD のバーテックス検出器の要件については以下のように、ILC の Technical Design Report にまとめられている。

- ・ 空間分解能が  $5 \mu m$  以上の精度を持つ,
- ・ 物質量が  $0.15 \% X_0/\text{レイヤー}$  以下,
- ・ 各レイヤーの放射長が  $0.3 \%$  以下,
- ・ 平均的消費電力が  $130 \mu W/mm^2$  以下,
- ・ 時間分解能が  $300 \sim 700 \text{ ns}$ ,
- ・  $250 \text{ GeV}$  の電子・正電子コライダーが要求する放射線耐性,
- ・  $1 \%$  以下の占有率.

以上の要求から、本開発研究ではセンサー単体の位置分解能  $3 \mu m$  以下を目指す。

図 (2.6) に ILC のビームバンチ構造を示す。各  $200 \text{ ms}$  ごとに  $1300$  個のビームバンチがあ

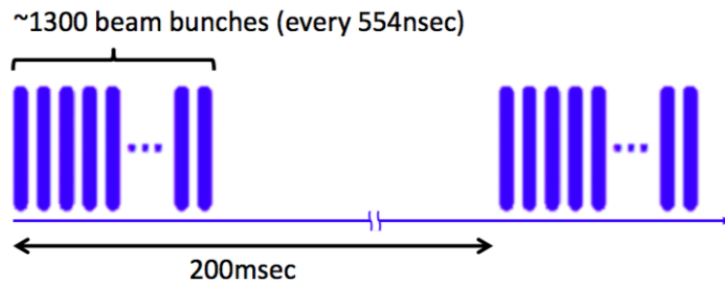


図 2.6 ILC のビームバンチ構造. [5]

る、ILC の反応事象は  $1300$  個のビームバンチの中に数個あると考えられる、シグナルのあったバンチを「一個のバンチ」という精度まで特定しようとする。バンチの間隔は  $554 \text{ ns}$  なので、時間分解能については、本グループが開発を行っているバーテックス検出器は  $554 \text{ ns}$  の

時間分解能を目指すとする。

### 2.2.1 ILD バーテックス検出器の開発動向

ILC はレプトンコライダーであり、低物質質量と高い分解能が要求される。モノリシック型検出器はハイブリッド検出器と比べてバンプ接着がないため、低物質質量という特徴を持っている。この節では、幾つの現在 ILD バーテックス検出器の候補になっている検出器及び技術について述べる。

#### MAPS (Monolithic Active Pixel Sensors)

MAPS は Bulk-CMOS プロセスを使用したピクセルセンサーである。Bulk-CMOS プロセスは、高抵抗のエピタキシャルレイヤーを低抵抗のシリコンウェハの上に形成することで、低物質質量の検出器を作ることができる。センサーウェハ上に CMOS FET 回路による機能を付加したピクセルを構成することが可能となる。MAPS のセンサー部分は完全空乏化されておらず、センサーノード付近のみが部分空乏化されるため、有感領域の厚は 10-20  $\mu\text{m}$  である。レイヤーに高感度のセンサーノードを配置することで、高い位置分解能を達成することができる。

MAPS のバーテックス検出器の初代は、BNL の STAR 実験のバーテックス検出器として使用され、これまでに三年間の run で運用された。そして、LHC の ALICE-ITS アップグレードのバーテックス検出器でも候補になり、現在大量生産されている。

#### DEPFET(DEPleted Field Effect Transistor)

DEPFET は通常の CMOS プロセスと異なり、回路部分は別途読み出し用の ASIC がピクセルの外部に搭載されている検出器であり、セミ・モノリシック型として分類されている。センサーチップ上は MAPS と同様で、一個の FET 素子（電場効果トランジスタ）をピクセルに埋め込んだ構造となっている。FET 素子のゲート端子の下部に一つ Internal gate と呼ばれるノードがあるのが特徴である。センサーにバイアス電圧をかけることで、チャージキャリアが生成され、電荷は Internal gate に高効率で集まるようになる。収集された電荷はソース・ドレインの電流に変換され、初段アンプによって増幅されてからピクセルに入力するような読み出し原理となっているため、薄い検出器で高い S/N 比を得ることができる。また、読み出し用 ASIC はピクセルの外部にあるため、熱が発生しない、消費電力が少ない、物質質量が低いというメリットがある。

DEPFET はすでに BELLE2 のバーテックス検出器に採用されている。本修士論文を書き進めている現在（2019 年 1 月上旬）は、ちょうど BELLE2 の VXD（DEPFET のバーテックス検出器）をセットアップ完了した時点である。

**FPCCD (Fine Pixel CCD)**

FPCCD は Charge-Coupled Device(CCD) 構造を利用した検出器である。非常に小さいピクセルサイズ ( $\sim 5 \mu m$ ) を作ることで、占有率抑制、及びミクロン以下の位置分解能を実現することができる。ピクセル部分に読み出し用の回路素子が配置されず、ピクセルに ASIC 読み出し回路を接続するオフセンサーである。読み出し ASIC 部分に、アンプ、ローパスフィルター、CDS、そして ADC が搭載されている。

FPCCD はエピタキシャルレイヤーで、完全空乏化のとき有感領域の厚は約  $15 \mu m$  となっている。-40 度の温度を提供することで放射線ダメージを抑制する。



## 2.3 SOI 技術

SOI 検出器のアイディアは 1990 年代から生まれ、2001 年に初めて高抵抗のウェハに適用された。現在は KEK 測定器開発室の SOI グループが中心となり、SOI ウェハを使用した一体型シリコンピクセル検出器（SOI センサー、SOIPIX）として研究開発を進めている。本 SOI グループはラピスセミコンダクタ社と協力し、全世界のアカデミのユーザーに向けて Multi Project Wafer (MPW) run を年におよそ二回の頻度で提供している。SOI 技術を用いたピクセルセンサーは、素粒子実験のほかに、物性物理、天文学（X 線天文学）など、幅広い分野に利用されている。

図（2.7）は SOI ピクセルセンサーの構造を示す。SOI のウェハは酸化膜（BOX、Buried Oxide）を厚い高抵抗の基板（センサー部分）の上に貼り合わせ、その上に薄い低抵抗のシリコンレイヤー（CMOS 回路）を搭載する構造である。CMOS と酸化膜はセンスノードとして連結され、P 型または N 型の不純物は基板に注入されて PN 接合が作られる。PN 接合にバイアス電圧をかけることで、センサー部分となる空乏層が形成される。

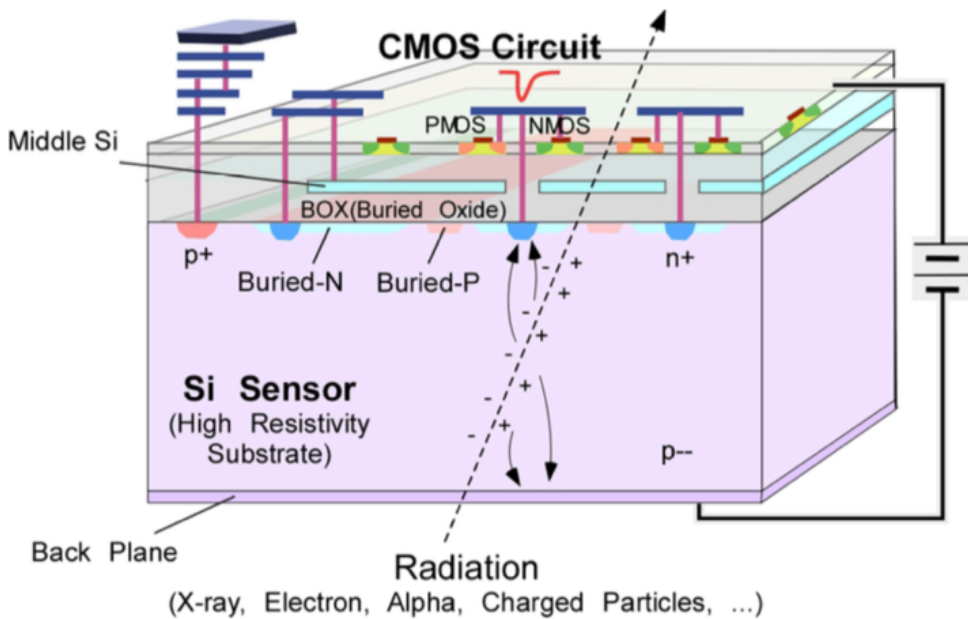


図 2.7 SOI ピクセルセンサーの構造. [2]

## SOI と Bulk CMOS センサーの比較

SOI の回路部も CMOS 回路が搭載されているが、通常の CMOS との違いを図 (2.8) と図 (2.9) に示す。[2] 通常の Bulk-CMOS において MOSFET はシリコンウェハのエピタキシャル

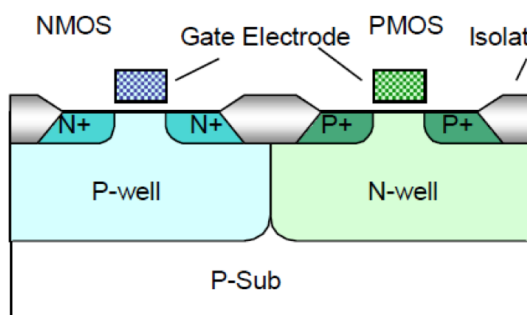


図 2.8 通常の CMOS.

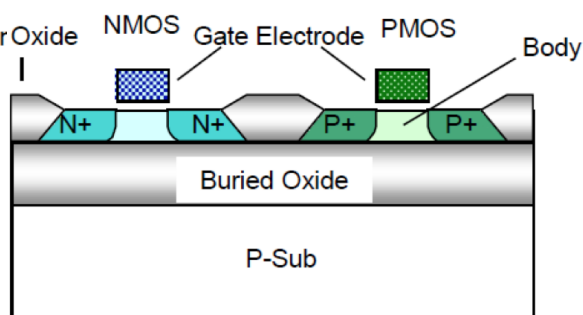


図 2.9 SOI 技術.

ルレイヤー上で形成され、センサー部として使用している。このような構造ではセンサーの完全空乏化ができず、センスノードの付近のみが部分空乏化されている。一方、SOI ではピクセル回路とセンサー部の間に BOX 層（酸化膜）を設けることで、センサー部に回路がなく、完全空乏化ができる。

## 特長・利点

SOI 技術を用いた検出器の主なポイントは以下のように挙げられる。

- ・**センサーと回路の一体型** ハイブリッド検出器はバンプバンディングによってセンサー部分と回路部分を接着する。一方、SOI 技術を用いた検出器はバンプボンディングがなく、センサーと回路が一体型となる。バンプには原子番号の大きい物質が使用されており、多重散乱が起こってしまう。特にレプトンコライダーでは低運転量の粒子を含む exclusive な測定が望ましく、多重散乱による影響が大きい。バンプ構造のない SOI では、低物質量のセンサーにより、多重散乱を抑制することができる。

- ・**センスノードの寄生容量** センスノードの寄生容量が小さく（ $\sim 10$  fF）、ゲイン機能の向上と低ノイズ化が可能である。

- ・**ピクセル回路の複雑性** ピクセルにフルな CMOS 回路が搭載されることができ、DEPFET と FPCCD などの ASIC 読み出し回路と比べてピクセルの回路でシグナルを検出することができる。

- ・完全空乏化 センサー部に回路構造がないため、完全空乏化ができる。また、センシング領域の厚みは測定対象によって調整することができる。

- ・ピクセルの小型化 ピクセルに CMOS 回路を搭載するので、ピクセルのサイズを小さく抑えることができる。よって、位置分解能は数  $\mu m$  程度まで達成することができる。

- ・放射線耐性 Double SOI 構造を用いることで放射線耐性が向上され、現段階の放射線耐性試験の結果では ILC の放射線環境には十分耐えられる。

- ・接合リーク電流がない Well 構造による接合リーク電流がないため、摂氏 300 度の高温でも使用可能である。

- ・宇宙空間観測にもできる 完全分離構造によってラッチアップ効果が小さく、宇宙環境での使用にも向いている。

## 第 3 章

# SOI ピクセルセンサー SOFIST の開発

本章は SOI 技術を用いたピクセルセンサー SOFIST の開発状況を述べる。SOFIST の名前は **SOI Fine-measurement of Space and Time** からなっている。ILC に向けた高精度の空間及び時間の測定機能を持つ検出器である。

SOFIST は主に現 KEK の小野峻氏が設計し、SOI グループの加速器実験班によって開発や、試験が行われている。SOFIST の主要機能実装に向けた試作チップ設計開発は 2014 年より開始された。現段階での試作開発で以下の 4 段階による開発と評価を計画している。

version 1, アナログシグナル用ピクセル回路、Column ADC 回路の実装

version 2, タイムスタンプ用ピクセル回路、ゼロサプレッション回路の実装

version 3, アナログシグナル・タイムスタンプピクセル回路の統合

version 4, 三次元積層化

Ver.1 から Ver.4 までの試作センサーチップの開発によって、ピクセルに搭載されるべき読み出し回路の機能の検証ができ、徐々に ILC の要求に近づけて設計開発を行う。2017 年のビームテストによって ver.1 ヒット検出・シグナル AD 変換機能の実現したことが検証され（先行研究）、Ver.2 は 2018 年のビームテスト及び本論文で述べる様々なテストによって評価された。現在、ver.3 と ver.4 はすでに製造されており、ver.3 は 2019 年 2～3 月に予定されているビームテストに向けてテストが行われている。ver.3 のビームテストは、一つのピクセルに位置計測及び時間計測が両方できることを検証することとなる。

本修士論文では、Ver.2 のチップにおいて時間計測機能、時間応答性能の改善点、及び電荷収集・損失の特性などを評価し、次の SOFIST バージョンの設計または他の加速器実験向けの SOI ピクセルセンサーの設計へとつなげていく道筋をつけることを目標とする。

### 3.1 SOFIST version 1 (先行研究)

#### 仕様

SOFIST ver.1 のチップ概要 (左) と全体レイアウト (右) を図 (3.1) に示す。チップ全体のサイズは  $2.9\text{ mm}$  角で、 $50 \times 50$  のピクセル回路と 50 チャンネルの ADC を搭載している。ピクセルのサイズは  $20 \times 20\mu\text{m}^2$  として設計され、試作チップ全体の有感領域は  $1 \times 1\text{mm}^2$  となる。ピクセルアレイの各カラムに ADC を置くことでカラム並列での AD 変換が行われる。また、チップの性能評価のためにテスト電圧入力が ADC に接続されており、チップを搭載する基板から直接テストパルスを入力することでピクセル回路の性能を検証・評価することができる。

SOFIST ver.1 は各ピクセルにヒット検出・トリガー出力、ヒット情報の記録、シグナルの AD 変換という機能を有しているアナログシグナルメモリ搭載している (アナログシグナルメモリの詳細は SOFIST ver.2 のところで述べる)。

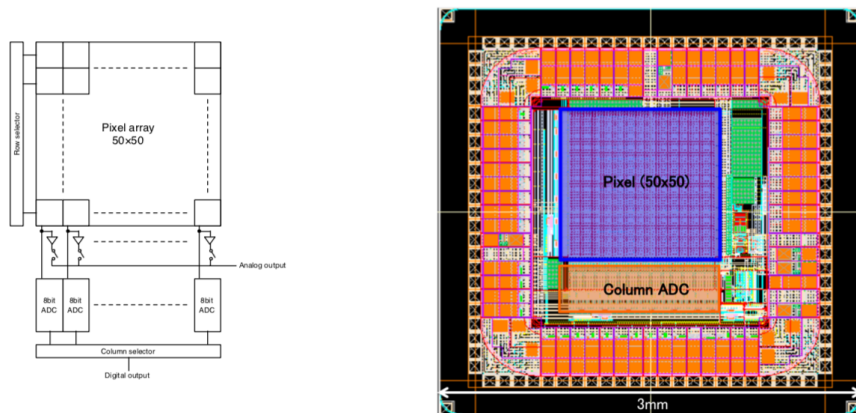


図 3.1 SOFIST version 1, 左: チップ概要、右: 全体レイアウト. [2]

SOFIST ver.1 は  $20\mu\text{m}$  角の非常に小さいサイズのピクセルを用いて、シグナルをアナログ方式で計測することで高い位置分解能を有するように設計された。  $20\mu\text{m}$  角のピクセルでは、バイナリ読み出しでは約  $5.77\mu\text{m}$  の分解能が期待される。次節は先行研究であるビームテストの結果を述べる。

#### ビームテストの結果

SOFIST ver.1 のビームテストは 2017 年 2~3 月に Fermilab にて行われ、位置分解能は ILC に要求される  $3\mu\text{m}$  より上回り、  $1.3\mu\text{m}$  という結果であった。 [2]

## 3.2 SOFIST version 2

本修士論文の目的は SOFIST ver.2 の性能評価であり，本節では先行研究である SOFIST ver.2 の設計仕様などを述べる．

### 3.2.1 仕様

SOFIST ver.2 のセンサーチップは 2016 年 1 月に MPW (Multi Project Wafer) run によってチップ製造が完了されている．図 (3.2) は SOFIST ver.2 の顕微鏡下の写真を示す．

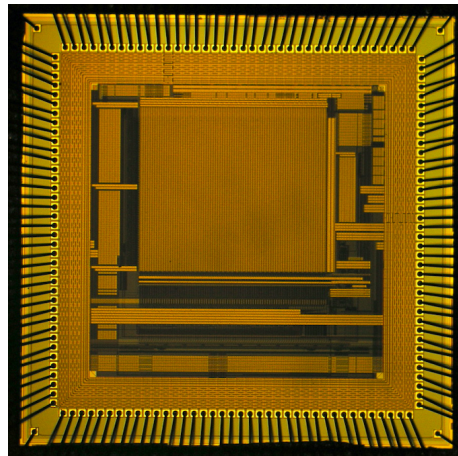


図 3.2 SOFIST version 2. [2]

図 (3.3) はチップ概要 (左) と全体レイアウト (右) を示す．SOFIST ver.1 のピクセル回路と違って， $64 \times 64$  個のタイムスタンプメモリを搭載したピクセルと  $16 \times 64$  個のアナログシグナルメモリ (ver.1 のピクセルに基づいて設計) を搭載したピクセルがある．チップ全体の動作としては，ピクセルからヒット検出し，測定したアナログ値を Column ADC 及び Zero-suppression logic によって ADC 変換して読み出す．SOFIST では一つのピクセルにタイムスタンプメモリとアナログシグナルメモリ両方搭載することを目指す，ver.2 は機能検証のため分けて設計された．SOFIST ver.2 のチップの大まかな仕様は表 (3.2.1) にまとめる，ver.1 の仕様は比較のためのせた．

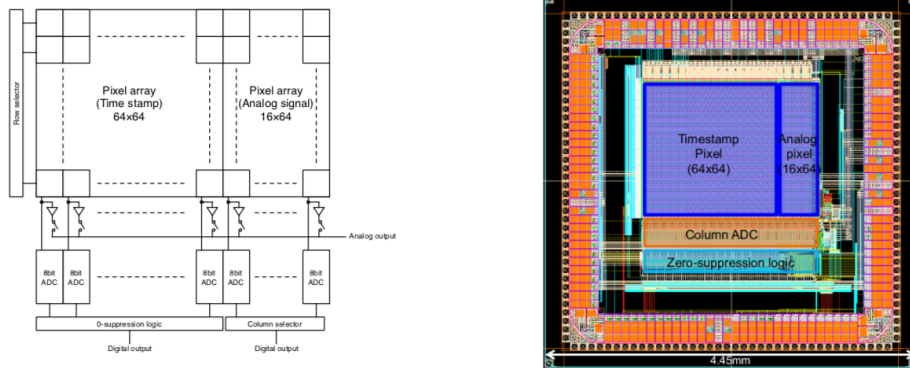


図 3.3 SOFIST version 2, 左: チップ概要、右: 全体レイアウト. [2]

表 3.1 SOFIST ver.2 と ver.1 の各パラメータの比較.

	SOFIST ver.2	SOFIST ver.1
Bulk type	P type	N type
Sensor size	4.45mm×4.45mm	2.9mm×2.9mm
Sensing area	1.6mm×2.0mm	1mm×1mm
Pixel size	25 $\mu$ m×25 $\mu$ m	20 $\mu$ m×20 $\mu$ m
Pixel numbers	80×64	50×50
Thickness of sensor	75 $\mu$ m	500 $\mu$ m
Readout	Column-ADC + Digital Zero-suppression	Column-ADC

2017 年のビームテストによってすでに ver.1 の位置分解能が 1.3 $\mu$ m として記録され、ver.2 は時間計測の機能を検証するためピクセルサイズが ver.1 より大きく作られているので、1.3 $\mu$ m 以上の位置分解能は期待できないと考えられる。

Ver.2 のセンサーの厚は 75  $\mu$ m であり、500  $\mu$ m の ver.1 よりかなり薄型化されている。薄型化は低い物質質量のためである。Ver.2 のセンサーは、製造プロセスが終了後、センサーウェハに対して DISCO 社の TAIKO プロセスを使用した裏面研磨を実施し、センサー厚を元の 500  $\mu$ m から 75  $\mu$ m まで研削して薄型化されている。

### 3.2.2 時間計測のタイムスタンプメモリ

#### ヒット検出原理

SOFIST ver.2 では、およそ 4/5 の有感領域は時間計測機能を持つタイムスタンプメモリを搭載したピクセルである。タイムスタンプメモリを図 (3.4) に示す。各ピクセル回路では、センサーノードによって荷電粒子からの信号電荷を蓄積し、初段プリアンプを通して増幅する。初段プリアンプによって増幅された信号は、コンパレータで閾値弁別を行い、後段のシフトレジスタ回路 (D-FF) に入力する。コンパレータの閾値電圧は外部の DAQ ソフトウェアによって設定することができ、初段プリアンプの出力が閾値電圧を超えるとコンパレータが動作する。コンパレータ出力は、後段のシフトレジスタ回路 (D-FF) に接続されており、レジスタによってピクセル単位でのヒットの情報の保持を行う。

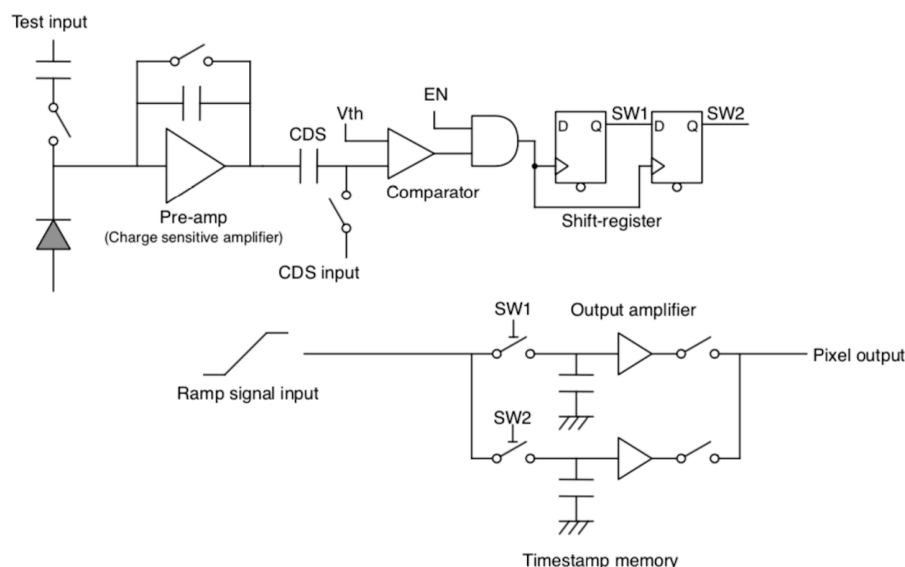


図 3.4 Timestamp memory. [2]

#### 時間計測原理

時間計測機能を実現するには、時間に比例するアナログ値を保持して ADC で出力すればいい。コンパレータが動いたタイミングに図 (3.4) の SW1 (スイッチ) がオンとなり、入力されたランプ波のそのタイミングにおけるアナログ値をそのまま保持して出力アンプを通して出力される。出力された ADC 値はまた時間情報に換算することができるので、時間計測機能が実現される。ランプ波は FPGA で作ることができ、SEABAS 基板 (SOI センサーを搭載する基板、詳細は後に述べる) に書き込むことで SOFIST2 に入力する。



出力端の前に、スイッチを二つ設計することで1 ビームトレインにおいて最高二回ヒットのタイミングを計測することができる。ILC はレプトンコライダーなので、1 ビームトレイン内に二回までヒットの検出ができれば十分だと考えられ、スイッチ2個として設計された。

図(3.5)はタイムスタンプメモリ動作のタイミングチャートを示す。ヒット検出する際は以下のように、順に動作する。

1. **(CSA Reset)** プリアンプが蓄積された電荷をゼロにするためにリセットする。  
**(CSA Output)** もゼロからはじめ、電荷を蓄積していく。
2. **(Comparator Reset1、2)** コンパレータもリセットし、蓄積された電荷をゼロにする。  
**(CDS RST)** ヒットシグナルの入力前にリセットする回路なのでここでリセットする。
3. **(Charge input)** ヒット検出。
4. **(CSA Output)** 初段プリアンプは急速にヒットの電荷を増幅し、出力する。
5. **(Comparator output)** コンパレータが動き、出力する。

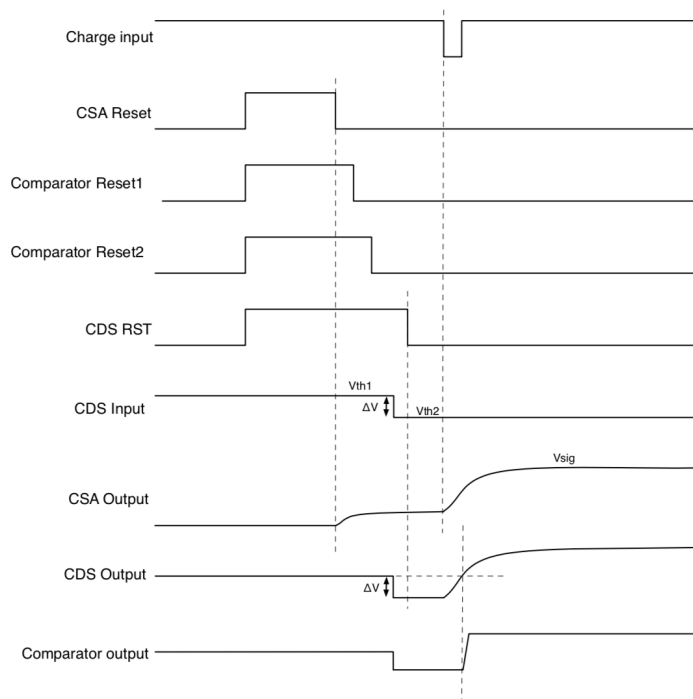


図 3.5 ピクセル回路動作のタイミングチャート (CSA (charge sensitive amplifier) は初段プリアンプ。CDS 回路は、ヒットシグナルの入力前にリセットレベルをサンプリングし、シグナル・リセットレベルの差分を取得する回路である)。[2]

### 3.2.3 位置計測のアナログシグナルメモリ

SOFIST ver.2 ではおよそ 1/5 の有感領域はシグナル計測機能を持つアナログシグナルメモリを搭載したピクセルである。アナログシグナルメモリを図 (3.6) に示す。基本的な回路動作はタイムスタンプメモリと同じで、コンパレータの動くタイミングに従う動作である。前者がタイムスタンプ時のランプ波のアナログ値を保持するのに対し、アナログシグナルメモリは直接にプリアンプで増幅された電圧値を保持し、アナログ値をピクセル外部のカラム ADC に出力して最後に ADC として出力される。

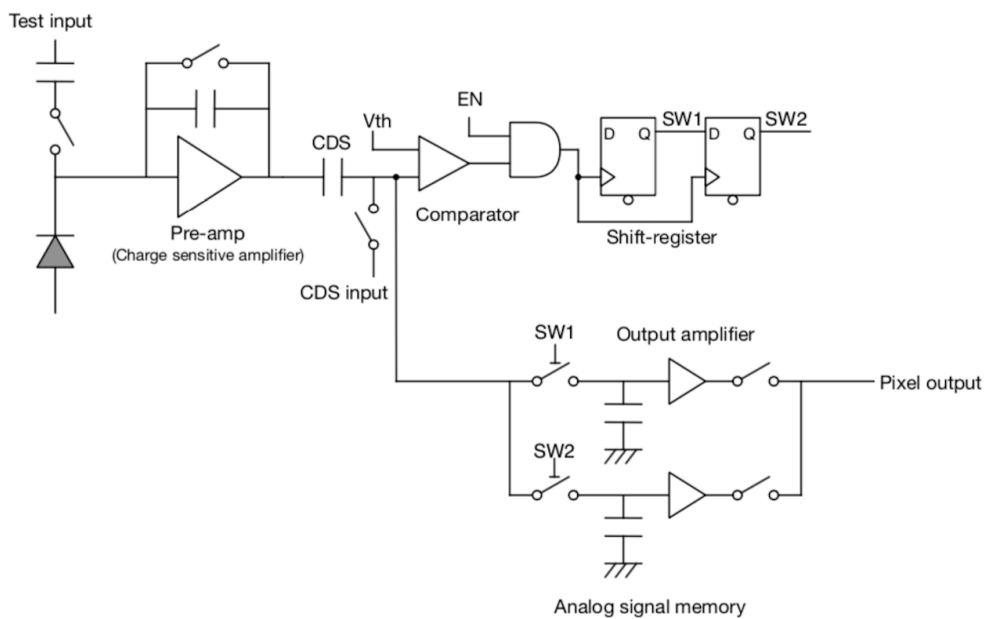


図 3.6 Analog signal memory. [2]

先行研究では、アナログシグナルメモリのみを搭載した SOFIST ver.1 はビームテストなどの評価を通して、アナログシグナルメモリが高い位置分解能を有することを確認できた。

### 3.2.4 BNW について

#### バックゲート効果抑制のための BNW

SOFIST は SOI 構造で作られたセンサーとして、Bulk-CMOS のセンサーと比べて高いバイアス電圧をかけることで完全空乏化させることができるというのが特徴である。しかし、図 (3.7) に示すように、高いバイアス電圧による電場はセンサー全体を通過し、ゲートまで届くため、バックチャネルが形成される。よって、印加するバイアス電圧値によってトランジスタの閾値電圧が変化する。これはバックゲート効果と呼ぶ。

これを抑制するため、図 (3.8) に示すように CMOS 回路直下のセンサーに BNW (Buried N-Well) という薄い N 層を設計することで、バイアス電圧による電場を回路に影響与えないように遮蔽することができる。

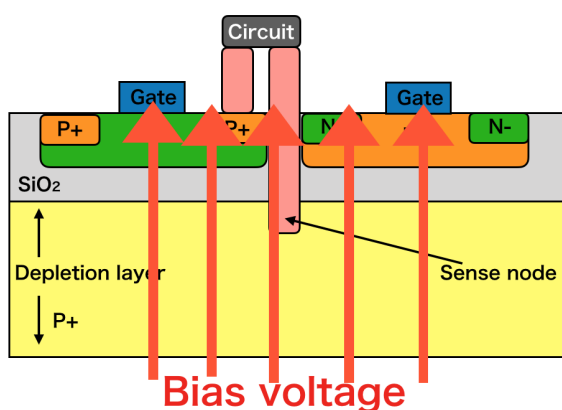


図 3.7 BNW がいない場合、バイアス電圧はゲートに影響を与える。

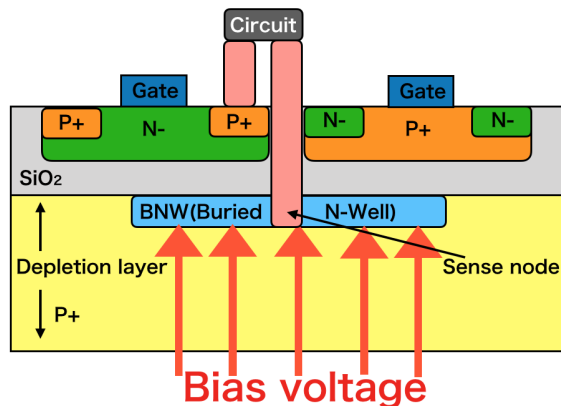


図 3.8 BNW を用いることでバイアス電圧を遮蔽する。

BNW 詰めるの有無による MOSFET の特性の変化を図 (3.9) に示す [6]。BNW がいない場合はバイアス電圧値によって、MOSFET の電流電圧特性が変化しているのに対し、BNW がある場合は特性は変化しない。

#### BNW による電荷収集

SOI のセンサーは、センサー部の電荷をセンスノードで集めて回路層に輸送することになっている。BNW を用いると、図 (3.8) のようにセンスノードを BNW の中心に配置する構造となる。こうすると、BNW 自身もセンスノードとなり、電荷収集を行う。

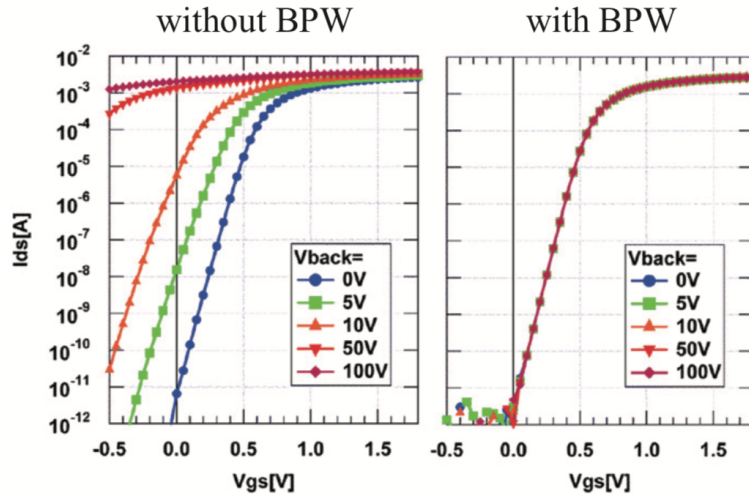


図 3.9 BPW 詰めるの有無による MOSFET の特性変化 (NMOS) [6]。横軸はゲート・ソース間電圧、縦軸はドレイン・ソース間電流。左図は BPW 無し、右図は BPW 有り (N 型の時は BPW, P 型のときは BNW で, BNW と BPW 自体の効果は同じ)。

#### BNW がゲインへの影響について

BNW は電荷収集を行うため、サイズを大きくすればするほど電荷収集能力が高いと思われるが、一方、BNW のサイズを大きくすると初段アンプのゲインは下がる可能性がある。

初段アンプのゲインは以下の式によって書ける。

$$A = \frac{|V_{OUT}|}{Q_f}. \quad (3.1)$$

ここで、 $V_{OUT}$  は出力電圧で、 $Q_f$  は蓄積される電荷量のことである。ゲインを構成する重要な要素としてフィードバックキャパシタ  $C_f$  があり、そして実際の回路では入力端子（センスノード）に接続される容量  $C_{SENS}$  との間で入力電荷は分割される。全入力電荷量  $Q_{IN}$  と  $C_f$  に蓄積される電荷  $Q_f$  との関係は、

$$\frac{Q_f}{Q_{IN}} = \frac{C_f V_{IN}}{(C_f + C_{SENS}) V_{IN}} = \frac{C_f}{C_f + C_{SENS}}. \quad (3.2)$$

そして、式 (3.2) を使って以下のような式で  $C_{SENS}$  とゲイン  $A$  の関係を表すことができる。

$$A = \frac{|V_{OUT}|}{Q_{IN}} = \frac{|V_{OUT}|}{Q_f} \cdot \frac{C_f}{C_f + C_{SENS}}. \quad (3.3)$$

このように、センスノードのキャパシタが大きいと、ゲインが下がるという問題がある。また、前述のように BNW はセンスノードとして機能するので、BNW のサイズを大きくすると、キャパシタ  $C_{SENS}$  が大きくなり、ゲインが下がるという問題がある。

### 3.2.5 評価用の SEABAS ボードとサブボード

SOFIST の性能評価では、評価環境として KEK 測定器開発室で開発された SEABAS (Soi EvAluation BoArd with Soitcp) 基板と SOFIST 仕様で作られたサブボードを使用している (図 (3.10)). ボード内の FPGA(Xilinx Virtex-5) を利用してセンサチップの制御とデータ取得を行っている. 電源から約 3.6 V の電圧をかけることで CMOS 回路に必要な電圧を生成し, サブボードを通してセンサーの回路を動かす. また, SEABAS はそれぞれの IP アドレスを持っており, 繋ぐ際に IP アドレスを指定することで 1 台の PC で複数のセンサーを動かせることができる. サブボードはソケットにパッケージしたセンサーを載せることができるようになっており, SEABAS2 から供給される電源や信号をセンサーに伝達する. また, 逆バイアス電圧もサブボードからかけることができる. サブボード上にたくさんのジャンパーピンがあり, テストパルスや, ランプ波形などの評価用電気信号をジャンパーピンにかけることができる, それにオシロスコープにつなぐことで電気信号をモニターすることもできる.

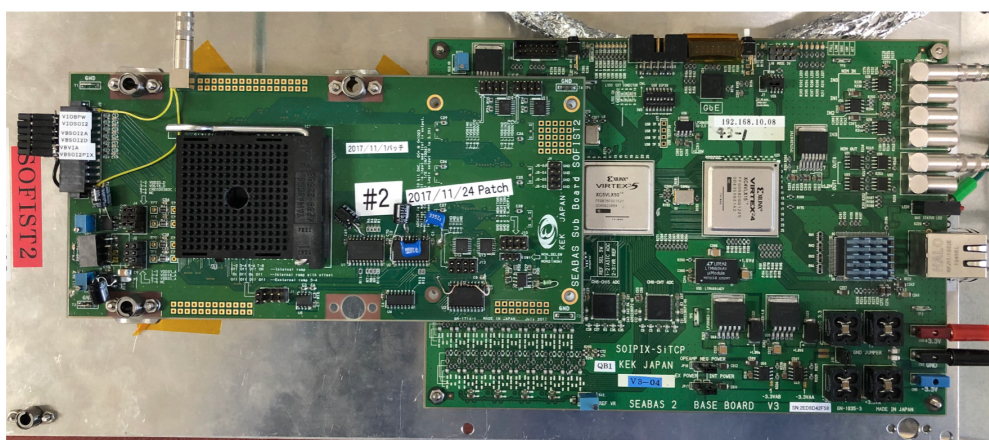


図 3.10 SEABAS ボード (左) とサブボード (右).

図 (3.11) は SEABAS ボードとサブボードの動作原理を示す図である. FPGA の部分は ISE で事前に必要なプログラムを書き込めば SEABAS は書いた通り動作する. データ取得の際に, Ethernet を繋げ, パソコンのソフトウェアで SEABAS の IP アドレスを入力すれば繋ぐことができる. そして, FPGA からセンサーに指令を送って動作させ, センサーから計測データを受け取る.

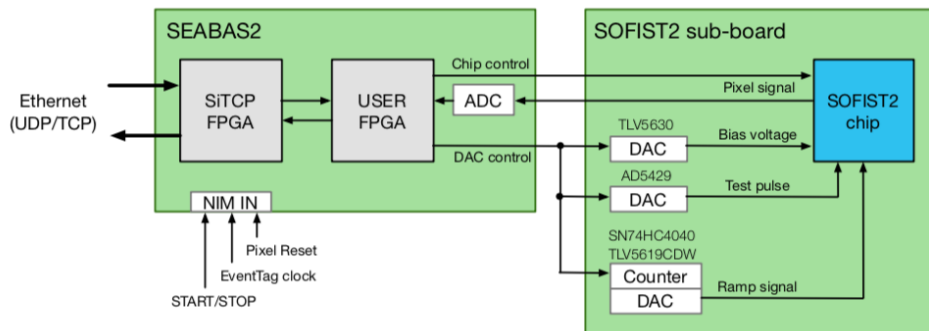


図 3.11 SOFIST detector system overview. [2]

### 3.2.6 データ取得の DAQ システム

SOFIST のデータを取るための DAQ システムは、性能評価するため以下のような機能があげられる。

#### 取得データ数の設定

取得データ数を DAQ から設定することができ、統計の精度を求めるときに多くのイベントを取ることができる。

#### コンパレータの閾値の指定

コンパレータの閾値を超えるとヒット検出される。閾値電圧の指定は DAQ から指定することができる。

#### リセットの周期

リセットがかかるとコンパレータに蓄積された電荷はゼロに戻る。リセットの周期は DAQ から指定できる。

**確認のイメージ** PC 画面上に SOFIST のデータを二次元プロットにする。性能評価の際に確認しやすい。

### 3.3 本論文で研究する SOFIST ver.2 の試験項目

SOFIST は ILC のバーテックス検出器に向けた開発研究であり，本修士論文は以下のいくつかの項目について性能評価の結果を述べる。

#### ビームテストにおける位置分解能と時間分解能

SOFIST は ILC の衝突点から出てくる高エネルギー粒子を計測するものであり，高エネルギー粒子を計測する際に位置分解能や、時間分解能などをビームテストを行って評価した。ビームテストは SOFIST のバージョンアップに伴い，年一回の頻度で行われている。

#### タイムスタンプメモリの時間応答

タイムスタンプメモリピクセルは時間を計測する性能を持つように設計された。本研究は回路上の時間計測性能を評価する。

#### アナログシグナルメモリの電荷計測性能

SOI センサーは MIP などの信号を電気信号にし，回路を通して ADC として出力する。本研究では電荷計測性能を評価する。

#### SOI 構造と電荷収集・漏れの評価

SOFIST は SOI 技術を用いて，センサー・回路一体型にしている。回路部に BNW (Buried N-Well) を設置することでバックゲート効果の抑制ができると同時に電荷の収集・損失に影響を与える。SOFIST ver.2 では機能検証のため三つの大きさの BNW (Buried N-Well) を設置した。本研究では BNW の大きさによる電荷収集・漏れの評価を行う。

#### SOI センサー完全空乏化するモチベーションについて

SOI センサーは Bulk CMOS のセンサーに比べ，完全空乏化を実現できるという大きな特徴を持っている。完全空乏化を実現するとセンサーとして何が嬉しいかについて，解析結果に基づいて議論する。

#### SOI ピクセルセンサー SOFIST の開発について

本研究ではピクセル回路の試験を行うことでバージョンアップに向けた改善案を提出する。また，ver.2 の性能評価結果を踏まえて SOFIST 今後バージョンアップの性能について議論する。

## 第 4 章

# Fermilab で行われた SOFIST ver.2 のビームテスト

本章は 2018 年 2 月下旬から 3 月上旬まで約 2 週間に渡り，Fermilab で 120 GeV の陽子ビームの照射下で行った SOFIST ver.2 のビームテストの状況及び解析結果を述べる．

入射粒子の運動量が低いと，多重散乱の影響が大きくて無視ができない．多重散乱の影響が大きいと，ビームテストの際に，平行に配列された数枚の SOFIST においては，固有の位置測定精度を評価することができない．そこで，ILC に向けた SOFIST は，Fermilab の 120 GeV のテストビームを使って性能評価を行う．

### 4.1 実験環境

Fermilab はアメリカのシカゴ市郊外にある研究所で，現在は長基線ニュートリノ実験として素粒子の研究がされている．Fermilab のテストビームは図（4.1）に示すように，Main

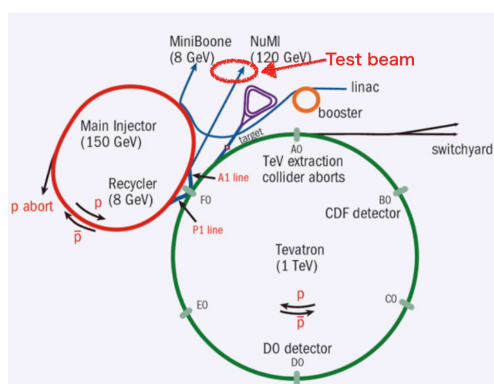


図 4.1 Fermilab の加速器（Tevatron Run 2）.

Injector において 120 GeV まで加速された陽子は，セプタムによって一部が取り出されて



Test Beam Facility でビームテストとして使用することができる。

## 4.2 実験のセットアップ

本ビームテストにおけるセットアップ全体の概観写真を図(4.2)に、セットアップの配置図を図(4.3)に示す。

SOFIST ver.2 は中間にある赤色の三枚である(図(4.3)では A、B、C)。他に同じ SOI 技術を用いた飛跡検出器 INTPIX4(図(4.3)では黄色)が四枚設置された。ビーム上流側からトリガー用の 2mm 角のプラスチックシンチレータ、トリガー用 MPPC が設置され、シグナルのあるイベントだけを抽出する。

今回のビームテストは  $500\ \mu\text{s}$  範囲内の時間分解能を評価するため、0 から  $500\ \mu\text{s}$  までをトリガーにしてヒットを検出した。

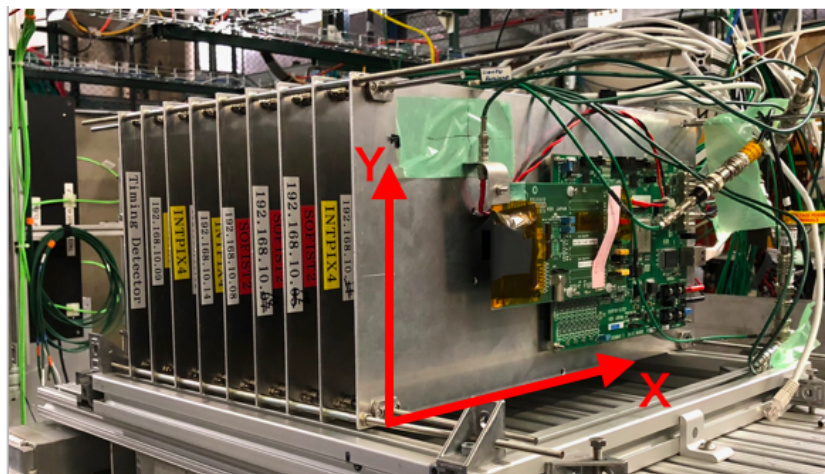


図 4.2 ビームテストセットアップの写真。

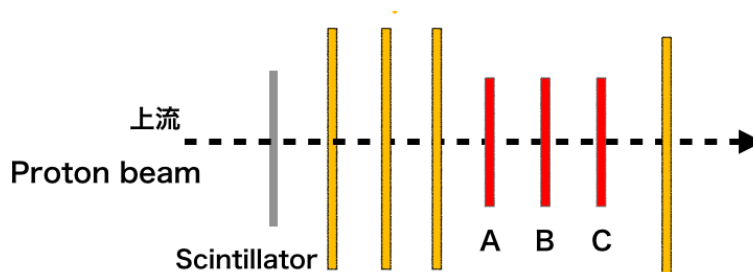


図 4.3 セットアップの配置図。

### 4.3 動作確認

120 GeV の陽子ビームが SOFIST ver.2 を通過した時のイメージ図は図 (4.4) ように示される。横軸 0 から 63 まではタイムスタンプメモリによって計測された陽子の入ったタイミングで、横軸 64 から 79 まではアナログシグナルメモリによって計測された陽子の強度である。

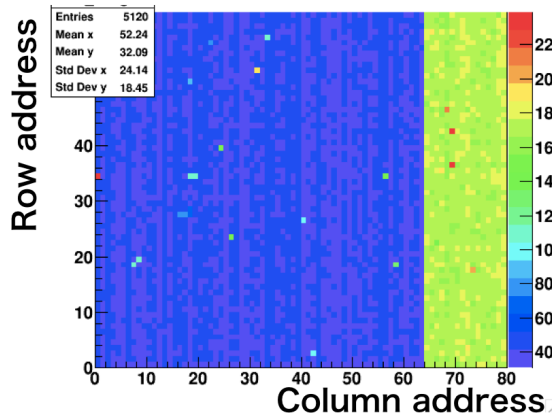


図 4.4 120 GeV の陽子が SOFIST を通過した時のイベント，タイムスタンプメモリとアナログシグナルメモリそれぞれの読みだしを示す（両種類のピクセルはペデスタルが違うので，イメージ図では色の違いから時間計測領域と ADC 計測領域がわかる）。

### クラスタのサイズ

図 (4.5) はビームテストにおいて，120 GeV の陽子を検出したクラスターのサイズのヒストグラムを示す。縦軸は対数軸なので，ほとんどのシグナルは 1 個または 2 個のピクセルしかヒットしなかったことがわかる。クラスターサイズが小さい原因は，センサー（空乏層）の厚みが  $75\ \mu\text{m}$  であることが主な原因だと考えられる。また，SOFIST 電荷収集についての評価は，第七章でレーザーを用いて評価する。

図 (4.5) のヒストグラムではクラスターのサイズが 30 から 40 までのエントリーが約 19000 個イベントの中に 10 個程度ある。テストビームから出てくる陽子にそこまでクラスターが大きいイベントもあるかどうかを確認するため，大きなクラスターにあるイベントのイメージ図を調べたのが，図 (4.6) である。一方，下図の二つのクラスターとも形が一個の MIP ではないので，宇宙線または原子核反応による二次粒子だと考えられる。図 (4.5) のヒストグラムにおいて，クラスターのサイズが大きい部分は陽子ではない可能性が大きいという結論となる。

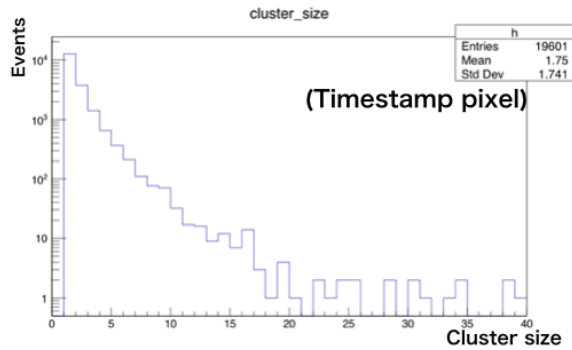


図 4.5 1 個の陽子が SOFIST を通過する際のクラスタの大きさの分布，ほとんどのシグナルが 1 個、2 個のピクセルに占めるとわかる。

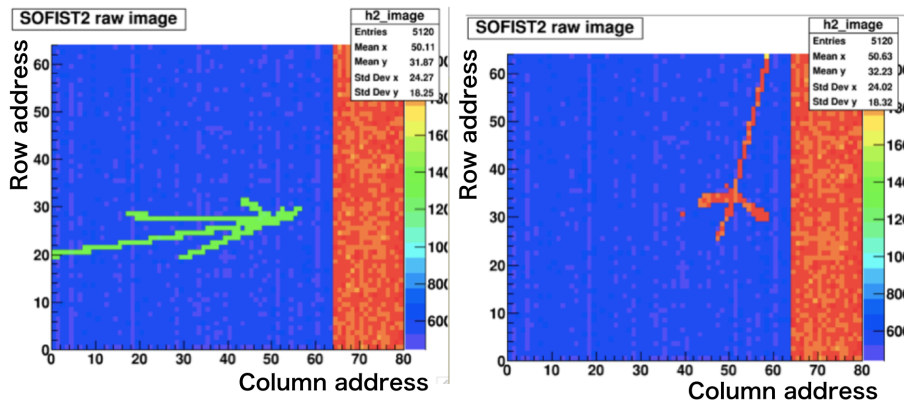


図 4.6 クラスターのサイズが大きい時の二つの例。

## 4.4 解析結果

### 4.4.1 セットアップによる各チップの位置のずれ

位置分解能を評価するためには，セットアップによる各チップの位置のずれを確認する必要がある．各チップは SEABAS ボードに装着され，ボードは金属板に固定される，そして各金属板はネジによって固定される．各チップの位置のずれを少なくするには，金属板にあるネジの穴の精度を高くする必要がある．SOFIST ver.2 のアナログピクセルの横の幅は  $400\ \mu\text{m}$  ( $16\text{個} \times 25\mu\text{m}$ )，そしてピクセルの幅は  $25\ \mu\text{m}$  なので，ネジ穴の精度を  $10\ \mu\text{m}$  程度にするように業者さんに依頼した。

ビーム粒子は検出器に対して幾何学的に直角に入射し，A 番目の検出器では横軸に  $a$  位置として検出され，そして B 番目の検出器では横軸  $b$  位置として検出されると，チップのずれ  $\Delta X$

は以下の式によって評価することができる．

$$\Delta X = \sum_{i=events} (a_i - b_i) \quad (4.1)$$

図 (4.7) と図 (4.8) は，イベント数を十分多く取って横軸と縦軸それぞれプロットした，三枚の SOFIST2 の中の二枚の相関（二次元ヒストグラム）を示す．各検出器有感領域の横幅と縦幅は同じなので，相関線では対角線になればなるほど検出器位置のずれが少なく，対角線から離れた距離は検出器位置のずれた距離となる．

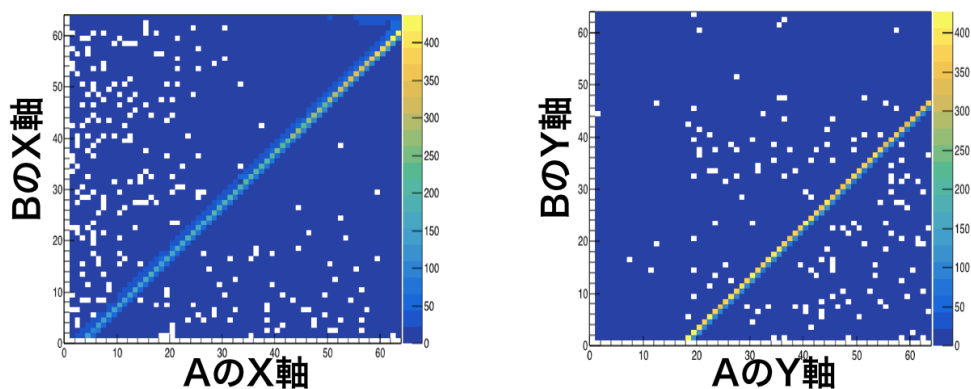


図 4.7 A 検出器と B 検出器のシグナルの相関，左と右はそれぞれ X 軸と Y 軸の相関を示す．

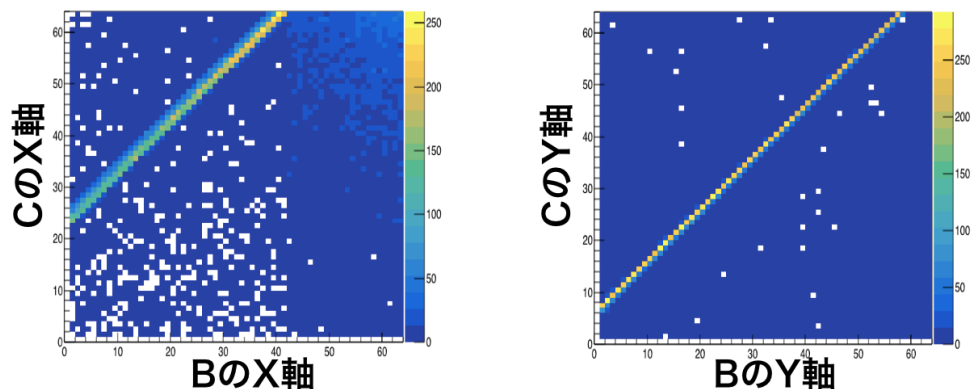


図 4.8 B 検出器と C 検出器のシグナルの相関，左と右はそれぞれ X 軸と Y 軸の相関を示す．

上の図に示される相関から，図（4.9）のように，ヒストグラム上に密集している線から，各点の座標を精密に特定し，図（4.10）のように相関を再構成した．そして，A と B、B と C のヒストグラムの相関のフィットはそれぞれ図（4.11）のようになる．

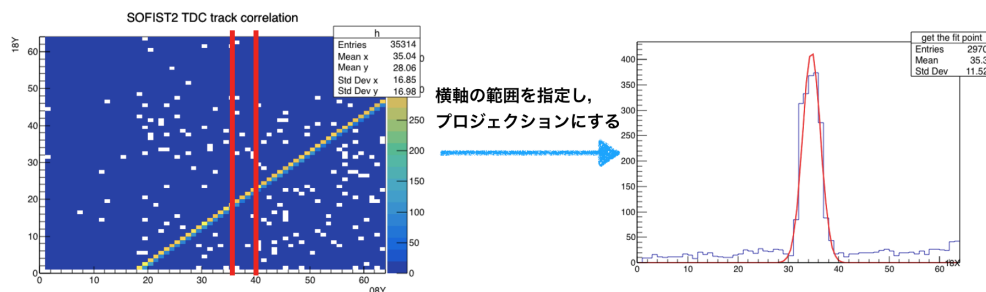


図 4.9 相関を表す二次元ヒストグラムを再構成する．

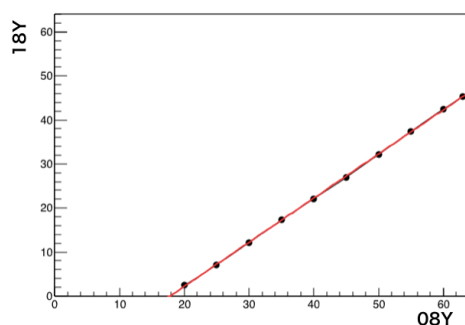


図 4.10 相関を表す二次元ヒストグラムを再構成し，場所を特定してフィットした．

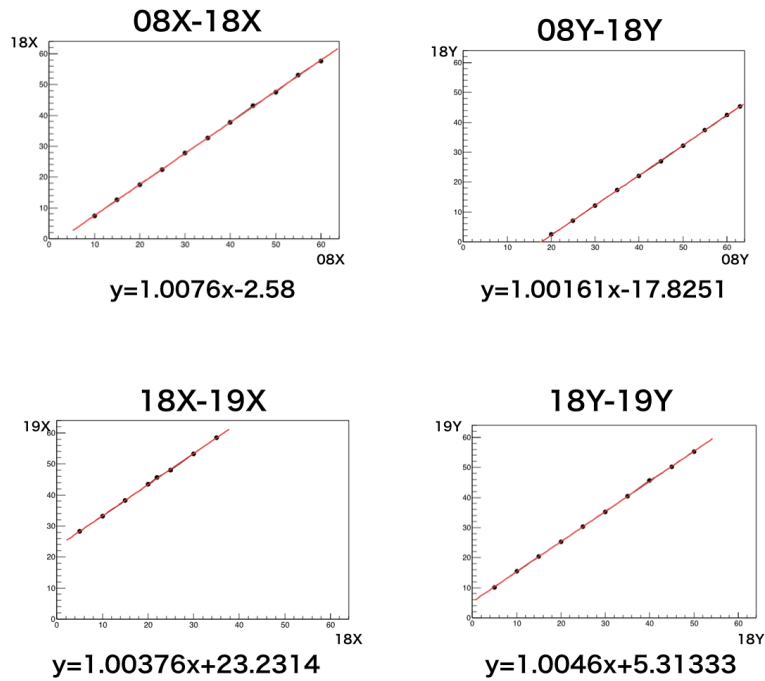
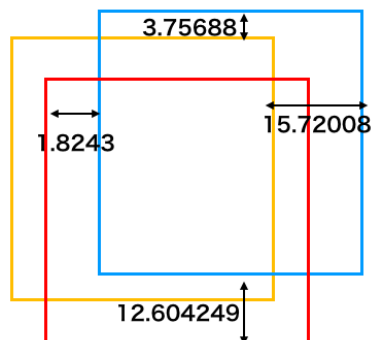


図 4.11 それぞれの相関ヒストグラムを再構成した結果.

図 (4.11) の一次関数としてフィッティングされたパラメータから、図 (4.12) のように SOFIST 三枚のチップのセットアップ図をイメージにした、これによってずれの程度がわかる。最大は  $393 \mu\text{m}$  で横にずれることもあり、ピクセル単位では約 16 個のピクセルがずれていた。アナログシグナルメモリの領域は比較的に狭く（横では 16 個のピクセル）、チップの配置に横幅が 16 個ずれると両方のチップともに通過した粒子は極めて稀だと考えられる。本章の解析結果の位置分解能について、比較に有感領域の広いタイムスタンプメモリの位置検出に基づいた解析結果を述べる。

図 4.12 アライメントによってわかった三つの SOFIST チップの位置のずれ（数字の単位はピクセルの個数,  $1 = 25 \mu\text{m}$ ）.

#### 4.4.2 位置分解能の解析結果 (preliminary)

図 (4.13) はビーム粒子が SOFIST を通過した際のイメージ図を示す。

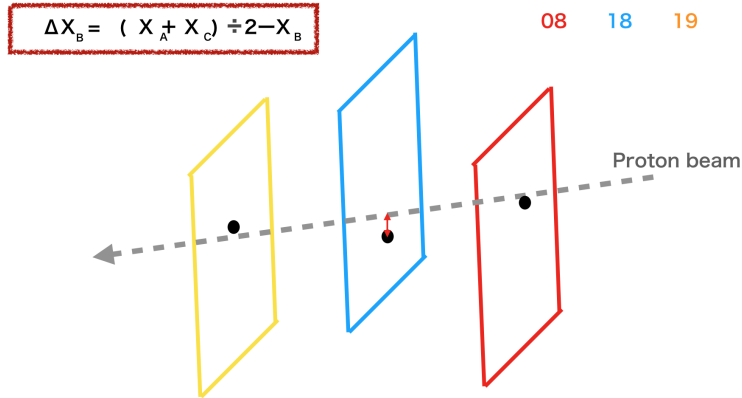


図 4.13 ビーム粒子は 3 枚の SOFIST2 を通過し、検出された位置の残差を位置分解能とする。

また、図 (4.12) のように三枚のセンサーの位置のずれた幅がわかるので、その幅の値を検出された位置に入れてアライメントし、そして、真ん中にあるセンサーの残差を位置分解能として以下の式によって得られる。

$$\Delta X_B = \frac{(X_A + X_C)}{2} - X_B \quad (4.2)$$

上式の  $\Delta X_B$  を約 30000 個のイベントで統計した結果は図 (4.14) のヒストグラムに示す。

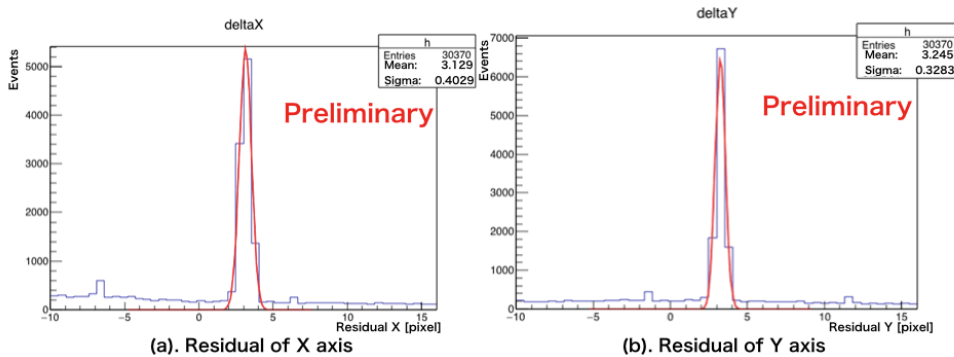


図 4.14 左図は X (横) 軸の残差、右図は Y (縦) 軸の残差 (本来は電荷量を計測するアナログシグナルメモリで電荷重心法に基づいた解析で得られる位置分解能のほうが良いが、今回はセットアップのずれという原因で比較的に有感領域の広いタイムスタンプメモリの検出位置に基づいて解析した)。

位置のシグマを  $\mu m$  単位で直すと以下のような結果となる.

$$\delta(X) = 8.4\mu m, \quad (4.3)$$

$$\delta(Y) = 6.7\mu m. \quad (4.4)$$

### preliminary の位置分解能結果についての考察

位置分解能について示した結果は, タイムスタンプメモリピクセルによってバイナリ方式で位置を測定した結果である. また, 本グループによるビームテストの解析結果のまとめは参考文献にある.

#### ・ SOFIST ver.2 のピクセル設計上について

SOFIST ver.2 のピクセルサイズは  $25 \mu m$  角であり, 原理的にバイナリ方式では  $7.2 \mu m$  の分解能を有すると考えられ, 解析結果はそれに近い結果となっている. また, SOFIST の開発はピクセルサイズ  $20 \mu m$  角を目指し, ver.1 の位置分解能の結果はすでに  $1.3 \mu m$  という位置分解能を達したことで, SOI のピクセルセンサーとしての高い位置分解能はすでに確認できたということになった. 今回の ver.2 は時間計測機能を検証するため  $25 \mu m$  角で設計したことで, ver.1 よりさらなる位置分解能は期待できないと考えられる.

#### ・ 今回の解析に用いたデータについて

この解析結果は有感領域より広いタイムスタンプメモリを搭載したピクセルの検出結果に基づいた解析であり, 位置測定用のアナログシグナルメモリピクセル (有感領域がより狭い) の結果ではない. タイムスタンプメモリは位置測定についてヒット検出しか機能せず, MIP をバイナリ方式で計測するのは, アナログ方式の測定より精度が悪いと考えられる.

#### ・ 完全的なアライメントしていない結果である

図 (4.14) の位置分解能の結果を見ると, 中心 (横軸 0 点) から約  $77.5 \mu m$  ( $3.1 \times 25 \mu m$ ) 程度で外れている, また, 縦軸がほぼ 0 イベントになるはずであったピークの中心から離れているところも二百イベント程度で広がっている. 三枚のセンサーのセットアップによる位置のずれは図 (4.11) のように再構成したので, 原理的に再構成されたヒットの検出の残差は 0 となるはずであった.

但し, セットアップによる位置のずれについて求めたパラメータの信用性について, 図 (4.7) と図 (4.8) の二次元ヒストグラムはノイズが少ないので, 位置再構成に用いたパラメータは精密だと考えられる.



今回の解析手法としては、同じイベントに三枚のセンサー全部通過した粒子のデータを全部同一の粒子であると見なし、図(4.14)のような統計的な結果を得た。本当は同一でない粒子のデータを排除しなければならない。そうするために、一緒にセットアップされた別のセンサーのデータを使えばできる。ビームテストのセットアップは有感領域がはるかに広い INTPIX4 も合わせて設置され、完全なアライメントするには、INTPIX4 のヒット検出したデータを使って SOFIST2 のデータをアライメントすれば、最後の統計的な結果は今の図(4.14)より綺麗になると考えられる。

#### 4.4.3 時間分解能の解析結果 (preliminary)

##### テストパルスで測定した TDC と時間の関係

タイムスタンプメモリの時間計測は TDC から時間情報に換算するようになっており、TDC と時間情報の関係は一次関数としてフィットすることで得られる。TDC と検出時間を得る一番簡単な方法はテストパルス入力でタイムスタンプメモリに時間を検出させることである。ビームテストの時、テストパルス入力で 0 から  $500\mu\text{s}$  まで  $50\mu\text{s}$  おきにかけてイベントを取った。テストパルス入力で測定する結果はビームテストに行く前にもできるが、ビームテストの環境は高周波ノイズなどの要素を考えなければならないので、時間と TDC の関係はビームテスト時の測定結果を使わなければならない。

図(4.15) はビームテストの環境でテストパルス入力で得られた TDC と時間情報を示す (一個のピクセルの例。  $64 \times 64$  個のタイムスタンプメモリを全部テストパルス入力で時間と TDC の関係を調べた)。式(4.5) はフィットの結果を示す。また、全体のピクセルのフィットで得られた傾きは約 4 ぐらいだった。

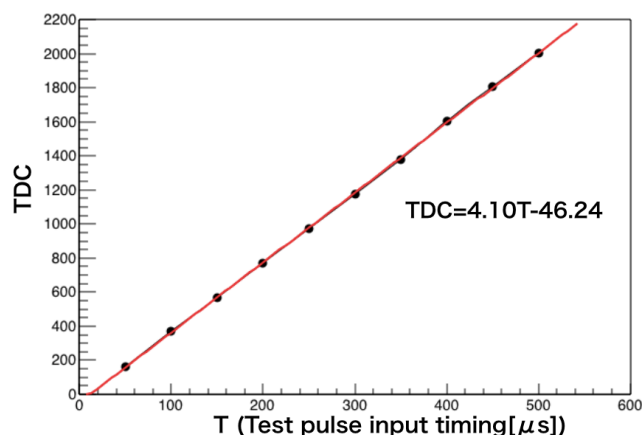


図 4.15 テストパルス入力でタイムスタンプメモリの TDC と検出したタイミングを調べた結果 (1 個のピクセルの例)。

$$TDC = 4.10T - 46.24. \quad (4.5)$$

式 (4.5) はあくまで一個のピクセルの例であり、 $64 \times 64$  個のピクセルは図 (4.16) 図と (4.17) のように個体差が示される、但し、フィッティングの式は

$$TDC = aT + b \quad (4.6)$$

として定義する．この二つの図はエントリー 4096 ( $64 \times 64$  個のピクセル) となり，すべてのピクセルの情報が入っている． $a$  を決めるのは SOFIST2 に入力するランプ波形の傾きである (この場合は  $500\mu s$  の間に  $500mV$  のランプ波形)． $b$  を決めるのは SEABAS 基板上にある抵抗の値 (簡単に調整することができる) である．

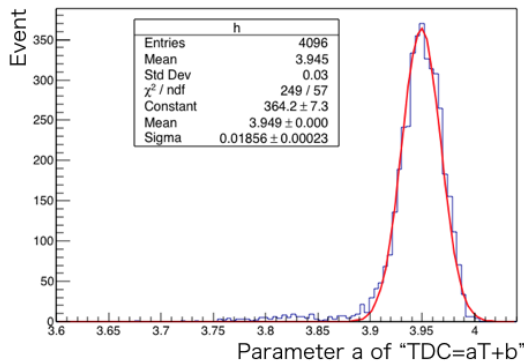


図 4.16 ピクセルの個体差 1

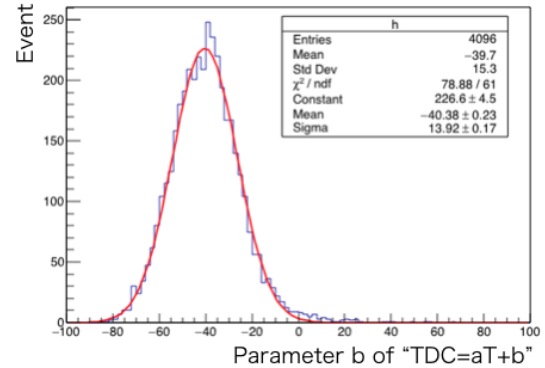


図 4.17 ピクセルの個体差 2

ヒット検出された TDC のデータを時間情報に直すには，すべてのピクセルに対応してパラメータを入れなければならない．テストパルス入力試験で得られた各ピクセルのパラメータを用い，検出された TDC をどのピクセルかを全部特定して補正した．

図 (4.18) は二つのセンサーで検出した粒子のタイミングの相関を示す，粒子が各センサーを通ったときは同時だったので，時間の相関は両センサーによって測定された TDC による時間情報が一致していることを示す，この相関図からきちんとデータを取れたことがわかる．

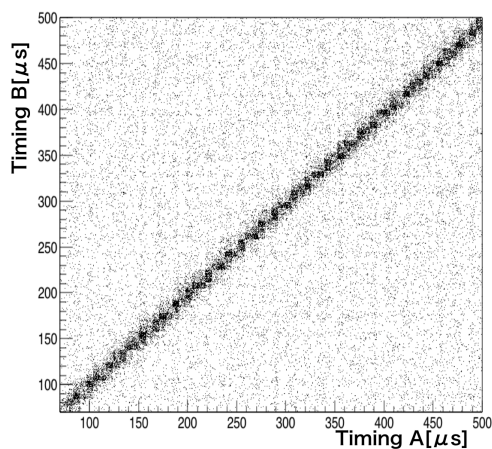


図 4.18 A センサーと B センサーの TDC の相関.

図 (4.19) は時間分解能についての解析結果を示す. この時間分解能の結果は, A センサーと B センサーの検出した TDC を時間に直した後の残差である. シグマは  $5.07 \mu s$  という結果が得られた, チップ一つあたりの時間分解能は  $\sqrt{2}$  でわることになる. つまり, この解析結果では時間分解能が  $3.58 \pm 0.09 \mu s$  という結果が得られた.

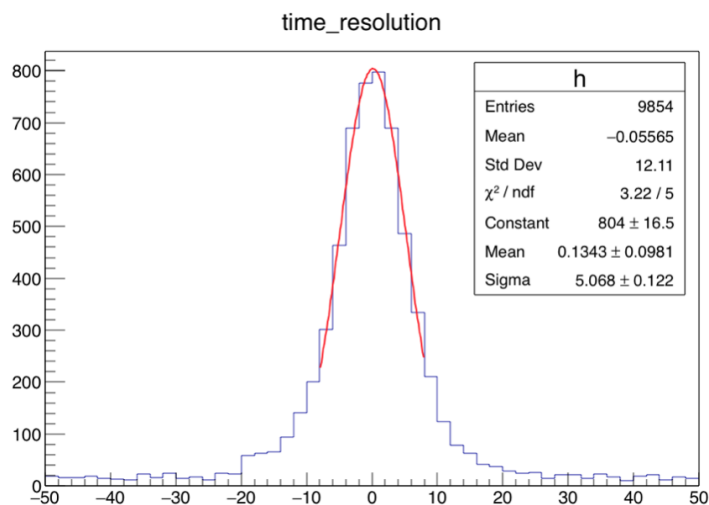


図 4.19 時間分解能 (二枚のセンサーの TDC の残差).

## preliminary の時間分解能結果についての考察

- ・ 完全的なアライメントしていない結果である

前述（位置分解能についての考察）の通り，同一でない粒子も同一と見なし統計データに回したので，最後の時間分解能解析結果が落ちることになる．それと，位置分解能の解析結果（図（4.14））の中心が 0 から大きく外れているのは，アライメントが十分されていないためと考えられる．

- ・ ビームテストデータの選びについて

今回のビームテストでは，約 10 日間分のデータを取得した，中にはノイズがより多いデータがあると考えられる．

- ・ ビームテスト環境の影響について

加速器周辺は普通な環境より高周波ノイズが多い，高周波は半導体検出器にノイズを与える，これについては，次章で議論する．

## ビームテストの結果について

同グループによるビームテスト解析結果のまとめは参考文献を参照する [13]．

## 第 5 章

# ピクセル回路の動作試験

本章は SOFIST のタイムスタンプメモリとアナログシグナルメモリの読み出し動作試験の結果を述べる．テストパルスを入力することで時間計測性能と位置計測性能を評価する．SOFIST の動作試験結果を踏まえ、性能を理解し、前章に述べたビームテスト結果の考察を行う．

### 5.1 実験環境

本測定の場合は KEK の実験室（放射線管理区域外）で、ビームテスト時の Fermilab と比べて高周波などの環境的ノイズが比較的に小さいところである．

本動作試験の手法は、FPGA でテストパルスを作って SOFIST に入れることで、SOFIST の時間測定と位置・電荷量測定の性質を理解することである．テストパルスは基板からピクセル回路にかけた電気信号なので、センサーを通さない．テストパルスをチップに入力するには、チップのテストパルス入力モードへの変更と DAC 制御が行い、指定された電圧とタイミングのテストパルスを入力することができる．テストパルス入力は 4 カラムおきに設定できる．入力設定するカラムは、4 ビットのデータ入力で実施する．

0bit : Column  $4n$  ( $n=0,1,2, \dots$ ) にテストパルスを入力．

1bit : Column  $4n + 1$  ( $n=0,1,2, \dots$ ) にテストパルスを入力．

2bit : Column  $4n + 2$  ( $n=0,1,2, \dots$ ) にテストパルスを入力．

3bit : Column  $4n + 3$  ( $n=0,1,2, \dots$ ) にテストパルスを入力．

よって、指定されたカラムにテストパルスを入力することができる．また、入力するテストパルスのタイミングは 200 ns 刻みで設定できる．設定されたタイミングは、STORE(START/STOP) 開始からの遅延時間となる．そして、入力電圧（テストパルスの振幅）は 1.6 mV 刻みで設定できる．

図(5.1)と(5.2)は各タイミングでまたは各電圧でテストパルス入力した時の二次元ヒストグラムを示す。図(5.1)は時間遅延が違ふときのタイムスタンプの読み出しの動作を示す。図(5.2)はテストパルスの電圧が違ふときのアナログシグナルの読み出しの動作を示す。

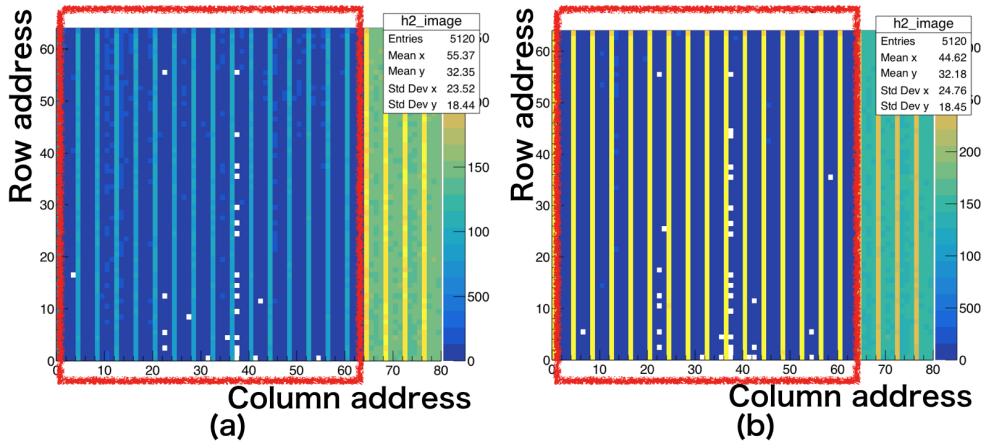


図 5.1 二つのタイミングにおけるタイムスタンプメモリ読み出しの比較 ((a) は低い時間領域で, (b) は高い時間領域にした。4 列おきでテストパルス入力し, 色の違いでタイムスタンプの読み出しがちゃんと動作することがわかる)。

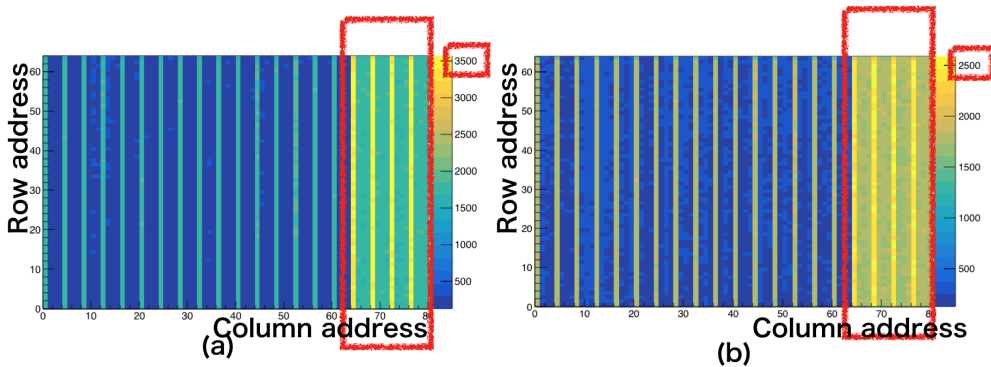


図 5.2 二つの電圧におけるアナログシグナルメモリ読み出しの比較 ((a) は高い電圧で, (b) は低い電圧にした。4 列おきでテストパルス入力し, (a) の ADC は約 3500, (b) の ADC は約 2500)。

## 5.2 タイムスタンプメモリの読み出し

テストパルスとトリガーのタイミングは図(5.3)に示す。NIM モジュールから  $1000\ \mu\text{s}$  のトリガー（黄色）を作り，SOFIST に入れる。FPGA で作ったテストパルス（青色）がトリガーの範囲内にあれば信号が検知できる。SOFIST は周波数  $500\ \text{Hz}$  以上のトリガーになると検出効率が下がり，検出できなくなることがあるので，本測定トリガーは  $100\ \text{Hz}$  にした。赤色の線はリセットのタイミングを示す，リセットの周期は  $4\ \mu\text{s}$  で，リセット範囲外にテストパルスが入れば検出できる。

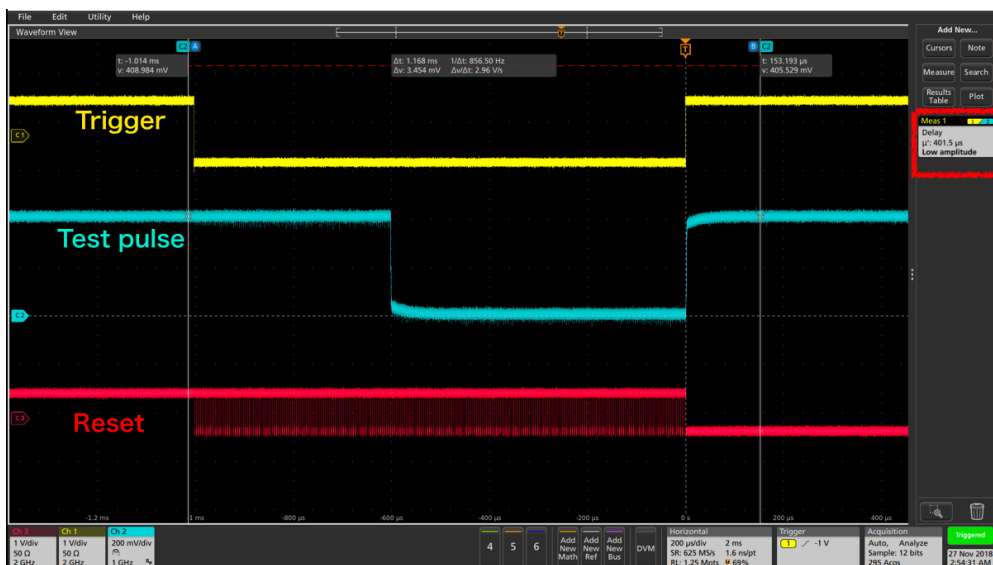


図 5.3 テストパルスの出力タイミング ( $451.5\ \mu\text{s}$  の時の例)。

図(5.3)のテストパルス（青色）は入力したコマンド通りのタイミングになったかを確認するため，サブボードにあるテストパルス出力のジャンパーピンをプローブで接続し，FPGA で作ったテストパルスをモニターする。テストパルス出力タイミングは  $1000\ \mu\text{s}$  のトリガー範囲内の全時間域において，FPGA で指定した時間より約  $0.5\ \mu\text{s}$  遅延している，そしてジッタのブレは約  $500\text{ns}$  だった。それに，テストパルスの立ち下がりが”直角”ではないことがわかる，この波形では測定結果の精密性に影響すると思われる。

### 測定可能な時間範囲

SOFIST ver.2 の時間計測では，サブボードからランプ波形を作って SOFIST のタイムスタンプメモリに入力し，信号が入ったタイミングにランプ波の高さをキャプチャーすることで時間計測ができるようになるという仕組みである。 $1000\ \mu\text{s}$  以降ではランプ波が上がらないため，時間計測不可となる。

### 5.2.1 タイムスタンプ時間測定の線型性試験

#### 読み出し値とタイミングの関係

タイムスタンプの時間読み出し値（TDC）は、実際のタイミングと一次関数の関係となる。トリガーの  $1000\ \mu\text{s}$  の範囲内に一定な傾きを保つかどうかを確認するため、各タイミングのテストパルスの測定結果を一次関数にフィットした。

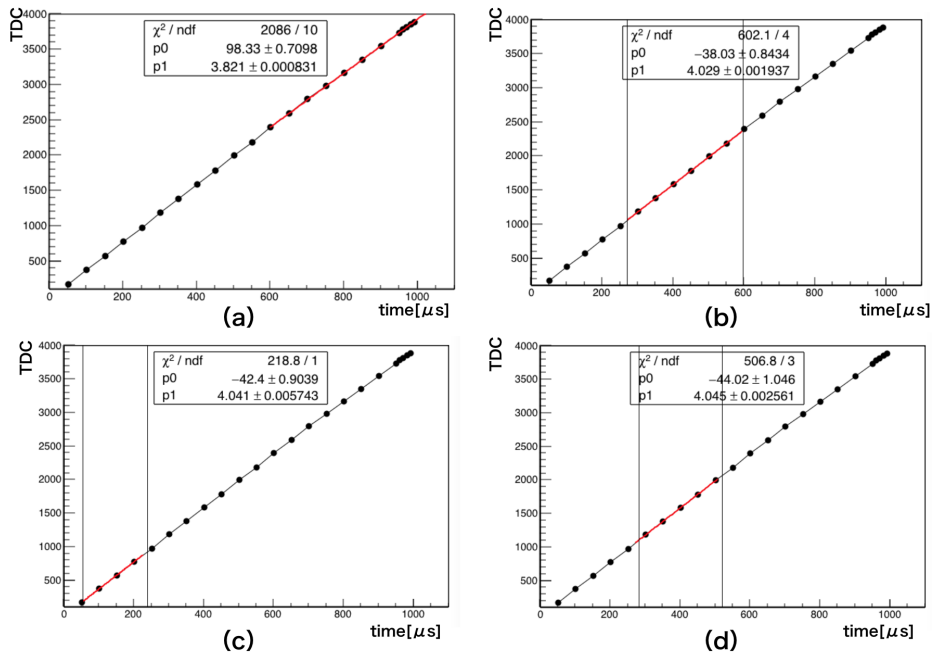


図 5.4 テストパルスで時間応答の線型性を測定した結果のフィット

図 (5.4) は約  $50\ \mu\text{s}$  から約  $990\ \mu\text{s}$  まで、 $50\ \mu\text{s}$  置きにフィットしたグラフである、四つのグラフは同じデータを使い、四つのフィット範囲でフィットした結果を示す。傾きは全時間域において保つかどうか、そしてもし線型性が悪くなるとしたらどこまでが保たれるかを確認するため、“一番前”、“中間”、“後ろ”の時間域をそれぞれフィットして、比較した。

結論は、後ろの部分を選択してフィットした結果（傾き  $p1$  の値）だけが三つと違ったため、本試験は前の時間域（ $50\ \mu\text{s} \sim 400\ \mu\text{s}$ ）を基準としてフィットし、線型性の評価を行う。

図 (5.4) の (c) のフィッティング範囲を時間応答の線型性が保つ時間域と仮定し、時間  $time$  と TDC の関係は以下の式と表す。

$$TDC = 4.041 \times time - 42.4 \quad (5.1)$$



## 線型性のずれ (残差)

フィットした関数の線から、各プロットした点がどれくらいずれたかを確認するため、図 (5.5) のようにまとめた。線型性からのずれを  $\mu s$  単位の時間単位で議論するため、横軸は時間  $[\mu s]$  で、縦軸は残差  $[\mu s]$  にした。青色の線はフィットで得られた関数と示す、ここは 0 という基準にする。図 (5.5) は  $50 \mu s$  から  $250 \mu s$  までフィットした関数と各プロットの残差を示す。

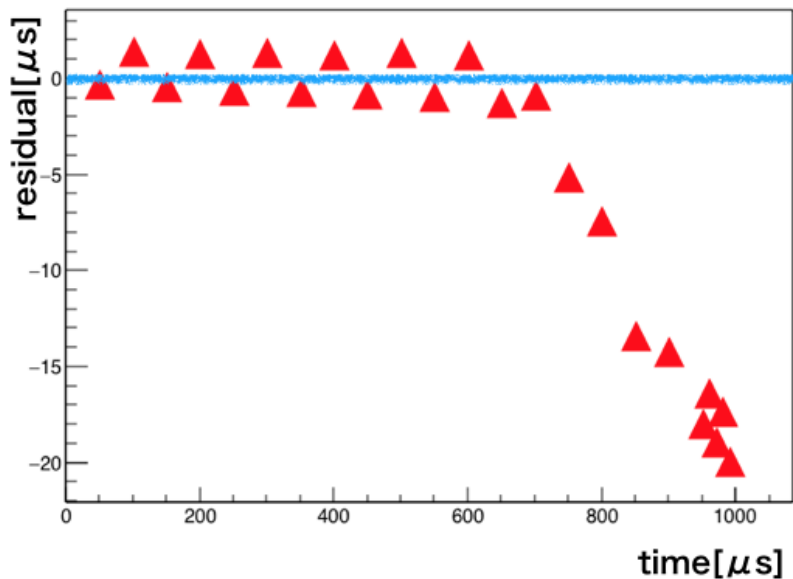


図 5.5 フィッティングで得られた式 (5.1) と各プロットの残差。

**700 から  $1000 \mu s$  までの範囲** 約  $700 \mu s$  から時間応答の線型性が悪くなることが示された。 $550 ns$  の時間分解能を目指す SOFIST にとって、時間応答性が  $10 \mu s$  から  $20 \mu s$  まで外れるのは時間計測性能が悪いということである。ただし、 $700 \mu s$  までの時間精度は非常にいいと示される。

**0 から  $700 \mu s$  までの範囲** 0 から  $700 \mu s$  まででは、青色の線から各プロットが上下  $1 \mu s$  ずれることが示された。それについての考察としては、図 (5.6) のようにタイムスタンプのサンプリングは COMP \_\_ EN (本測定では  $4 \mu s$ ) の立ち上がりに同期し、 $4 \mu s$  おきにステップとして上がるようになる、そして、本測定で測定したタイミングは  $51.5 \mu s$ 、 $101.5 \mu s$ 、 $151.5 \mu s$ 、... のような規律性があるタイミングで、これらのタイミングはタイムスタンプにおいてそれぞれ立ち上がりの直後、立ち上がりの直前となる (図 (5.7))。COMP \_\_ EN と同期されたタイムスタンプメモリは今回の試験で  $4 \mu s$  おきに立ち上がるように設定したので、時間応答のフィットから上下  $1 \mu s$  ずつずれることがあると考えられる。

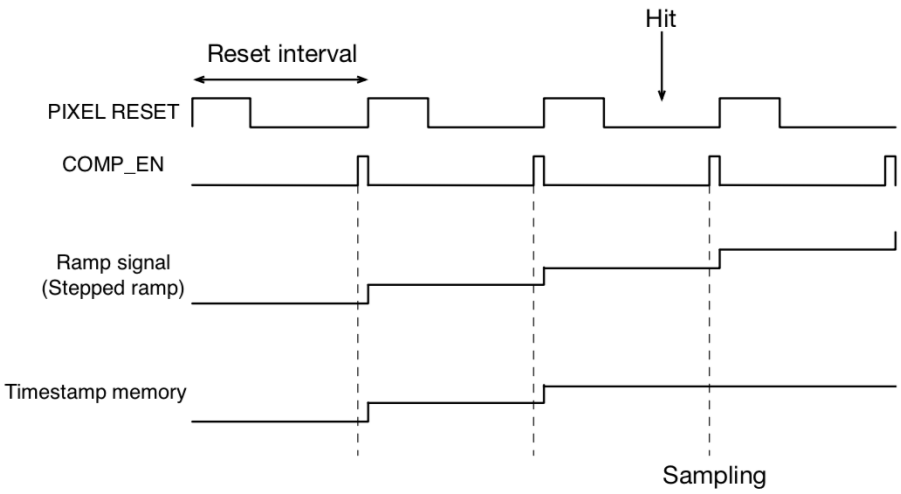


図 5.6 タイミングチャート（今回の場合では、タイムスタンプの立ち上がりは  $4\mu\text{s}$  おき）、最短ではリセット周期を  $2\mu\text{s}$  まで設定することができる。

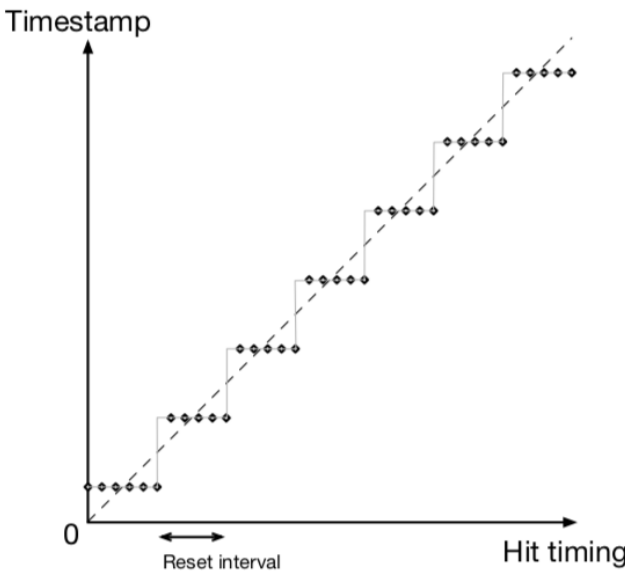


図 5.7 タイムスタンプで時間計測する時の原理，タイムスタンプはリセット周期おきにデータを取る．例えばリセット周期が  $4\mu\text{s}$  に設定する場合，タイムスタンプは  $4\mu\text{s}$  おきに TDC を取り， $4\mu\text{s}$  以内においてどのタイミングでも同じ TDC が出力される。

### 5.3 時間応答の線型性が悪くなる原因

図(5.5)に示すように、約  $700\ \mu\text{s}$  以降は明らかに読み出し値が線型性からずれる、フィットされた関数の下にあるので、傾きが落ちていることがわかる。高い時間領域の時間応答の線型性が落ちる原因を、以下の三つの場合で考える。

#### ランプ波形の性能

一つ目は SOFIST に入力ランプ波形の線型性が悪いことが考えられる。図(5.8)は人工的に作った悪いランプの例を示す。SOFIST に使うランプ波形は FPGA で作り、基板から SOFIST に入力するという仕組みとなっており、もし基板の電気信号で作ったランプの性能が図(5.8)のようになれば、時間計測するときも後半において保持された電圧値の出力がそのまま影響が与えられることになる。

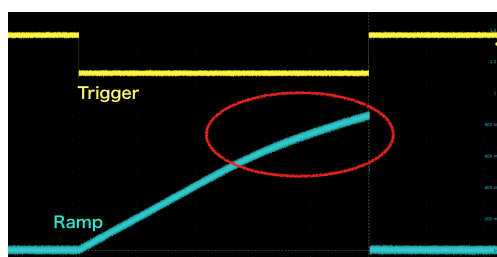


図 5.8 Function generator で作った悪いランプ波形の例（後半が”曲がる”）。

基板のランプ波形が時間応答線型性の悪化の原因だとすると、外部から Function generator で同じようなランプ波形を作って入力すれば時間応答の残差に後半が悪化しないと考えられる。SOFIST を搭載するサブボードの設計では、図(5.9) 外部からランプ波形を入力することができる。

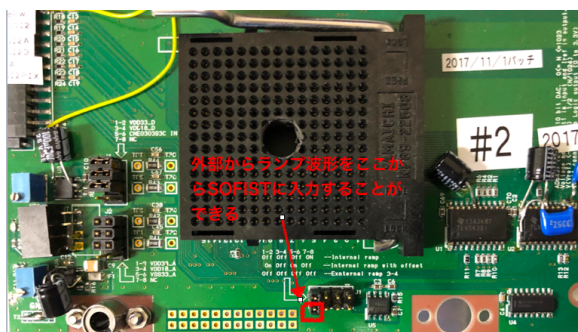


図 5.9 サブボードの写真（ランプ波形入力する）

図(5.10)のように function generator で 1ms 間隔で 1V 上がるようなランプ波形を作って SOFIST に入れ、前節と同じような時間測定を行なった。図(5.11)は前節と同じ手法で残差をプロットした結果を示す。このように、 $600\mu\text{s}$  以降時間応答の線型性になる結果は、外部ランプ波の入力でも同じとなった。時間応答線型性が悪くなるのは、SOFIST を搭載した基板で作ったランプ波形が原因ではないという結論が得られた。

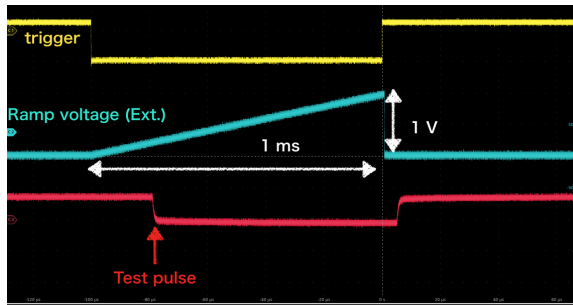


図 5.10 function generator で作った 1ms 間隔で 1V 上がるようなランプ波形を SOFIST に入れた（トリガーと同期された）。

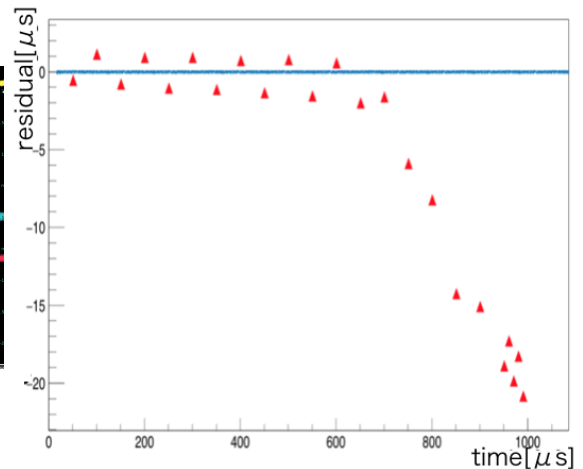


図 5.11 ランプ波形外部入力ときの時間応答性を表す残差。

## アンプの増幅性能

タイムスタンプメモリの時間計測原理は前の章で述べた通りに、コンパレータが動いたタイミングにランプの電圧値が保持され、出力されるようになっている。図(5.12)のように、ランプ波形の電圧値は出力される前に出力アンプによって増幅される。ランプ波形は時間につれて上がるように設計されているので、検出するタイミングが遅ければ遅いほど保持されたランプ電圧値が高い。つまり、時間応答の残差に後半線型性が悪くなる原因は、より高い電圧のとき、出力アンプのゲインが下がり、増幅倍数が減ることだと考えられる。

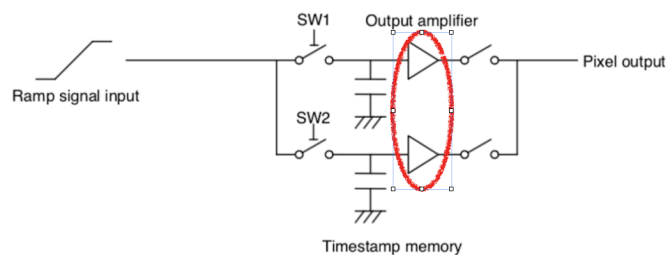


図 5.12 ピクセル回路に搭載されているアンプは高い電圧領域においてゲインが下がると考えられる。

出力アンプの増幅性能を評価するには二つの試験から調べた。

一つ目の試験では、1ms 間隔で 800mV のランプ波形を function generator で作って SOFIST に入れた。普段は 1V まで上がるようなランプ波形に対して、今回は図 (5.13) のように 800mV まで上がるランプ波形にした。アンプランプ波形の電圧値を低くすると、出力アンプに入力するアンプ電圧値が低くなるため、時間応答線型性の残差結果が変わると思われる。そして、前の時間線型性の残差の結果では、600 $\mu$ s から線型性が悪くなるように示された。本来は 1000 $\mu$ s のトリガーに対して 1000 $\mu$ s の間隔で 1V まで上がるようなランプ波形で時間計測するので、600 $\mu$ s の時に対応したランプ電圧値は 600mV だと考えられる。アンプランプ波形の電圧値を低くすると、同じく 600mV から線型性が崩れる可能性があると考えられる。

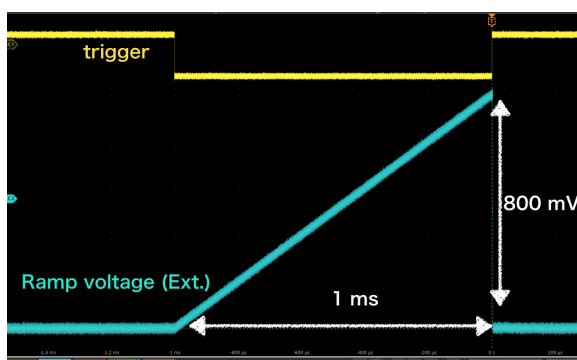


図 5.13 function generator で作った 1ms 間隔で 800mV 上がるようなランプ波形を SOFIST に入れた (トリガーと同期された)。

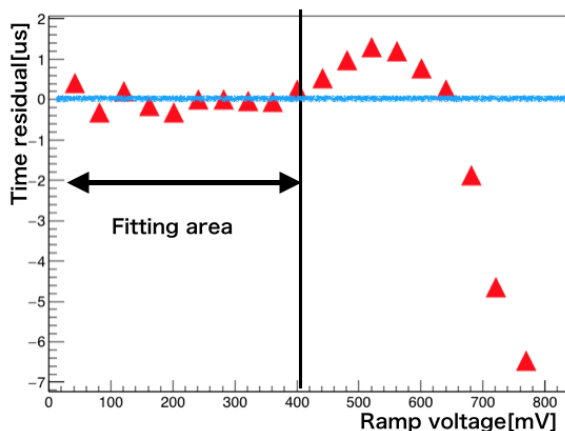


図 5.14 ランプ波形外部入力ときの時間応答性を表す残差 (横軸はランプ電圧値、縦軸は残差 [ $\mu$ s])。

図 (5.14) は時間応答の線型性の残差を示す、前の結果と比較するため、横軸は時間からランプ電圧値に直した。フィッティングの範囲は 400mV までにし、明らかに線型性が落ちるのは前と同様に、ランプ波高にして 600mV からのようにふるまう。

二つ目の試験は、後に述べるキャパシタによるリーク電流の考慮を入れた出力アンプの評価テストである。もしアンプ増幅性能が線型性の悪くなる原因ではなく、リーク電流が原因だとすると、図 (5.15) のような逆なランプ波形 (下がる形) を SOFIST に入力して測定を行なった結果は、線型性から外れた残差は図 (5.14) と左右対称にならないはずだと考えられる。逆に出力アンプの増幅機能が問題なら、図 (5.14) と左右対称のように残差が示されるはずである。

図 (5.16) は逆ランプ波形による時間測定の線型性からの残差をプロットした図である。このように、残差は前の結果と左右対称になり、出力アンプのゲインが下がることを確かめた。

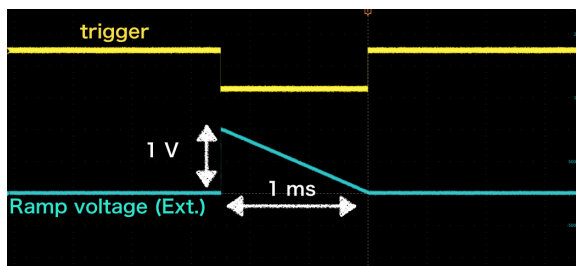


図 5.15 トリガーと同期した普段と逆になっているランプ波形 (1 ms の幅において 1 V), SOFIST に入力する。

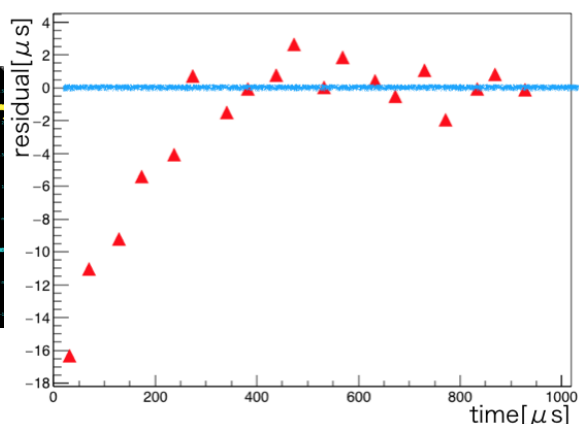


図 5.16 逆ランプ波形外部入力ときの時間応答性を表す残差。

## キャパシタによるリーク電流

SOFIST のピクセル読み出し方式は、グローバルシャッターである。トリガーが終わってからすぐ読み出しが開始されるが、ピクセルごとの読み出し時間が違って、隣接するピクセルに 200ns 程度の読み出し時間差がある。本測定で用いたピクセルは、トリガー終わってから読み出されるまで  $400\mu s$  の遅延があるピクセルである。

コンパレータが動いてランプ電圧値が保持される際に、電荷は一旦図 (5.17) に示されるキャパシタに蓄積される。読み出すタイミングになると SW がオンからオフとなり、キャパシタに蓄積された電荷が出力される。キャパシタは放電する特性を持っており、読み出すまでに時間が長いほど放電した分（リーク電流）が多くなる。計測された時間情報はアナログ出力の形なので、微小な電荷の漏れは時間精度に影響を与える。読み出すまでの時間においてキャパシタは放電し続けるため、保持されたランプ電圧値に影響を与えて時間応答の線型性を悪くする可能性がある。

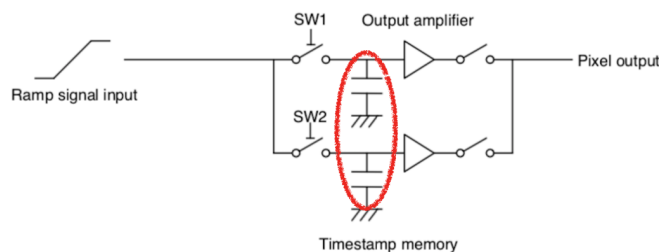


図 5.17 キャパシタの放電によるリーク電流。

今までは時間情報が得られるため、上がるようなランプ波形を用いたが、本テストは図(5.18)のような方形波を SOFIST に入れた。保持された電圧値が高いと出力アンプの影響があると思われるため(特に 600mV 以上の場合)、方形波の振幅は 250mV のように比較的の低い電圧値にした。実験方法としては、テストパルスで 0 から約  $1000\mu\text{s}$  のタイミングに入力し、出力された ADC のプロットは図(5.19)となる。

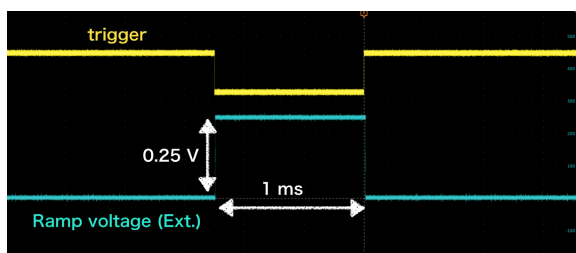


図 5.18 function generator で作った方形波を SOFIST に入れた(トリガーと同期された)。

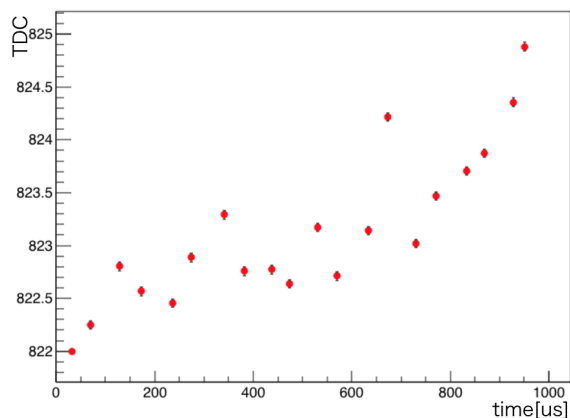


図 5.19 方形波の電圧値を各時間で測定した値をプロットした、電圧値を保持したタイミングが違うと、読み出すまでの時間が違い、キャパシタによる放電した分も違うことになる。

今回はランプ波ではなく、方形波であるため、原理的に出力 ADC はどの時間域においても同じ値になる。図(5.19)のように、低い時間域の ADC が比較的に低く、高い時間域の ADC は高いと示された。タイミングが前になればなるほど読み出すまでの時間が長く、その間にキャパシタに蓄積された電荷が放電してしまい、出力 ADC が低いということが図(5.19)から示された。

この測定では時間域によって読み出し ADC が違うということは示された、ただし、図(5.19)のデータはあくまで 3 channel (4 channel  $\approx 1\mu\text{s}$ ) 以内の範囲で、一方、時間応答線型性のずれは  $20\mu\text{s}$  程度のずれであった。結論として、本測定ではキャパシタによるリーク電流は時間の精度に影響を与えるが、時間応答線型性への影響は最大でも約 700 ns 程度のずれしか与えないため、時間応答線型性が悪くなる主な原因にならないことがわかった。

### まとめ

本試験は三つのテストを行い，以下のようにアンプの増幅性能が時間応答の線型性が悪くなる原因だと結論した．

1. ランプ波を外から入力した結果，基板からのランプ波の結果と同じのため，基板で作ったランプ波形は原因ではない．
2. ランプ波形の形を変えると，出力 ADC はゲインが下がるように反映されるので，アンプ増幅のゲインが下がるのが原因だと考えられる．
3. キャパシタによるリーク電流は 700ns 以内の範囲内で出力 ADC へ影響与えることを確認したが，700ns は小さいので全体的な時間応答性に影響がほとんどないと考えられる．

#### 5.3.1 時間応答線型性の補正

SOFIST の時間計測性能を向上するには，ピクセル回路を改善するほかにフィッティングから補正する手法もある．図（5.20）は時間応答線型性の残差を 700 $\mu$ s から 900 $\mu$ s までフィットした結果を示す．

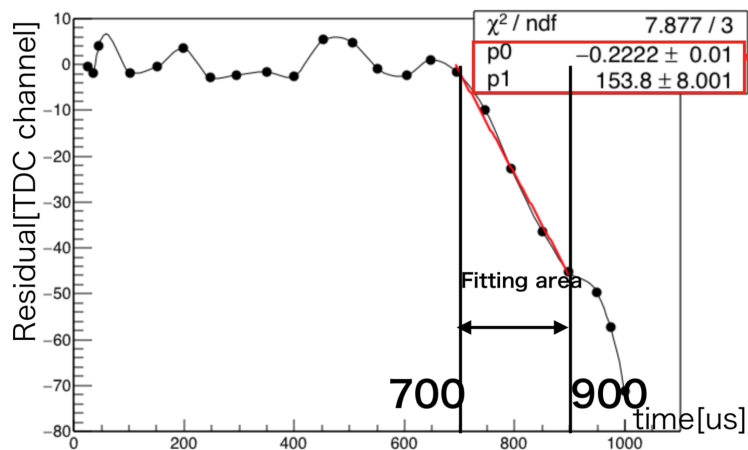


図 5.20 時間応答線型性の残差を 700 $\mu$ s から 900 $\mu$ s までフィットした結果．

図（5.20）に示すように，700 $\mu$ s から時間応答の線型性が悪化するが，900 $\mu$ s までキレイにフィットすることができる．フィッティングで得られたパラメータ p0 と p1 を，0 から 700 $\mu$ s までのフィッティングで得られた関数に代入し，以下の式のように TDC と time の関数を補正することができる．



$$TDC = 3.957time - 35.49; (0 \sim 700\mu s) \quad (5.2)$$

$$TDC = (3.957 + p_0)time - 35.49 + p_1 \quad (5.3)$$

$$= 3.735time + 118.31; (700 \sim 900\mu s) \quad (5.4)$$

上式により，補正した時間応答線型性を示す残差は図（5.21）に示す．

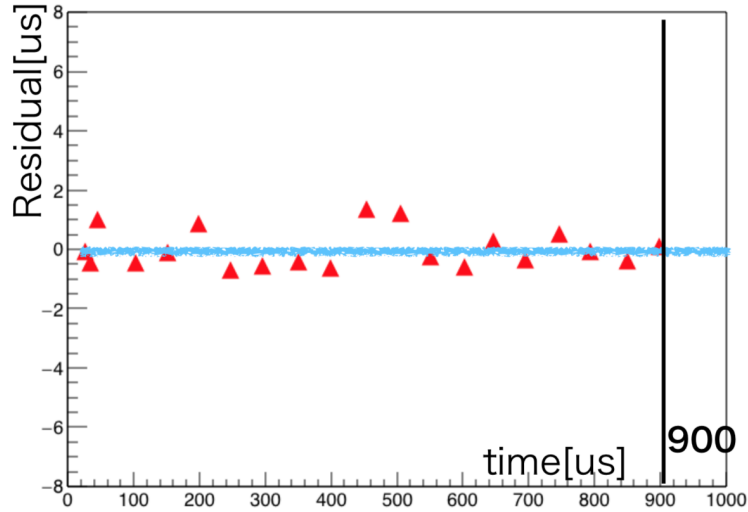


図 5.21 補正した時間応答線型性を示す残差．

このように， $900\mu s$  以内にキレイな線型性を持つことができる．ILC のビームバンチは各  $200\text{msec}$  ごとに  $1300$  個のビームバンチがあり， $1300$  個のビームバンチの時間的な長さは約  $720\mu s$  である． $900\mu s$  以内に時間計測することができる SOFIST ver.2 は， $720\mu s$  のバンチに対して十分だと考えられる．

## 5.4 テストパルス入力時の時間精度

図(5.22)はテストパルス入力で「ピクセル回路部」の位置分解能を示す。テストパルス入

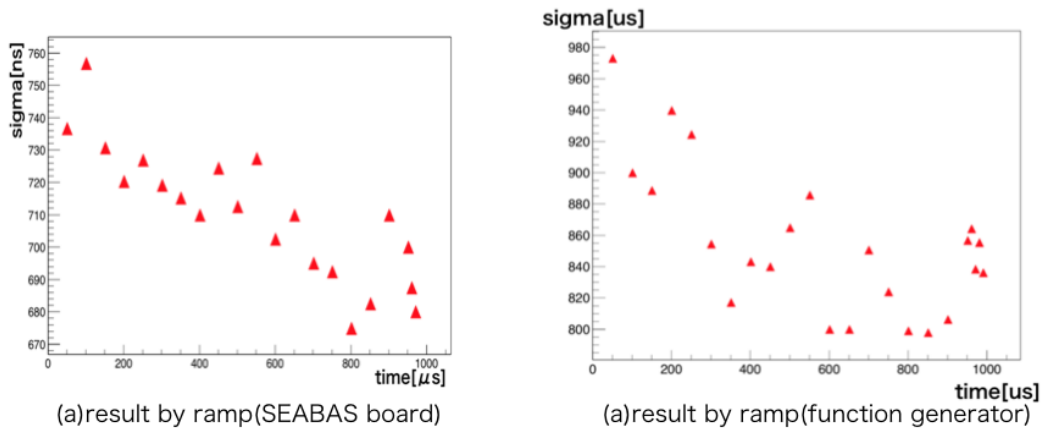


図 5.22 テストパルス入力による各時間における時間精度 (TDC 分布の Sigma), (a) は FPGA で作ったランプ波を基板から入力した時の結果, (b) は Function generator で作ったランプ波を基板に繋げて入力した時の結果.

力で出力された TDC の分布のシグマを, それぞれの時間域にプロットした. また, 比較するため, (a) と (b) はそれぞれ SEABAS 基板からのランプ波と function generator からのランプ波入力に基づいた結果である.

図(5.22)のように, SEABAS 基板のランプ波に基づいた TDC のシグマは  $710\text{ns} \pm 30\text{ns}$  と示され, function generator のランプ波の場合の TDC シグマは  $870\text{ns} \pm 70\text{ns}$  という結果となった. function generator によるシグマが全体的に大きいのは, よりノイズが大きいと考えられる. また, 二つの結果ともに時間域の変化についてシグマが小さくなるような変動性が示されている. この原因については,  $710\text{ns}$  前後と  $870\text{ns}$  前後はスケールが違うため, センサー自体の時間精度に変動性がないと考えられ, テストパルスのジッタが後の時間域になると小さくなるためと考えられる.

## 5.5 ビームテスト時間分解能についての考察

現段階のビームテストの解析で得られた時間分解能の結果は、テストパルス入力時の時間精度 700ns には及ばない。この章ではビームテストの時間分解能解析結果が 700 ns より悪い原因として、環境的な可能性を述べる。

### 5.5.1 外部ノイズを入れた時の時間精度

#### 実験目的

ビームテストの環境では、ハドロンビームによる高周波ノイズが SOFIST に電気的なノイズの影響を与えた可能性があると考えられる。具体的には、基板から SOFIST にランプ波を入力する際に、ランプ波形に高周波ノイズが乗ると、TDC の分布が広がることになり、時間分解能が悪くなる。

#### 実験方法

実験方法は、function generator で高周波のノイズを作り、ランプ波形と整合して SOFIST に入れる。そして測定した TDC 分布のシグマはどのように広がるかを調べることで、ビームテストの環境によって時間分解能が悪くなることを再現する。

ランプ波形と高周波ノイズを合成するには、図 (5.23) のような回路でインピーダンスを整合する必要がある。それに、このような回路では出力信号の振幅は入力信号の振幅の半分になるので、入力信号はあらかじめ 2 倍にする必要がある。

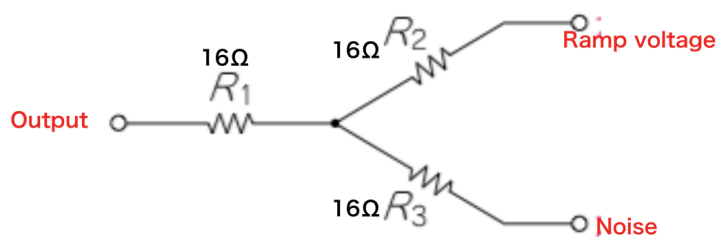


図 5.23 インピーダンス整合回路。

図 (5.24) は 1ms の間隔で 2V まで上がるランプ波形と高周波ノイズを統合した“ノイズの乗ったランプ波形”を示す。このようなランプ波形を SOFIST に入力し、テストパルス入力 で TDC を測定した。また、高周波ノイズを調整して TDC の分布がどのように変わるかを調べた。

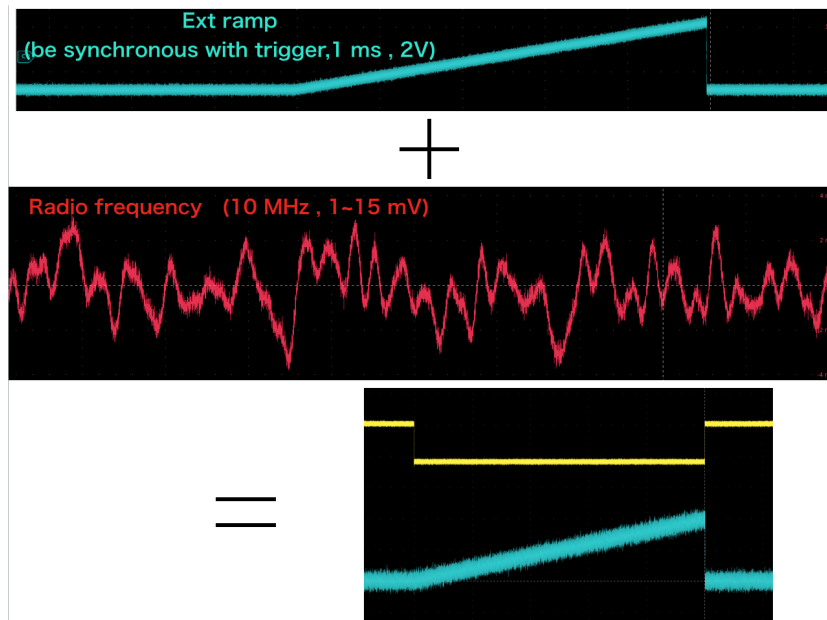


図 5.24 高周波ノイズの加わったランプ波形をオシロスコープで確認した様子。

### 実験結果

高周波ノイズの時間精度への影響については、周波数とノイズの振幅（rms）によって変わる。周波数を高くすればするほど TDC のシグマが大きくなる、ノイズの振幅も大きくすれば TDC シグマが大きくなる。図（5.25）は 1MHz の時にノイズ振幅が 11mV の TDC の分布を示す。本来ノイズのない TDC 分布ではシグマが約 2.8 TDC channel（テストパルス入力の結果）だったが、このような高周波ノイズが乗ると TDC 分布が広がり、シグマが 6 TDC channel ぐらいになることもなりうることを確認した。

### 本測定とビームテスト結果の関係について

高周波ノイズがランプ波形に影響を与えると、電氣的ノイズによってペDESTALの揺らぎは大きくなると考えられる。図（5.26）ペDESTALのシグマのヒストグラムを示す、左と右はそれぞれノイズのあるときと高周波ノイズかけなかった時のシグマを示す。

ビームテスト時のペDESTALのデータを調べると、シグマの Mean は 4 TDC channel ぐらいであって（図（5.27））、7 TDC channel ぐらいのシグマはなかったため、ビームテスト時の高周波ノイズは時間分解能を明らかに影響するほどの大きさがなかったと考えられる。本実験では高周波ノイズを回路に加えることで時間分解能が悪くなることを確認し、ビームテストの時の時間分解能が悪くなる原因を、加速器による高周波ノイズというものと示した。

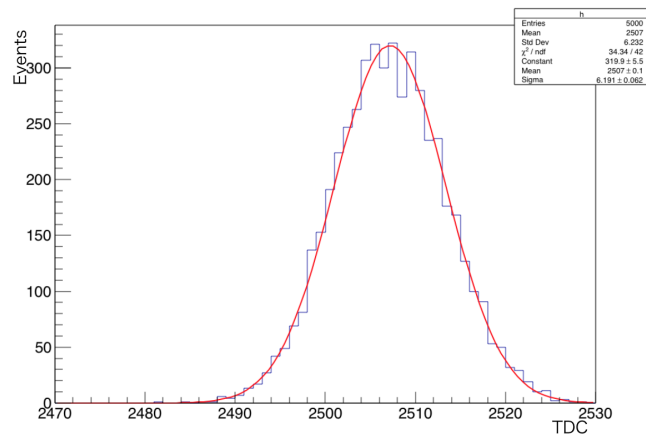


図 5.25 高周波ノイズをピクセル回路に加え、ビームテストの時の時間分解能を再現した。シグマは 6.2 と示され、時間分解能は  $6.2/4=1.55\text{ns}$  となる。

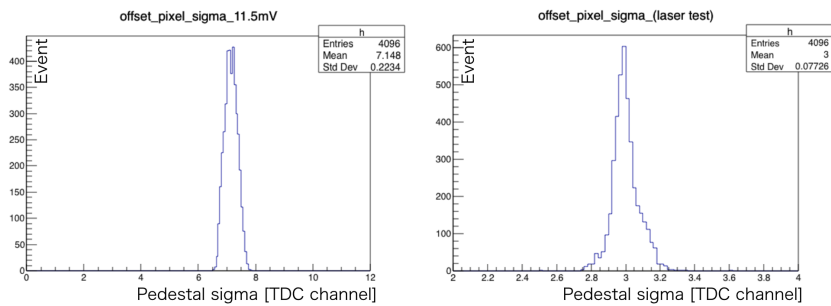


図 5.26 高周波ノイズをかけた時（左）と高周波ノイズかけていない時（右）のピクセル全体のペデスタルのシグマの大きさを示す。

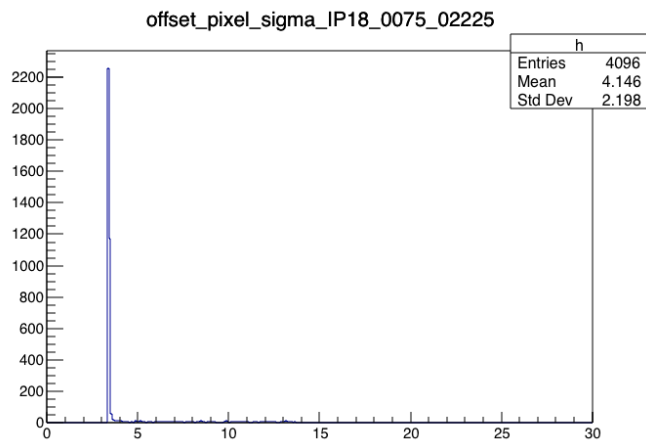


図 5.27 ビームテスト時のペデスタルのヒストグラム。

## 第 6 章

# 赤外線レーザーによる SOFIST の性能評価

### 6.1 研究目的

SOFIST はビームテストによって位置分解能と時間分解能が評価されたものの、SOI ピクセルセンサーについて、電荷のシェアや、ピクセル境界における電荷損失の性質や、外部の MIP 信号による時間応答や、センサーの構造などを理解することが必要である。レーザーはビームテストの陽子ビームに比べ、ピクセルの照射位置を精密に選べることや、光の強度を調整することや、出力時間をコントロールすることなど利点がある。

本章では赤外線レーザーを用いて SOFIST ver.2 の時間応答や、電荷収集や、電荷損失や、ADC 及び TDC の線型性などの実験結果を述べる。

### 6.2 実験環境

本実験は同じ SOI グループである筑波大学の素粒子実験室のレーザーシステムを借りて実験を行った。

#### 6.2.1 赤外線レーザーシステム

本実験で使ったレーザーは図 (6.1) に示すように、波長 1064 nm の赤外線レーザーである。SOFIST チップを顕微鏡のカメラを通して、スクリーン上で照射場所を確認できる、参照光もあるので、Z ステージで焦点を合わせることで照射位置及び範囲が特定できる。参照光の大きさを 1 ピクセルの面積より小さく設定できる、そして、XY ステージはモータステージによって精密に移動することができるので、照射したいピクセルを非常に特定しやすい。レーザーの強度を調整するレンジがあり、1 ピクセルを微弱な ADC 値から大面積にシグナルが広がるまでレーザーの強度を調整することができる。

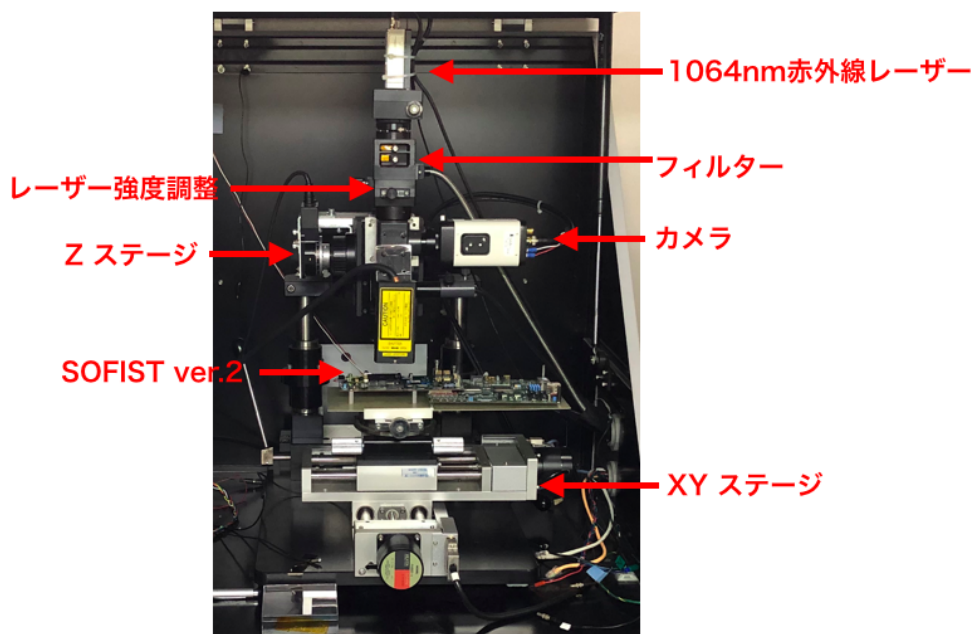


図 6.1 レーザーシステム.

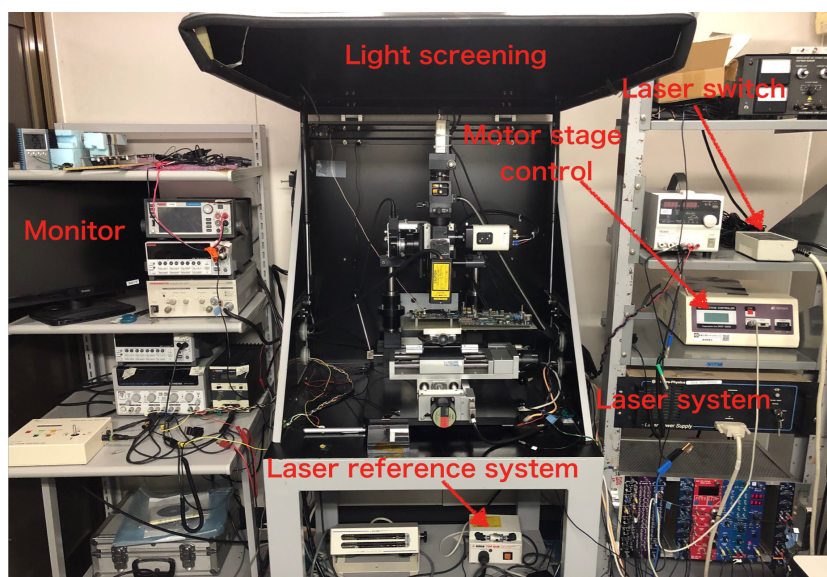


図 6.2 レーザーと連動する部品.

### 6.2.2 赤外線レーザーがシリコンにおける減衰長

SOFIST の時間計測性能及び時間分解能をレーザーで評価するには、必ずレーザーがセンサー層を通り抜ける必要がある。仮にレーザーがセンサーに入ってからすぐに吸収される場合、センサーの表面近くに電離された電子がセンスノードに集まるには時間がかかり、時間分解能を評価しにくくなる。また、高エネルギー粒子はセンサーを通り抜けるので、センサーを通り抜けるレーザーを用いることで MIP に対応する。可視光はシリコンの表面近くに全て吸収されるのに対して、赤外線レーザーのような波長がより長い光は SOFIST の空乏層を通り抜ける。図(6.3)は各種半導体材料における光吸収係数  $\alpha$  及び吸収長  $L_{abc}$  の波長依存性を示す、赤外線レーザーの波長は約 1064 nm なので、シリコンでこの波長の場合に光吸収係数を約  $100 \text{ cm}^{-1}$  とする。

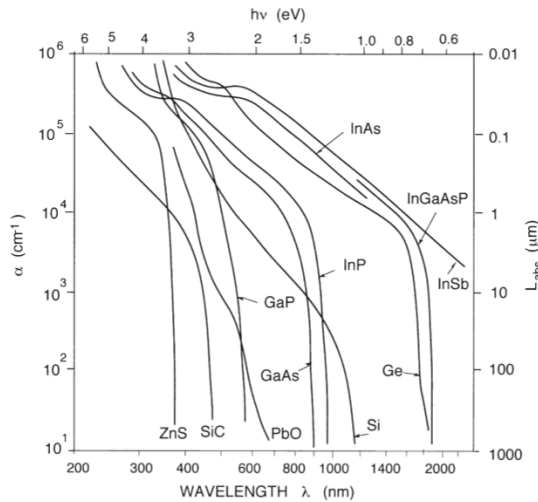


図 6.3 各種半導体材料における光吸収係数  $\alpha$  及び吸収長  $L_{abc}$  の波長依存性。

$$I(x) = I_0 \exp(-\alpha x) \quad (6.1)$$

$I(x)$  : 光が  $x$  の長さで進んだ後の強度

$I_0$  : 光減衰される前の強度

$\alpha$  : 光吸収係数

式(6.1)は光の強さと吸収係数及び半導体中に進む長さの関係を表す。



SOFIST のチップの厚みは  $75\text{ }\mu\text{m}$ 、空乏層の厚みは  $65\text{ }\mu\text{m}$  である（回路層は約  $9.8\text{ }\mu\text{m}$ 、BOX 層は  $200\text{nm}$ ）。次式で SOFIST の空乏層を通る時のレーザーの減衰率が示される。本測定に用いられる赤外線レーザーは  $65\text{ }\mu\text{m}$  の空乏層を通り抜けると考えられる。

$$I(x)|_{x=0.00065} = I_0 \exp(-500 \times 0.00065) \approx 0.723I_0 \quad (6.2)$$

### 6.2.3 照射条件

#### レーザーのタイミングについて

SOFIST に入れるトリガーの幅とレーザーの出力同期及びタイミングの調整は全部 NIM モジュールで行った。タイミングは図 (6.4) に示すように、黄色の線は SOFIST に入れるトリガー、青色の線はレーザーに出力させるタイミングである、青色の線は適当な幅を持ったパルス波で、出力のタイミングは左の下がりとする、レーザーが出力するまでの遅延時間はおおよそ  $950\text{ ns}$  である。タイムスタンプ回路はコンパレータが動作することで信号のタイミングを計測する原理なので、レーザーの強度をタイムスタンプの threshold 以上に調整すればレーザーがチップに入ったタイミングが記録される。

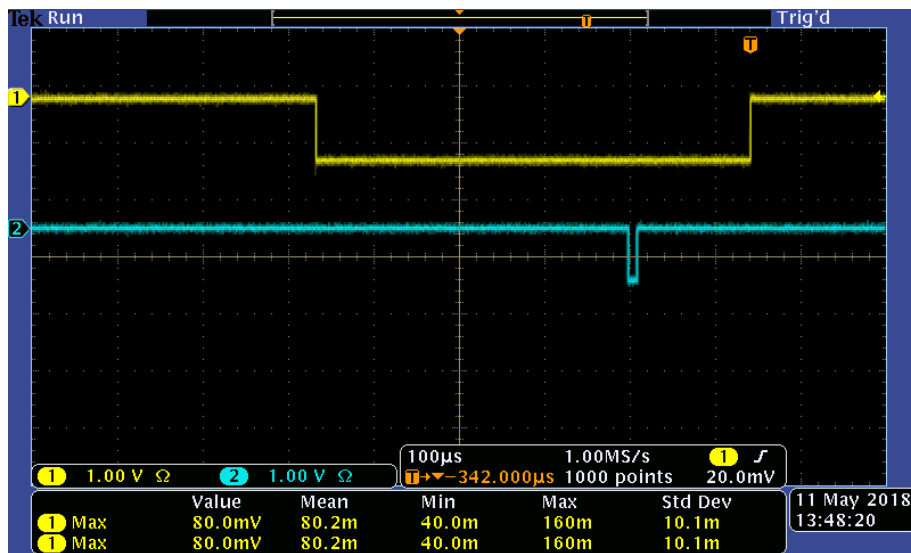


図 6.4 レーザーの出力タイミング。

### レーザーの時間的な精度

赤外線レーザーの照射で SOFIST ver.2 の時間計測性能を評価するには、レーザーのブレは SOFIST の時間分解能よりはるかに精度が上回る必要がある。SOFIST は 550 ns の時間分解能を目指し、開発されているので、評価用に使うレーザーの時間的なブレは 550 ns より上回らなければならない。

本測定は ps 程度の時間分解能を持つ MPPC を使った。MPPC (Multi-Pixel Photon Counter) は Si-PM (Silicon Photomultiplier) と呼ばれるデバイスの 1 種で、ガイガーモード APD をマルチピクセル化した光センサーでフォトンカウンティング能力を持っており、微弱な光のタイミングを非常に高い精度で計測することのできるデバイスである。

本測定に用いた MPPC のデータシートでは動作電圧 50.5V とされている。信号を取り出すには図 (6.5) のような回路に搭載する必要がある。そして、光子を検出できるように動作させるためにバイアス電圧として 55.3V の電圧を印加した、本測定における MPPC の over voltage は 4.8V であった。

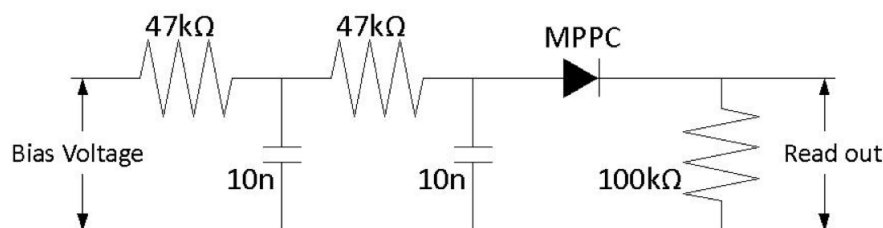


図 6.5 MPPC を動作させる回路.

本測定は MPPC を光の遮蔽の下で、レーザーを正面から照射する位置に配置した。図 (6.6) は MPPC でレーザーを検出したときのタイミングを示す。黄色の波形の上がりにはモジュールからレーザーへの入力を示し、赤色の波形 MPPC の波形を示す。このように、レーザーの遅延は約 950 ns であることがわかり、SOFIST の時間測定試験を行うとき、950 ns の補正を入れる必要がある。

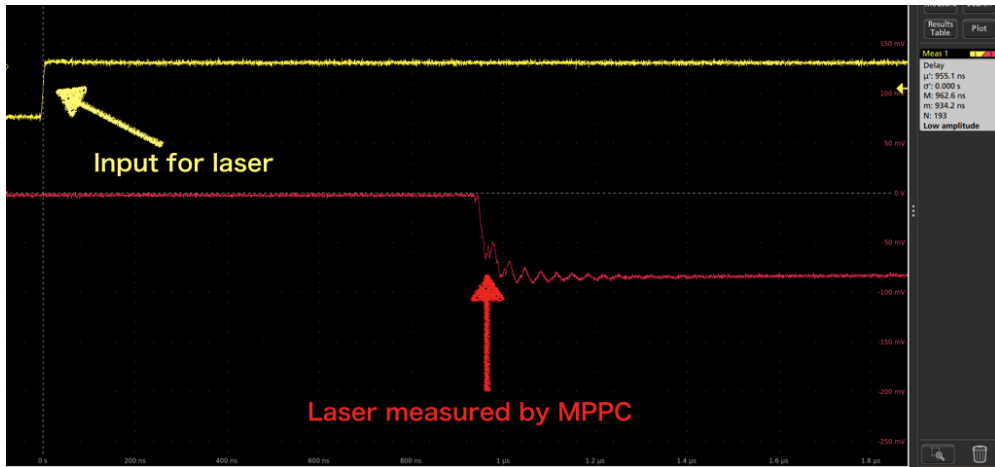


図 6.6 モジュールによるレーザーへの入力時間と MPPC で検出されたレーザーの出力時間（レーザー光を MPPC に直接に当てた結果）。

図 (6.7) はオシロスコープ画面上のレーザーのジッタのヒストグラムを示す。このヒストグラムの中心は約 948 ns で、形からガウス分布になっていると考えにくく、ふた山の形に見える。ふた山のヒストグラムになっているものの、中心からは約 15 ns 程度までしか広がっておらず、シグマは約 10 ns と見なすことができる。

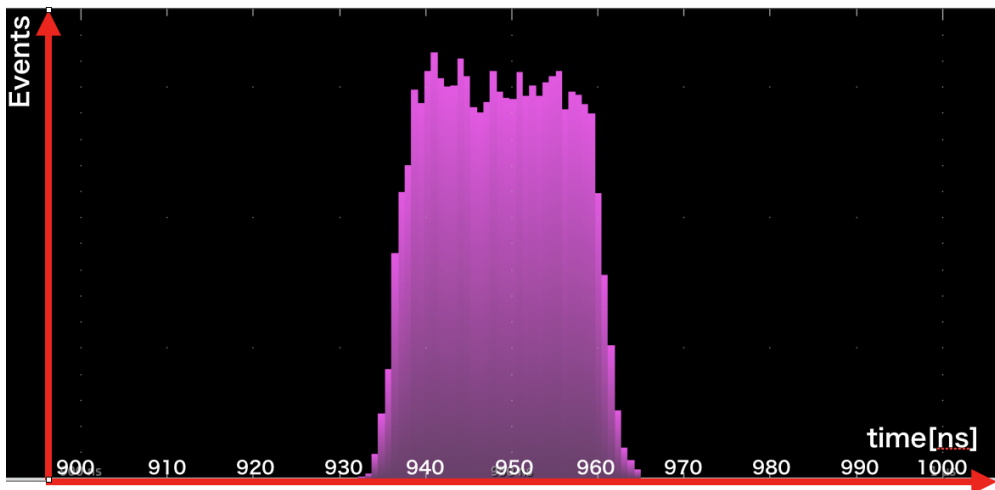


図 6.7 レーザーのジッタのヒストグラム。

レーザーの時間的な精度についてのまとめとしては、約 10 ns のジッターは SOFIST にとって十分良く、SOFIST の時間精度評価に影響するほどの問題はない。

### 6.3 レーザー照射の動作試験

赤外線レーザーを照射されたピクセルのグラフを図 (6.8) のように示す. レーザーの強度がある程度強いとクラスタが広がり, アナログピクセルでは照射中心のピクセルから周囲のピクセルまで ADC 値が低くなる, 一方, タイムスタンプピクセルはレーザーの強度だけを測定するので, クラスタ中の各ピクセルの ADC 値は同じである.

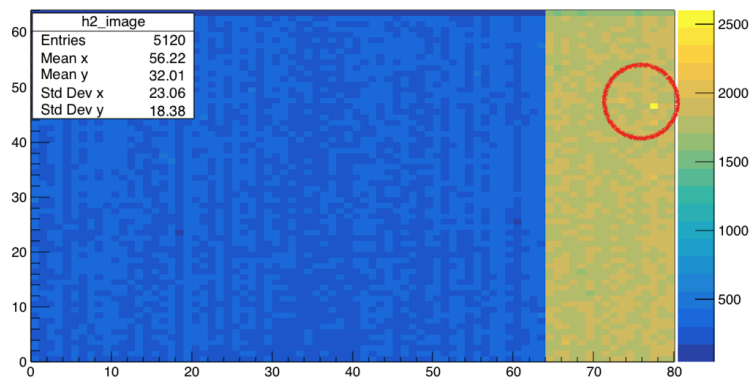


図 6.8 レーザーに照射された様子をピクセルのヒストグラムにした画像.

#### threshold curve

図 (6.9) はレーザーを一定の強度にし, アナログシグナルメモリの threshold を変えて検出効率を測定した. 縦軸はイベント数を表し, 全イベントは 8000 で, 信号のあるイベント数が下がると検出効率が下がるようになる. 横軸は threshold 電圧と表され, これ以上の電圧の信号が入るとコンパレータにオンさせて検出されるようになる.

レーザーの周期は SOFIST に入れるトリガーと同期し, 周波数 100Hz にすると MIP が検出効率 100% となる. 周波数 100Hz 以上のトリガーにすると, シーケンスの性能が追いつかなくなり, 検出効率が下がる.

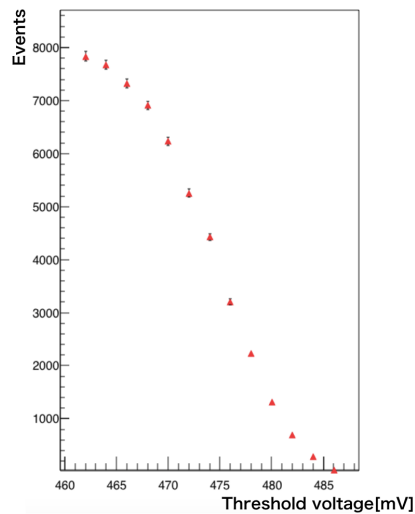


図 6.9 threshold curve.

### リセットの間の検出効率

時間計測の原理としては、ピクセル回路の中にあるキャパシタが貯めた電荷が threshold を超え、コンパレータにオンさせてタイミングを計測する。リセットがかかると、キャパシタの電荷がリセットされ、蓄積された余分な雑音がコンパレータにオンさせることを避けるようになる。本レーザー実験はすべてリセットを  $4\ \mu s$  周期でかけ、リセットのパルスの幅は  $1\ \mu s$  にした。 $1\ \mu s$  の間隔以内に信号が検出されないので、レーザーのタイミングをリセット幅以外に調整しなければならない。テストパルス入力のリセットの間に入ると信号が全く検出されないが、レーザーの信号はセンサーを通過して回路に伝わり、また、レーザーの強度がセンサーに対して強すぎると、リセットの間にレーザーが入っても場合によって信号は検出されることがある。

図 (6.10) はリセット立ち下がりの近くのタイミングに照射した赤外線レーザーの TDC 分布を示す。

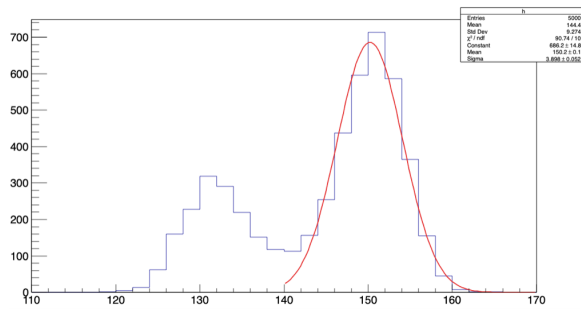


図 6.10 リセット立ち下りの近くのタイミングに照射した赤外線レーザーの TDC 分布.

## 6.4 完全空乏化

### 6.4.1 センサーの空乏層

赤外線レーザーは数百  $\mu\text{m}$  のシリコンを完全に通り抜けるので、赤外線レーザーを用いて SOFIST の完全空乏化電圧を調べた。

赤外線レーザーは SOFIST の裏面から入射し、空乏層を通過する際、電離された正孔と電子は逆方向にドリフトして収集され、アナログシグナルメモリに収集された電荷量が読み出される。空乏層が厚くなるほど、図 (6.11) レーザーは空乏層において通過距離が長くなり、電離された電子と正孔の数が多くなり、アナログシグナルメモリにより多くの電荷量が収集され、読み出される ADC 値も高くなる。

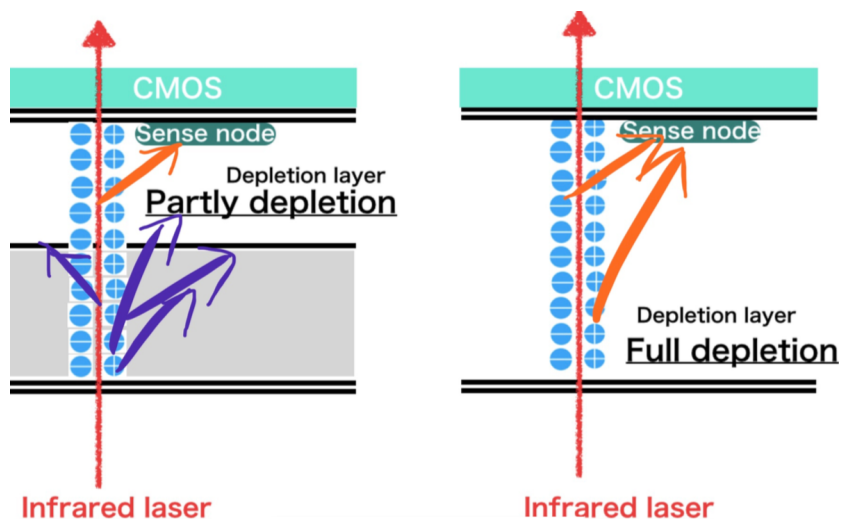


図 6.11 ピクセル回路に収集された電荷量は空乏層の厚みに比例する。

バイアス電圧を高くすればするほど空乏層が伸びる．本実験はレーザーの強度を一定に保ち，アナログピクセルに照射し，バイアス電圧を変えて ADC を測定する．図 (6.12) はバイアス電圧と読み出し ADC の関係を示す．空乏層の厚み  $W_{dep}$  とバイアス電圧  $V_{bias}$  は式 (6.3) のように示されるので，グラフの横軸をバイアス電圧の平方根とした．縦軸は空乏層の厚みと正比例する読み出し ADC である．

$$W_{dep} = \sqrt{2\epsilon\mu\rho(V + V_i)} \quad (6.3)$$

$\epsilon$  : 半導体の誘電率

$\mu$  : 電子の移動度

$\rho$  : 半導体の抵抗率

$V_i$  : 接合電圧

#### 6.4.2 部分空乏化のノイズについて

図 (6.11) は部分空乏化 (左) と完全空乏化 (右) のキャリア輸送の方式を比較する．完全空乏化では，電離された電子がセンスノードに集まるまでは非常に効率がいい．一方，部分空乏化の場合，空乏化されていない部分において，電子がセンスノードに集まるには不純物散乱のため効率が悪く，クロストークによるノイズが多くなる．完全空乏化と部分空乏化の分解能の違いについては，本章の最後に述べる．

### 6.4.3 完全空乏化を調べる試験

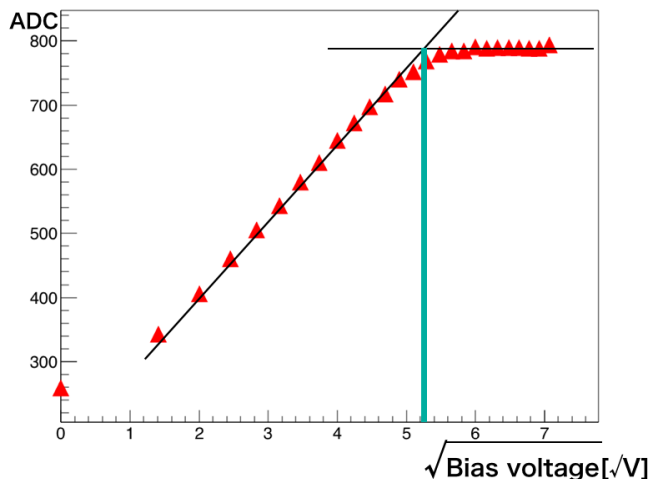


図 6.12 バイアス電圧をかけて完全空乏化電圧を調べる．

図 (6.12) のように、バイアス電圧が約 30 V 以上の時から読み出し ADC は飽和の状態になることがわかる．実際に完全空乏化になってからバイアス電圧の増加によって ADC が少し上がることがあるので、完全空乏化電圧は図 (6.12) のように二つの直線フィットの接点とする、完全空乏化電圧は 28 V という測定結果が得られた．

完全空乏化電圧はテストパルスとビームでは測定できないもので、この結果を用いて、以降の測定は完全空乏化後の電圧に基づいて測定する．

#### センサーの電気抵抗率

完全空乏化電圧を測定した後、センサーの抵抗率を計算することができる．SOFIST ver.2 は N 型半導体である．シリコンの誘電率は  $1.05 \times 10^{-12} \text{F/cm}$  とし、電子の移動度は  $450 \text{cm}^2/\text{sec/V}$  である．センサーの厚みは  $75 \mu\text{m}$  で、その中には当時の設計データシートによると  $10 \mu\text{m}$  の回路層と BOX 層 (BOX 層では  $200 \text{nm}$ ) があるため、完全空乏化時の空乏層の厚みは  $65 \mu\text{m}$  である．接合電圧は今回の場合 0 とする．電気抵抗率  $\rho$  は以下の式により、本センサーの電気抵抗率を  $1592 \Omega \cdot \text{m}$  と計算した．

$$\rho = \frac{0.0065 \times 0.0065}{2 \times 1.05 \times 10^{-12} \times 450 \times 28} \approx 1592 [\Omega \cdot \text{m}] \quad (6.4)$$

この電気抵抗率の計算結果は、仕様に書かれている「 $1 \text{k}\Omega \cdot \text{m}$  以上の抵抗率」に合っている．



## 6.5 アナログシグナルメモリの線型性について

アナログシグナルメモリは、シグナルの ADC を取得することで、電荷重心法に基づいて位置をより精密に測定できる。信号の強度と ADC は線型性になっているか、またはどこまで線型性を保つかについて、この節ではテストパルス入力の結果と赤外線レーザーを用いた測定結果を述べる。

### 6.5.1 テストパルス入力の結果（回路上の評価）

FPGA で作ったテストパルスは前章のように入力タイミングを指定できるほか、電圧値も調整することができる。テストパルスの電圧はアナログシグナルメモリに入力して ADC が読み出されることが、MIP がセンサーを通してピクセル回路に読み出されることは、アナログシグナルメモリの機能を検証するには実質的に同じである。図 (6.13) はアナログシグナルメモリにおけるシグナル強度と読み出し ADC の関係を示す。テストパルス入力は、センサーを通さずに ADC 機能を検証できるため、ADC が約 1200 のところまで線型性が保たれるという結果が得られた。

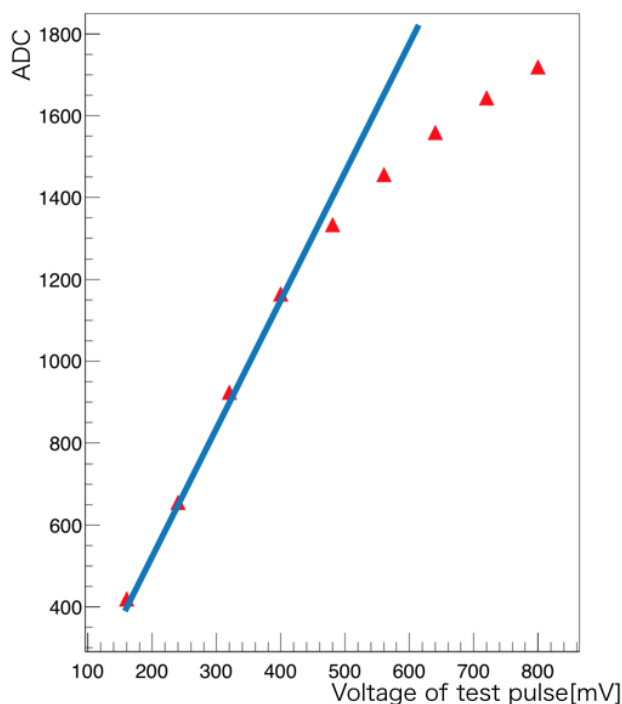


図 6.13 アナログシグナルメモリにおけるシグナル強度と読み出し ADC の関係。

### 6.5.2 赤外線レーザー測定の結果（センサー全体の評価）

レーザーシステムでは直接に強度を変えるスイッチがあったが、レーザー強度の細かい調整はできないため、本実験は ND フィルターを用いる。ND フィルターは富士フィルム社のもので、本実験で使うのは 0.6 という透過率を表す番号の ND フィルターであった。0.6 号の ND フィルターでは、マニュアルに書かれた透過率はある波長の場合に基づいたもので、直接に適用できない。ND フィルターの透過率は波長に応じて大きく変化するものである。実験で ND フィルターの透過率を求めることにした。

本実験の方法は、ND フィルターを 1 枚、2 枚、・・・6 枚まで順に重ね合わせてそれぞれの ADC を測定した。レーザーの強度を一定にし、ND フィルターを通過して SOFIST ver.2 のアナログシグナルメモリピクセルに照射する。図（6.14）と図（6.15）は測定データをグラフにした図である。

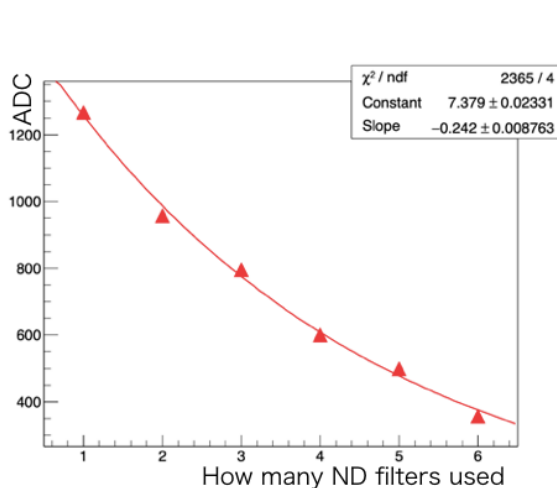


図 6.14 レーザーの強度と ADC の関係について調べた結果、横軸は ND フィルターの重ね合わせた枚数、縦軸は読み出し ADC、指数関数にフィッティングした。

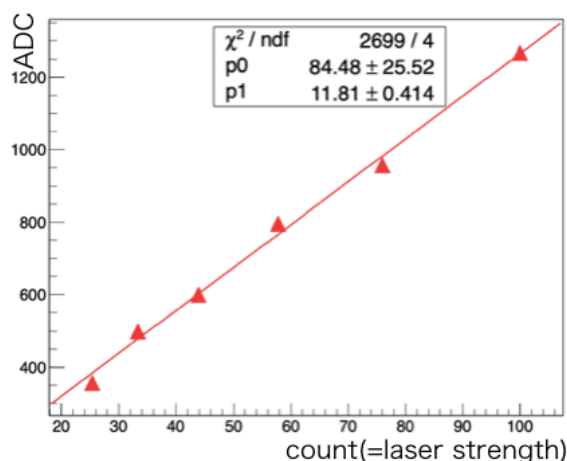


図 6.15 レーザーの強度と ADC の関係について調べた結果。左図のフィッティングされた指数関数から ND フィルターの透過率をかけたグラフである。横軸はレーザーの強度に対応した単位のない数字で、縦軸は ADC である。

図（6.14）は測定した ADC のデータを縦軸にし、横軸を ND フィルターの枚数にしてプロットした（図（6.14））。ND フィルター重ね合わせた場合の透過率は、一枚あたりの透過率の掛け算になるので、指数関数としてフィッティングした。指数関数のパラメータは

$$\exp(-\tau x) \quad (6.5)$$

のように、フィッティングで  $\tau$  の値は約 0.24 (図 (6.14) の中では Slope という量) ということになった、よって、透過率を 0.76 ( $1 - 0.24 = 0.76$ ) とする。図 (6.15) の縦軸は図 (6.14) の縦軸と同じにし、横軸は右から 100 を基準にし、ND フィルターの枚数の増加に伴って透過率 0.76 で掛け算して横軸にプロットする位置を決め、プロットした点を直線フィットした。

本来は前節に述べた通りに ADC が 1200 以上になると線型性が崩れるというデータが必要だが、ADC の線型性を決めるのはセンサーの部分ではなく、ピクセル回路のほうで、テストパルス入力の確認結果は十分だった。図 (6.15) はフィットされた直線からいくつかの点は明らかに外れており、あまり精確な測定ではないように見える。本測定のばらつぎの考察について以下のようにまとめる。

- ・レーザー強度の再現性

本測定に使った赤外線レーザーの強度の再現性は、強度のブレは全然大きくないが、本測定においては強度のブレを ADC 値にして 10 ぐらい以下に抑えなければ図 (6.15) のプロットは明らかにフィッティングからずれるので、赤外線レーザーの再現性は、本測定に対応する精密性がないと考えられる。

- ・ND フィルター重ね合わせた隙間にレーザーの漏れ

ND フィルターは密接に貼り合わせたようにしなかったため、レーザーがフィルターを通した際に反射などによる漏れが発生すると考えられる。

- ・アナログシグナルメモリによる電荷損失

レーザーが SOFIST に当てる際に、必ず電荷を一つのピクセルに全部集めるのではなく、周囲のピクセルへ拡散するようになっている。データを取る際に全部のピクセルの ADC を足せばいいが、そうでない場合、電荷損失の分はレーザーの強度が違うときに少し変わるかもしれない (ただし、原理的に電荷損失はシグナルの強度に依存しない)。

## 6.6 レーザーによる時間応答

時間応答試験は前章でテストパルスを用いて測定した，本節はレーザーのタイミングを調整し，各タイミングにおける読み出しを解析して，SOFIST の時間応答性能を評価する．テストパルスとレーザーはどちらのほうが出来精度が良いかはさておき，テストパルスはピクセル回路上の試験に使われるものであり，センサー（空乏層）を通らない．本章のレーザーはセンサーの空乏層を通り抜けて，センスノードによってシグナルが収集され，タイムスタンプ回路によって時間情報が出力されるので，MIP 信号のタイミングを測定することになる．

### 6.6.1 実験方法

本実験は以下のようにいくつかの項目に従って行なった．

- ・ レーザーの強度

本実験の結果はビームテストのデータ解析のキャリブレーションや、時間分解能などの研究に使うので，レーザーの強度をビームテスト時の一つの 120 GeV の陽子と同程度の ADC になるようにした．ビームテスト時の読み出し ADC の分布はビームテストの章にある図 (4.5) に示され，ピークは約 ADC 750 のところにあるとした．図 (6.16) はビームテスト時の ADC 強度と同じぐらいの ADC に調整し，アナログシグナルメモリのピクセルに当てて ADC の分布を取った．この強度をそのままタイムスタンプメモリピクセルに照射し，時間応答の実験を行った．

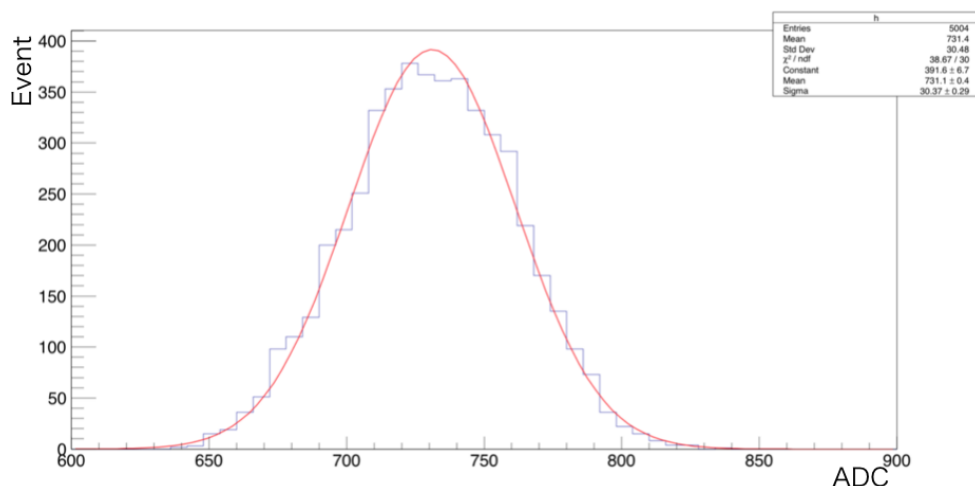


図 6.16 レーザーの強度（アナログシグナルメモリによる読み出し ADC の分布）。

- ・ **bias voltage**

ビームテストは完全空乏化電圧を用いたので、ビームテストの結果と比較するため、十分完全空乏化される 30 V で測定した。

- ・ レーザーのブレについて

前節に述べた通り、レーザーのジッターは MPPC によって測定し、シグマは約 10 ns になっている。10 ns 程度のブレは本測定にとって十分に高い精度だと考えられる。

- ・ **reset** について

リセット内またはリセットの近くにレーザーを照射させると、計測される TDC 分布のシグマは非常に大きく（ふた山の分布とか）なるので、リセットのかかるタイミングを十分注意して本実験を行なった。

- ・ 計測範囲

この実験のランプ波形は 0 から 1000  $\mu s$  まで入力するので、SOFIST は 0 から 1000  $\mu s$  までの時間を計測できるような仕様となっている。

また、SOFIST ver.2 は ILC の試作チップであり、ILC ビームの 1 トレインの情報を取ること为目标としている、1 トレインは約 720.2  $\mu s$  なので、SOFIST ver.2 の 1000  $\mu s$  の時間計測の範囲内である。

### 6.6.2 レーザー照射による時間分解能

本実験は 0 から 1000  $\mu s$  までの間に、約 50  $\mu s$  おきにレーザーを SOFIST ver.2 のタイムスタンプメモリの 픽セルに照射させ、SOFIST ver.2 でレーザーの入射タイミングを計測した。毎回計測するデータは、TDC 分布にするため、5000 個のイベントとし、0 から 1000  $\mu s$  までの間に測定したデータを一つ一つ TDC 分布にした。図 (6.17) は取得したデータの中で一番良いシグマ (708ns) になった分布を示す。そして図 (6.18) は取得したデータの中で一番悪いシグマ (760ns) になった分布を示す。

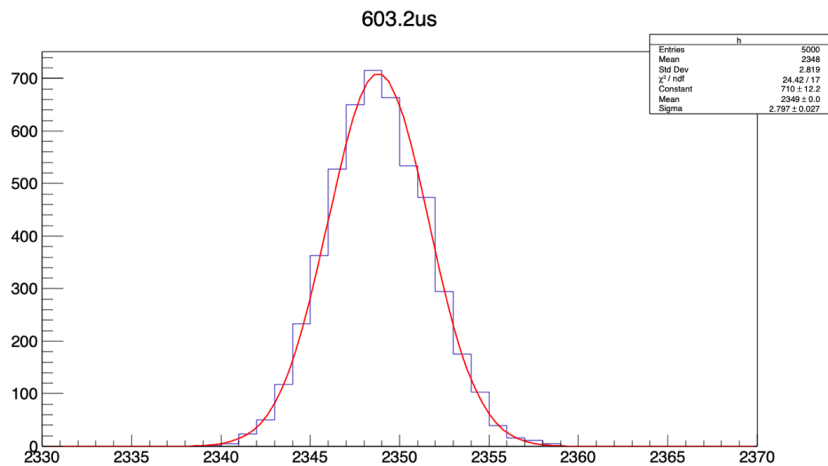


図 6.17 sigma 最良の時の TDC 分布 (約 600  $\mu s$  の時)。

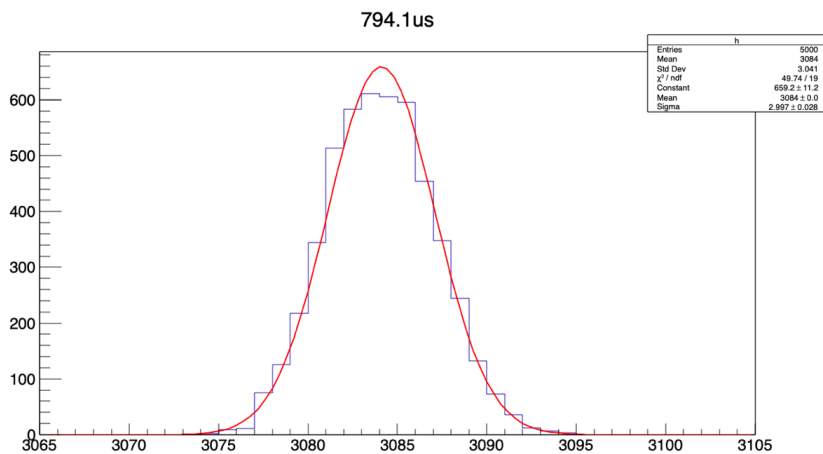


図 6.18 sigma 最悪の時の TDC 分布 (約 800  $\mu s$  の時)。

図 (6.19) は各時間におけるレーザー照射による TDC 分布のシグマをプロットした図である。時間分解能が約  $730 \pm 7 \text{ ns}$  と示す。

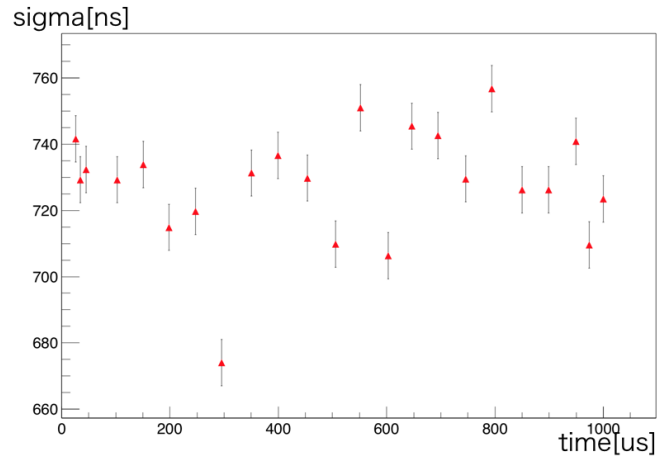


図 6.19 各時間におけるレーザー照射による TDC 分布のシグマのプロット。

このように、TDC 分布のシグマは 0 から  $1000 \mu\text{s}$  までの間にどの時間域においてもシグマの変動の傾向は特に見られない。また、レーザーのブレは  $10 \text{ ns}$  程度で十分無視出来る範囲なので、時間によって時間分解能が変わらないという結論が得られた。

### 6.6.3 時間応答の線型性

前章においてテストパルス入力で時間応答の線型性について詳しく議論した，ここでレーザーの照射でも同じような結果の再現を確認する．

#### レーザー試験の結果

図 (6.20) と (6.21) はそれぞれ時間・TDC のフィット，及びプロットがフィッティングからの残差を示す．一次関数のフィッティングの範囲は 0 から約 600  $\mu s$  にし，そして残差の結果は約 600  $\mu s$  から線型性がずれることになる (0 から 400  $\mu s$  までフィットしても同じ残差の結果)．これはテストパルス入力の結果を完全に再現したものであり，線型性のずれた原因についての考察は前章に書かれている．

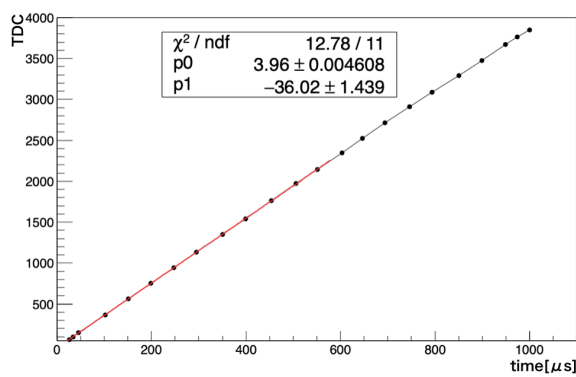


図 6.20 時間と TDC の関係 (レーザー照射)．

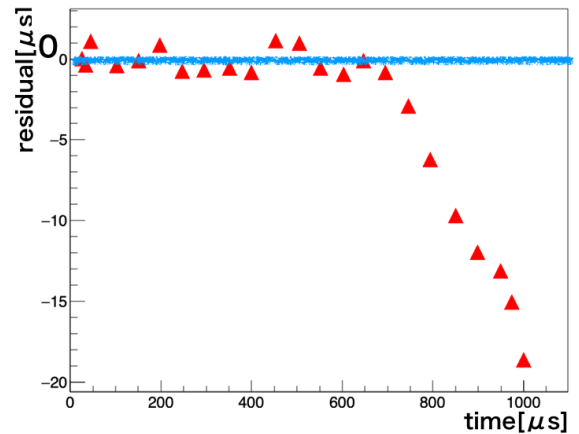


図 6.21 プロットのフィッティングからの残差．



## 6.7 時間分解能のまとめ

図 (6.19) では SOFIST ver.2 の時間分解能が, 赤外線レーザー照射によって  $730 \pm 7 \text{ ns}$  という結果が得られた. この時間分解能が ILC にとっていいかどうかを評価するのは, バーテックス検出器システムにおいてトラッキングを行うことができるかどうかということである. トラッキングを行う上で, 検出器の占有率が重要である. ここで, ILC バーテックス検出器には 1 % 以下の占有率があればトラッキングを行うことができるとし, SOFIST ver.2 の性能を踏まえて以下の計算で議論する.

時間分解能  $730 \pm 7 \text{ ns}$  では, ビームバンチ間隔  $554 \text{ ns}$  の ILC において 8 バンチを特定できるとする ( $6\sigma$  の場合, 確率が 99.73 % である). ILC での主要な重心系エネルギー  $500 \text{ GeV}$  での予測されるバックグラウンドイベント についての単位面積あたりのヒットレートを  $6.32 \text{ hits/cm}^2/\text{BX}$  (BX:bunch crossing) として計算する. [2][5] ビームテストにおいて高エネルギー粒子が SOFIST ver.2 を通過する際のクラスタ面積は平均 1.75 個のピクセルということがわかった. そして, ピクセル面積は  $25 \mu\text{m}$  角なので, 以下の式でピクセル占有率を計算する.

$$\text{occupancy} = 6.32[\text{hits/cm}^2/\text{BX}] \times 1.75[\text{pixel/hits}] \times 25 \cdot 25[\mu\text{m}^2] \times 8[\text{bunches}] \quad (6.6)$$

$$\approx 0.055 \%. \quad (6.7)$$

計算で得られた SOFIST ver.2 が ILC における占有率は, 1 % より上回るので, ILC においてトラッキングを行うことができると考えられる.

## 6.8 チャージシェア・電荷損失の位置依存性

本節は赤外線レーザーの照射に基づいて SOFIST ver.2 のチャージシェア・電荷損失の位置依存性を評価する。タイムスタンプメモリのピクセルはシグナルの計測機能がないため、評価対象はアナログシグナルメモリを搭載したピクセルのみとなる、但し、タイムスタンプのピクセルも同じく SOI 構造なので実質同じ評価である。

### 6.8.1 実験条件

#### 閾値をマイナスにする

電荷収集は、レーザー照射されたピクセルの周囲にあるピクセルの ADC を調べることである。SOFIST のピクセルの閾値は最低でも 38 mV 以上に設定しなければ、電気的な雑音が入ってチップが動作しなくなる。38 mV は ADC 値 150 ぐらいに相当するもので、ADC が 150 以下のシグナルだとコンパレータが動かず、ピクセルに信号が出なくなる。電荷収集の際に、隣のピクセルの ADC 値がせめて 10 程度で調べないと結果は見えにくいと考えられる。

閾値をプラスにすると以上のように実験測定の結論が見えにくいことがあり、閾値をマイナスにすればどんな微弱なシグナルでもピクセル上に出力されることになる。コンパレータは、閾値弁別の機能を持っており、マイナスの閾値を設定するとコンパレータが最初から動いて ADC を出力してしまい、本当の取りたいデータが取れなくなる。ただし、コンパレータの動くタイミングは早くても最初のリセットの後になり、最初のリセットの前にレーザーを入力させれば、マイナスの閾値を設定することで微弱なシグナルでも記録できることになる。

図 (6.22) は閾値をマイナスにする時の動作を示す。

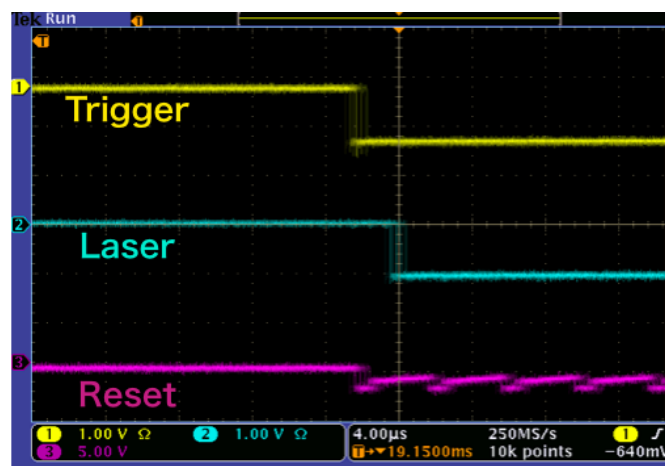


図 6.22 閾値をマイナスにする時にレーザーを一つ目のリセットの前に出力させれば信号が検出される。

このように、レーザーが最初のリセットの前に入るようにする。リセットの際にマイナスの

閾値を超えたため、全てのピクセルのコンパレータが動くことになり、微弱なシグナルの ADC 値も読み出されるようになる。

本節の実験は全部このようなレーザーのタイミングとマイナスの閾値の元で行なった。

#### レーザー照射範囲の大きさについて

電荷収集・損失の位置依存性を調べる測定では、なるべくレーザーの照射範囲を小さくしたい。レーザーの照射範囲はどこまで小さくできるかについて、図(6.23)のようにテストで調べた。図(6.23)の上部は SOFIST ver.2 の顕微鏡下の写真で、多くの部分は金属と配線に占

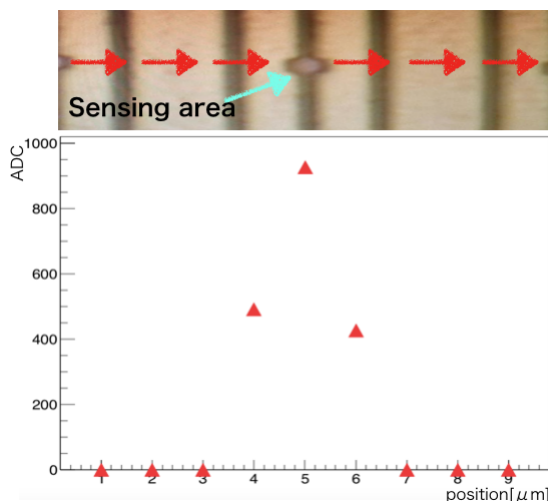


図 6.23 レーザーの照射範囲を調べた測定。

められ、赤外線レーザーでは通れない構造になっている。有感領域には約  $2\ \mu\text{m}$  角の窓が開いており、そこにレーザーを当てればセンサー部分まで通過することになるので、この  $2\ \mu\text{m}$  角の窓を用いてレーザーの照射範囲を調べる。

調べる方法としては、図(6.23)のように、レーザーを左から右へ  $1\ \mu\text{m}$  ずつ移動し（モーターステージの移動は最小約  $1\ \mu\text{m}$  程度）、各位置の ADC を横軸にし、移動した距離を縦軸にしてプロットした。ヒット検出されたプロットは3点のみとなり、レーザーの移動で窓を通過した際の読み出しだと考えられる。このようなグラフからはレーザーの照射範囲は精密にはわからないが、レーザーの照射範囲は約  $3\ \mu\text{m}$  角程度だと考えられる。このようなサイズは電荷収集の実験に特に影響がないと考え、以下の測定を行った。

## 6.8.2 実験方法・結果

### 6.8.3 実験目的

SOFIST ver.2 は設計当時, BNW のサイズがどれぐらいでいいかを検証するため, 三つの大きさの BNW をそれぞれの領域に分けて設計された. 図 (6.24) は SOFIST ver.2 のアナログシグナルメモリのピクセル領域を示す. BNW は逆ゲート効果の抑制のために作られてお

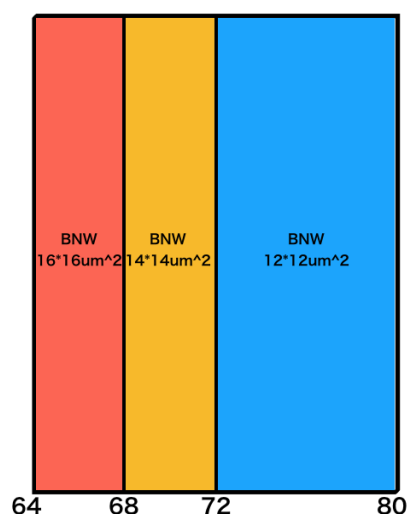


図 6.24 SOFIST ver.2 のアナログシグナルメモリのピクセル領域 (左から  $16\mu m$  角、 $14\mu m$  角、 $12\mu m$  角となっている).

り, センスノードと接続されることで BNW 上でも電荷収集が行われることがある. BNW の面積を大きくすると, 実質センスノードの面積が広がることになる, ピクセル境界に入った電荷の損失を抑えることも可能となる. ただし, 第三章に述べたように, BPW の面積を大きくした場合に, センスノード上でのキャパシタが増大するようになり, 回路部のゲイン低下、ノイズ増大の問題が発生する.

### 6.8.4 実験方法

実験方法は, モーターステージを使って  $2\mu m$  ずつ移動し, 毎回の読み出し ADC を取得する.

#### レーザーの強度

レーザーの強度は測定をスムーズに進めために, レーザーの強度を 1 ピクセルに ADC 800 から 900 ぐらいまでにした. 強度が強すぎると, ADC の線型性が保たれない範囲では測定結果に影響を与えてしまう. また, 十分な ADC に対応するシグナルを与えないと, 各ピクセル

の測定結果では違いが見えにくい。

### 空乏層の厚

空乏層の厚はバイアス電圧値によって調整でき、バイアス電圧と読み出し ADC の関係は前節の図 (6.12) に示す。本測定では空乏層と電荷収集・損失の関係を調べるため、バイアス電圧を以下のように三つの場合それぞれ測定を行った。

- ・ 4V (完全空乏化時の ADC より約 1/2)、
- ・ 13V (完全空乏化時の ADC より約 2/3)、
- ・ 30V (完全空乏化)。

### 照射位置

本測定において、レーザー照射の位置を選ぶ方法としては、PC の画面に DAQ で SOFIST の読み出しを表す二次元ヒストグラムをモニタリングし、モータステージを  $1\mu\text{m}$  の精度で移動し、特定のピクセルを選ぶ。また、ピクセル中心に移動すればするほど ADC 値が高くなる様子がモニタに映る (二次元ヒストグラムでは色の変化)。そこで、一番高い ADC に見えるところまで移動する。

本測定ではレーザーの照射位置を左から右へ移動するため、必ず左右の中心を照射することができる。一方、各 BNW 領域の測定結果を同条件で比較するため、上下の中心位置を特定しなければならない。

各取得データにおいて、上のピクセルと下のピクセルの読み出し ADC がほぼ同じ値であることを確認した。また、ピクセルの中心位置と中心からある程度ずれた位置を照射するとどれぐらいの ADC の差が生じるかを図 (6.25) に基づいて述べる。図 (6.25) は一個のピクセルにおいて、左から中心を経て右ヘスキャンして計測した ADC のプロットである。ここで、ピ

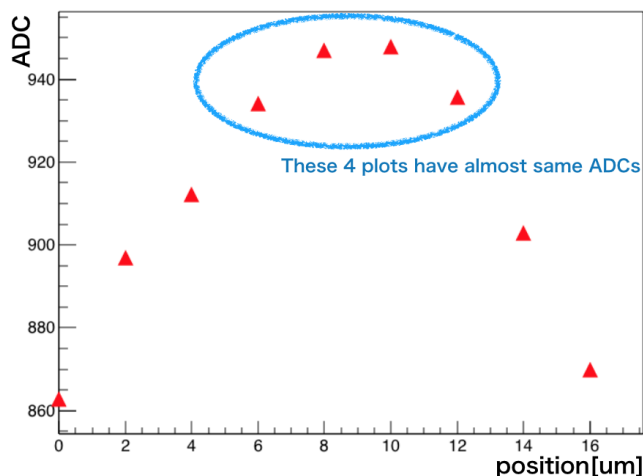


図 6.25 一個のピクセルにおいて、左から中心を経て右ヘスキャンして計測した ADC のプロット。

クセルの中心位置は「一番高い ADC の時の照射位置」として定義する。図の中の二つの点が一番高い ADC のように見え、また、青い線で囲んだ四つのプロットの ADC 値はあまり変わ

らないと思われるため、一番高い ADC 値に四つの点があると考えられる。本プロットは  $2\mu\text{m}$  おきに点したので、四つのプロットは  $6\mu\text{m}$  の長さを意味する。つまり、照射するときにピクセルの中心位置を特定しようとする、 $6\mu\text{m}$  の範囲がある。モニタリングしながら中心位置を特定していたので、 $25\mu\text{m}$  のピクセルピッチに対して  $6\mu\text{m}$  の中心位置から外れる可能性は低いと考えられる。

### 6.8.5 実験結果

本測定は、三つの BNW サイズ ( $16\mu\text{m}$  角、 $14\mu\text{m}$  角、 $12\mu\text{m}$  角) 及び三つの空乏層厚 (全空乏化、半分空乏化、 $2/3$  空乏化) を組合わせてそれぞれ測定した。図 (6.26) は測定データをプロットした結果を示す。

各グラフにおいて、黄色、青色、緑色の点はそれぞれ 1 番目、2 番目、3 番目 (スキャンの順番) のピクセルの ADC 読み出し値を意味し、赤色のプロットは 3 つのピクセルの ADC を足し合わせた値を意味する。

ピクセル検出器では、照射されたピクセルを中心として周りのピクセルにクラスタが広がる。今回 SOFIST による赤外線レーザー検出の場合、顕著なクラスタが見えなくても、微小な電荷は隣のピクセルに収集されて読み出される。本実験のプロットでは、一番前と一番後のピクセルの ADC 値の“隣 2 個目”までをプロットし、チャージシェアの研究をする。また、3 つのピクセル ADC 値の足し合わせた値 (黒色の点) で電荷損失を評価をする。3 つのピクセル ADC 値を全部足し合わせたプロットでないと電荷損失は評価しにくい。ただし、周囲全部のピクセルの ADC データは黒色の点に使われていない。本測定の目標は空乏層厚と BNW 大きさがセンサーの性能に対してどのように影響を与えるかであり、周囲 10 個ぐらいのピクセルの ADC でなくても 3 つのピクセルの ADC 値で十分その中の違いが見えると考えられる。

本測定の目標の一つはチャージシェアの特性であり、レーザーがピクセルの境界 (二つのピクセルの間) に照射するときに、アナログシグナルメモリによって読み出された ADC (図の中では赤色プロット) がどれだけ減ったかを評価することである。

以上に述べたプロットの手法の通り、図 (6.26) は上から下まで空乏層が厚くなる順で、左から右まで BNW のサイズが小さくなる順で、測定結果を示す。

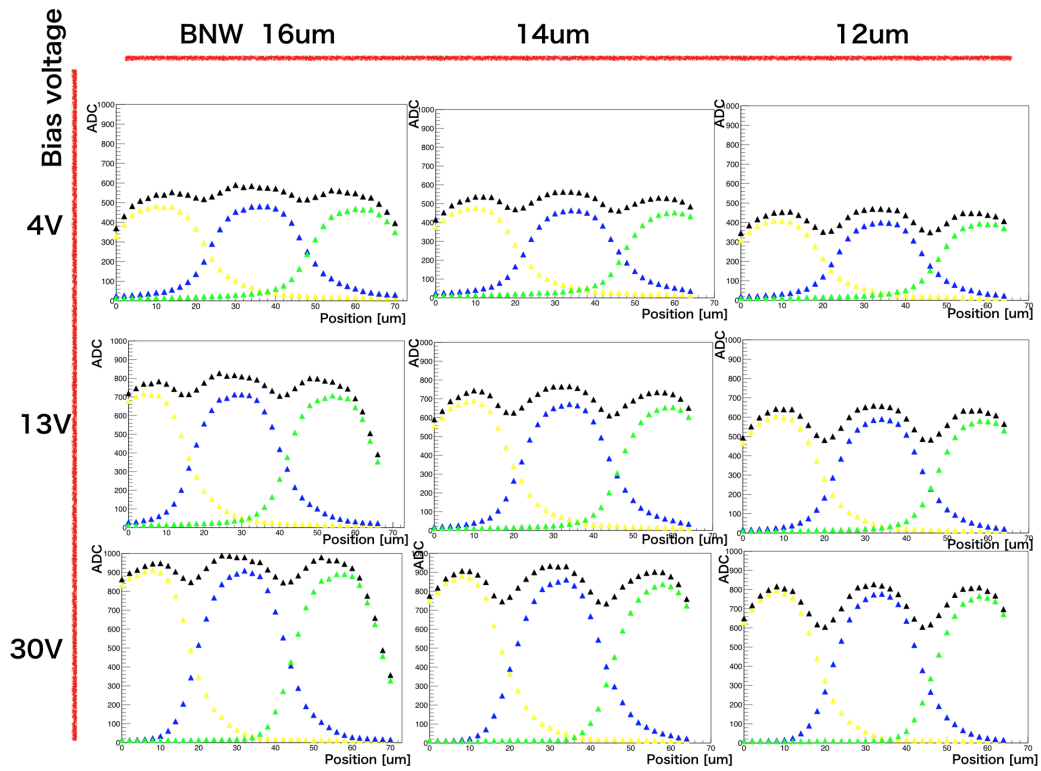


図 6.26 赤外線レーザーを左から右へ移動し、三つのピクセルをスキャンした結果。それぞれのグラフにおいて、横軸は位置で、縦軸は ADC である。上から下まで空乏層が厚くなる順で、左から右まで BNW のサイズが小さくなる順に示す。

#### チャージシェアの位置依存性

チャージシェアを評価するため、図 (6.26) の中の全てグラフの二番目ピクセルの ADC (青) を図 (6.27) のようにそれぞれ単独に取り出してフィットした。フィッティングは次式のような誤差関数を用いた、

$$\text{erf}(x) = \frac{2}{\sqrt{\pi}} \int_0^x \exp\left(-\frac{t^2}{2\sigma^2}\right) dt \quad (6.8)$$

誤差関数はガウス分布の積分であり、フィッティングによって得られたシグマで電荷収集を評価する。シグマが大きいほど、チャージシェアの分散が広いと意味する。表 (6.1) は各空乏層厚さ・BNW サイズの場合にフィッティングで得られた誤差関数のシグマをまとめた表である。

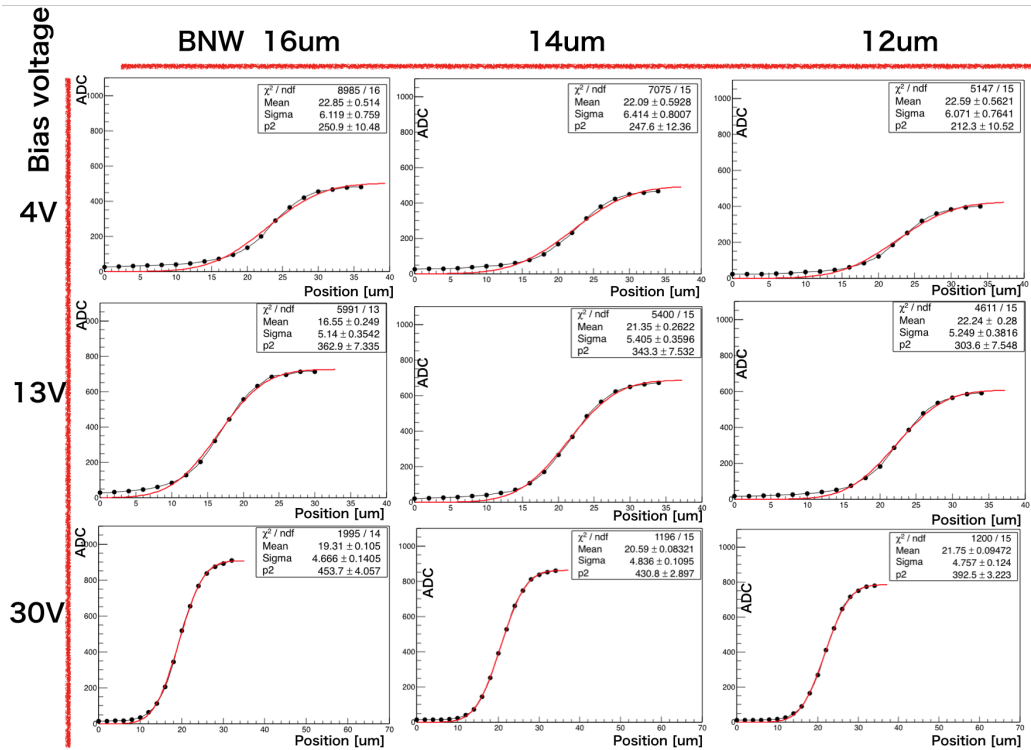


図 6.27 チャージシェアを評価するために誤差関数でフィットした。横軸は位置で、縦軸は ADC である。上から下まで空乏層が厚くなる順で、左から右まで BNW のサイズが小さくなる順となる。

表 6.1 フィッティングされた誤差関数のシグマ。

	BNW 16 $\mu m$	BNW 14 $\mu m$	BNW 12 $\mu m$
4V	6.12 $\mu m$	6.41 $\mu m$	6.07 $\mu m$
13V	5.14 $\mu m$	5.41 $\mu m$	5.25 $\mu m$
30V	4.67 $\mu m$	4.84 $\mu m$	4.76 $\mu m$

表 (6.1) に示すように、BNW サイズによってチャージシェアの変動は少しあると見えるが、変動が小さいため、チャージシェアは BNW サイズに依存しないという結論が得られる。

空乏層の厚さによってシグマの値が明らかに変動するので、チャージシェアは空乏層の厚さに依存するという結論が得られた。



### BNW サイズとシグナルの依存性

すでに前の章で BNW について述べたように，BNW は電荷収集を行うセンスノードでもある，BNW のサイズが大きいと，センスノードのキャパシタが増え，ゲインが下がって最終的にシグナルが減ることになる．しかし，本測定は逆の結論を示しており，BNW のサイズが大きいほどシグナルが高い．

これについては，BNW のサイズが大きくなると，回路端のゲインは下がるが，より多くのチャージペアを集めることができる．BNW のサイズを大きくしようとするなら， $16\mu\text{m}$  角までの場合，電荷収集能力の上がった分が，ゲインの下がった分より寄与が大きいと考えられる．

### ピクセル境界における電荷損失と空乏層厚の依存性

読み出される電荷は空乏層の厚さに正比例する。原理としては、MIP 信号がセンサーの空乏層を通過する際に、通過距離が長いほど電離された電荷が多くなり、そしてセンスノードに集まる電荷が多くなる。ということで、同じ MIP の下で電離された電荷が多いと、特に境界に照射した際にセンスノードに集まる方式が変わるではないかと思い、以下のような解析結果を述べる。

以下の解析結果は黒色プロットのデータだけを抽出して電荷損失の位置依存性を評価する。ここでは黒色プロットのデータを「ある強度のレーザーに照射されたピクセル及び周囲ピクセルの読み出し ADC の和」として定義する。図 (6.28) は図 (6.26) の中の黒色のデータだけを取り出し、それぞれの BNW の場合に違う空乏層厚のときのトータルな読み出し ADC を一つの図にプロットして比較する。

読み出し ADC は空乏層厚に比例するもので、図 (6.28) では空乏層の違うデータを同じグラフにして比較して電荷損失の特性は判断しにくいと考えられる。図 (6.29) は図 (6.28) のデータを normalize したもので、データをプロットした曲線の“谷”はピクセルの境界に照射した時のデータであり、谷になる原因は電荷損失だと考えられる。つまり、それぞれの条件下の“谷”の形を評価することで電荷損失の位置依存性の評価となる。

図 (6.29) のように、それぞれの BNW サイズのグラフの中に“山”を基準にして normalize したデータは、“谷”や曲線の形まで同じとなった。この結果によって、空乏層厚はピクセル境界における電荷損失に依存しないという結論に至った。

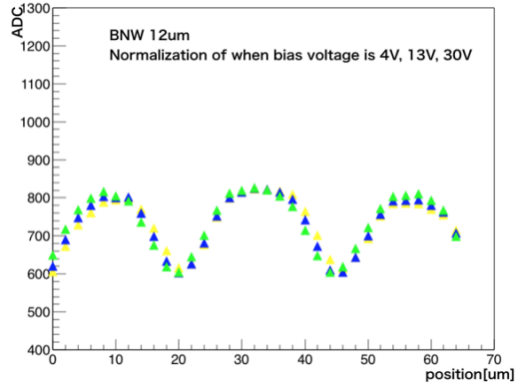
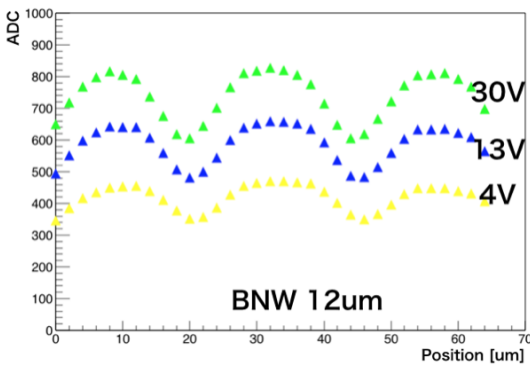
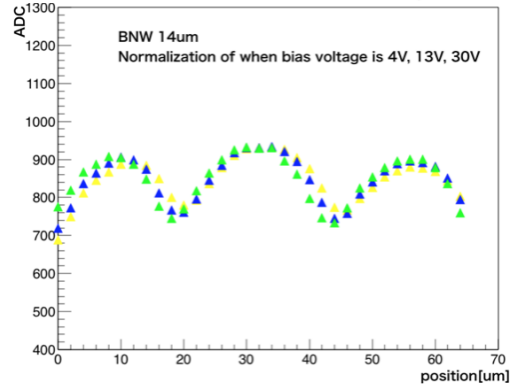
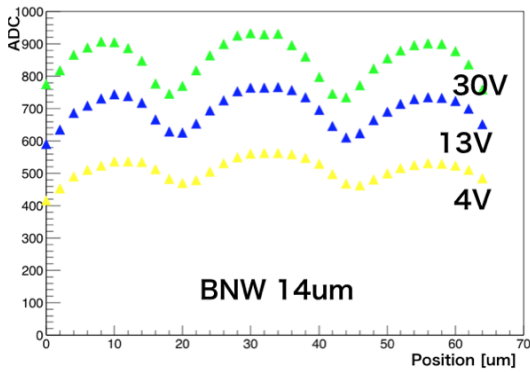
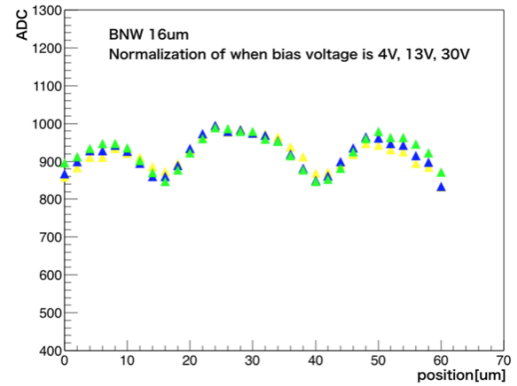
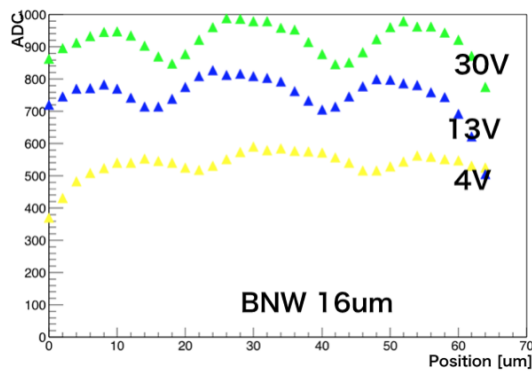


図 6.28 同じ BNW 大きさの場合，トータル読み出し ADC の空乏層厚の依存性．三つのグラフはそれぞれ BNW 大きさの場合を分けて三つの空乏層厚ときの ADC をプロットした結果である．

図 6.29 左の図に基づき，一番 ADC の高いデータ（30V のとき）の“山”にあるデータを基準とし，他の二つのデータの“山”よりの倍数をデータ全体的にかけることで，データを標準化する．

## ピクセル境界における電荷損失と BNW サイズの依存性

BNW の設計及びサイズの大きさの影響について、すでに第 4 章 SOFIST の開発のところに紹介された。ここで normalize の手法で電荷損失と BNW サイズの依存性を評価する。

図 (6.30) は完全空乏化の下で各 BNW のピクセル領域にレーザースキャン照射した時の測定結果を示す。プロットは ADC 値の和で、レーザの強度はどの色のデータにも同じだった。

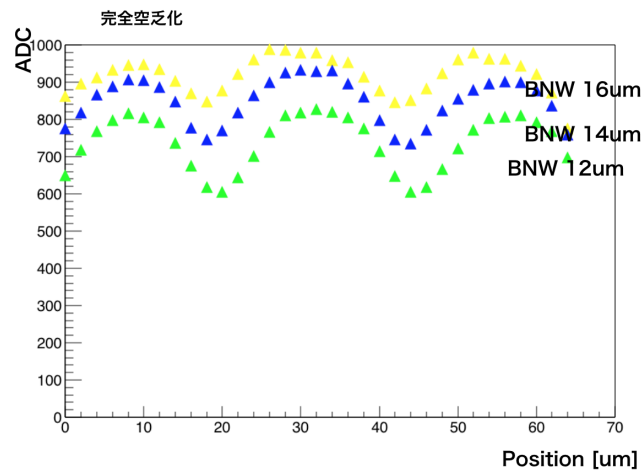


図 6.30 完全空乏化の下で各 BNW のピクセル領域にレーザースキャン照射の測定結果。

図 (6.30) は測定結果をそのまま同じグラフでプロットしただけで、このプロットの形からピクセル境界における電荷損失は評価しにくい。また、図 (6.30) に示すように BNW のサイズとシグナルの大きさは比例するようになっている。同じ MIP の下にシグナルが大きければ大きいほどセンサーの性能が向上するので、BNW サイズは  $16\mu m$  角が最適である。

図 (6.30) を normalize した結果は図 (6.31) となる。normalize の手法は前と同じで、一番“山”の高さが高い曲線を基準にし、ほかの二つの曲線の山も同じ高さにするように、曲線全体的に“山”ADC 値の倍数をかける。そうすると、同じ条件でピクセル境界における電荷損失の BNW サイズへの依存性が見えてくる。

図 (6.31) は各空乏層厚の条件下で BNW のサイズによって ADC 値の和を normalize した結果を示す。このように、BNW サイズが小さいほど境界における電荷損失が大きいという結論が得られる、また、三種類の空乏層の大きさのグラフでは同じような結果を示し、この結果の再現性があると考えられる。

アナログ方式で位置測定する際に、電荷重心法を用いて位置を計算する必要がある。その際に、ピクセル境界における電荷損失が少なければ少ないほど位置分解能がいいと考えられる。実験に使う上でピクセル境界における電荷損失が少ないことが望まれる。

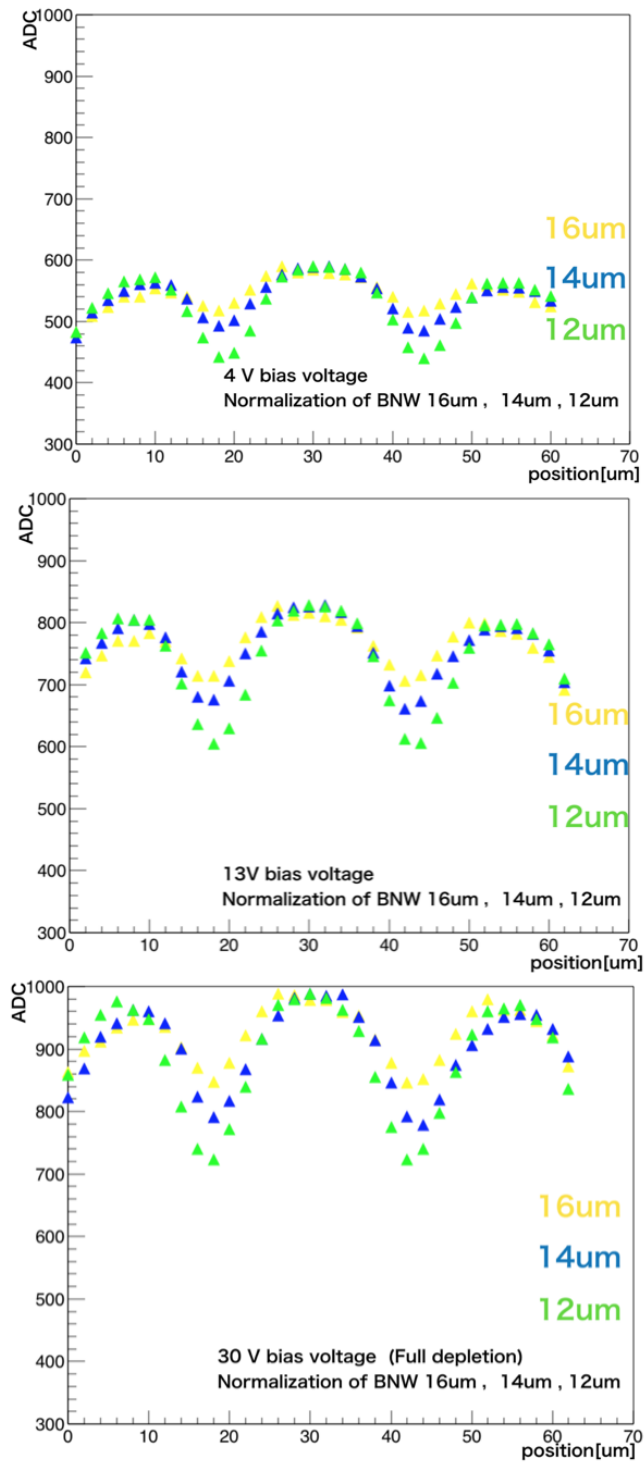


図 6.31 各空乏層厚の条件下で BNW のサイズによってトータル読み出し ADC を normalize した結果.

## 6.9 位置分解能向上の試み

本 SOFIST ver.2 は 120 GeV 陽子の照射により，位置分解能は  $8.4\mu\text{m}$  という結果が得られた．ピクセルピッチが  $25\mu\text{m}$  のピクセルセンサーでは，バイナリ方式によって  $7.5\mu\text{m}$  の位置分解能を有すると考えられる．今回 SOFIST ver.2 のビームテストでは，120 GeV 陽子のクラスタ面積では図 (4.5) に示すように，平均 1.75 個のピクセルを占める．このように，1.75 個のピクセルのクラスタ面積ではバイナリ方式の位置測定となり，電荷を計測して電荷重心法によって位置を計測する方式が適用できなくなる．

一方，本章に述べたレーザー位置スキャン測定では閾値をマイナスにすることで，120GeV の陽子と同じ ADC 値を持つ赤外線レーザーの照射ではクラスタが周囲のピクセルに広がっている (図 6.26)．図 (6.32) は前節のレーザー位置スキャンのグラフに閾値を導入し，MIP の入射場所によってクラスタの面積が変わることを示す．この閾値では，クラスタ面積がビーム

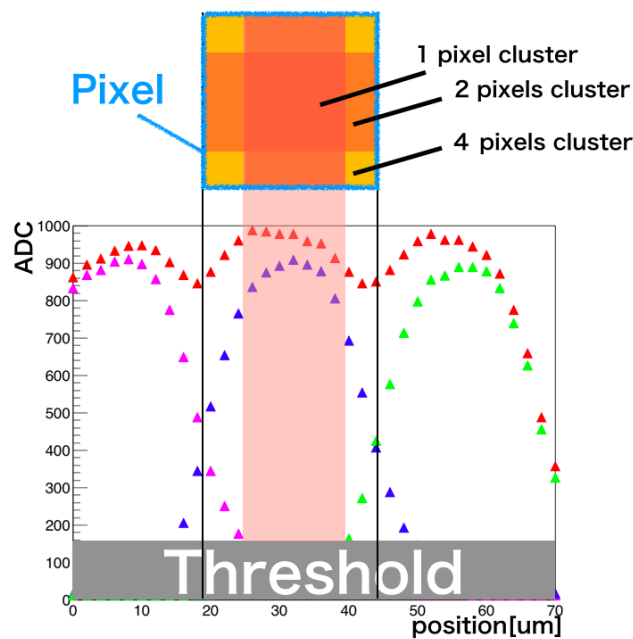


図 6.32 前節のレーザー位置スキャンのグラフに閾値を導入し，MIP の入射場所によってクラスタの面積が変わることを示す．二つのピクセルの境界の間は 1 個のピクセルの部分とし，その範囲に MIP が入った場所によってクラスタの面積が変わる．

テストの時と同じように平均 1.75 個のピクセルになるとわかり，アナログ方式的な位置測定が適用できなくなる．閾値マイナスの場合の位置分解能を確認するため，図 (6.33) のように中間のピクセル (青色) に基づいて電荷重心法によって位置分解能をどこまで向上するかを試みた．

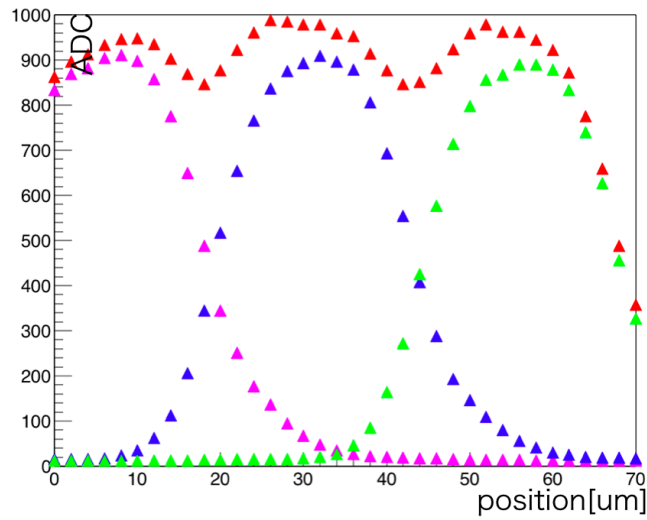


図 6.33 BNW が最適のサイズ (16 $\mu\text{m}$ ) で、完全空乏化された場合のレーザー位置スキャン結果。

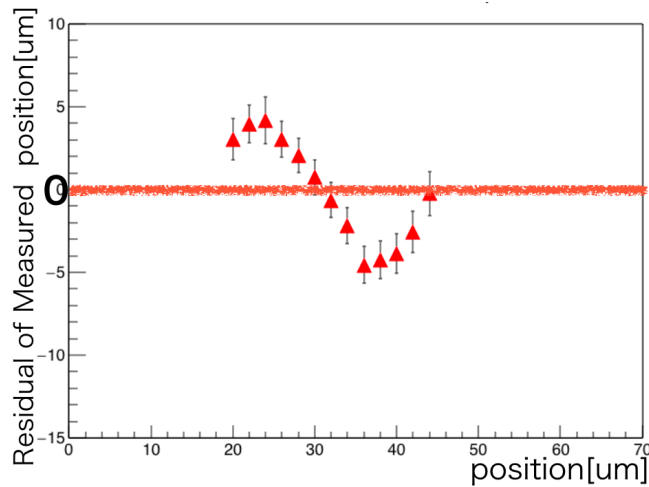


図 6.34 電荷重心法によって計算した位置の結果，横軸は図 (6.33) の横軸と同じのスケールにし，縦軸は電荷重心法によって測定した位置とレーザーが入った本当の位置の残差を示す．エラーバーの幅は各プロットにおけるデータのシグマ．

手法は，青色の各プロットにおけるデータを用いて電荷重心法（式 (6.9)）で位置を計算する．

$$Position = \frac{\sum_n ADC_{pixel(n)} \times pixeladdress(n)}{\sum_n ADC_{pixel(n)}} \quad (6.9)$$

今回使ったデータの範囲は 1 個のピクセルにおける各場所とし（横軸 20 から 42 まで），また，各点に照射したデータのイベント数は 1000 なので本解析には十分だと考えられる．

図 (6.34) は電荷重心法によって計算した位置の結果を示す．横軸は図 (6.33) の横軸と同



じのスケールにし、縦軸は電荷重心法によって測定した位置とレーザーが入った本当の位置の残差を示す。これによって、MIP が実際に入射した位置と検出器によって測定された位置の残差はこのような規則性を持つことがわかる。実際に位置測定する際、図 (6.33) に示されている残差に基づいて補正しなければならない。今回は位置分解能を得るため、各位置の測定結果を補正し、図 (6.35) のように位置分解能が  $1.16\mu m$  という結果が得られた。この位置分解

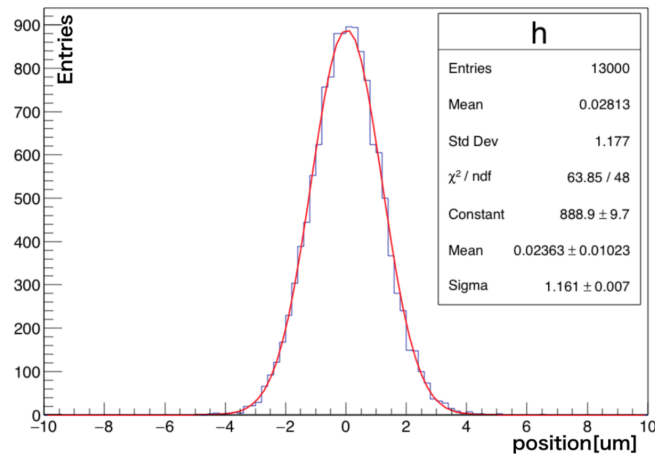


図 6.35 電荷重心法によって測定された位置分解能。

能の結果は、閾値をマイナスにした設定のもとで測定したものである。現状では図 (6.32) に示しているような閾値を設定しないと、ノイズによってセンサーが動作しないことになる。この  $1.16 \pm 0.00\mu m$  の位置分解能は、SOFIST ver.2 のノイズを下げればここまで位置分解能を向上することができることを示す。

## なぜ完全空乏化が必要

ここまでは BNW 最適なサイズ（ピクセル境界における電荷損失が少なく，シグナル ADC が高い）の条件で完全空乏化されたピクセルを用いて位置分解能を測定した．表（6.8.5）に示すように，完全空乏化と部分空乏化はチャージシェアが違う．部分空乏化では，チャージシェアがより拡散するので，チャージシェアがより集中されている完全空乏化より位置分解能が良いではないかという疑問が出てくる．ここで，4V（1/2 空乏化）と 13V（2/3 空乏化）のバイアス電圧をかけた際のデータを図（6.36）と図（6.37）のように解析し，位置分解能を求めた（図（6.38）と図（6.39））．

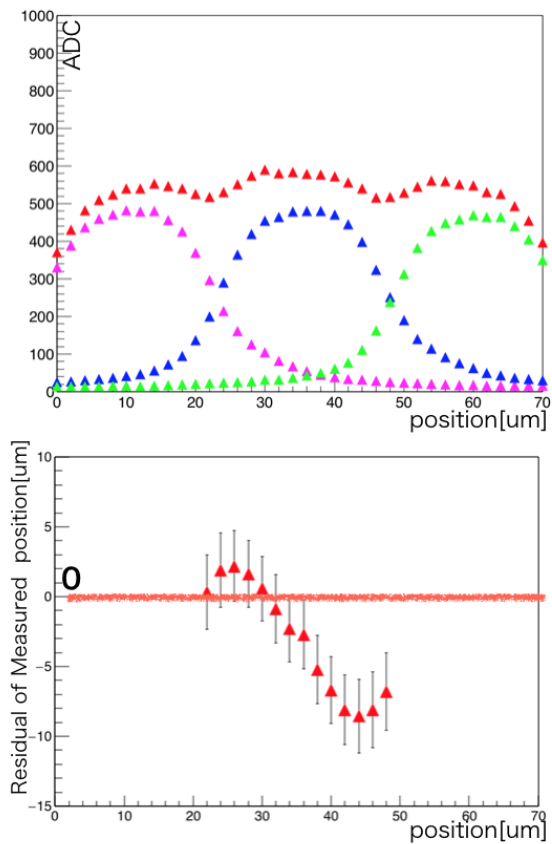


図 6.36 1/2 空乏化の場合．上のグラフはレーザー位置スキャンの測定結果．下のグラフは電荷重心法によって計算した位置の結果，横軸は上のグラフの横軸と同じのスケールにし，縦軸は電荷重心法によって測定した位置とレーザーが入った本当の位置の残差を示す．エラーバーの幅は各プロットにおけるデータのシグマ．

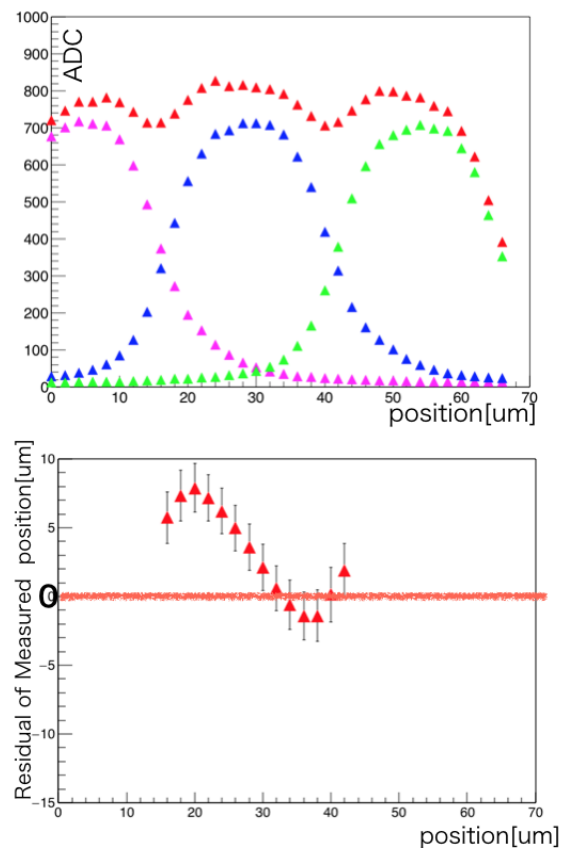


図 6.37 2/3 空乏化の場合．上のグラフはレーザー位置スキャンの測定結果．下のグラフは電荷重心法によって計算した位置の結果，横軸は上のグラフの横軸と同じのスケールにし，縦軸は電荷重心法によって測定した位置とレーザーが入った本当の位置の残差を示す．エラーバーの幅は各プロットにおけるデータのシグマ．

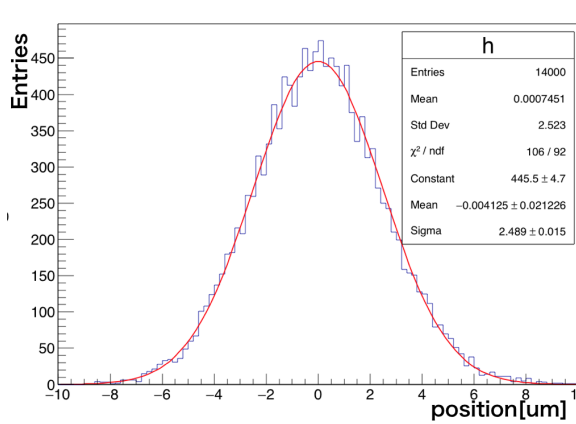


図 6.38 1/2 空乏化の場合の位置分解能.

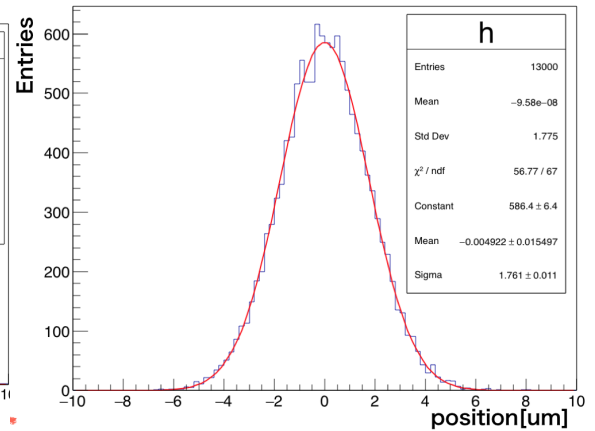


図 6.39 2/3 空乏化の場合の位置分解能.

各空乏化の場合の位置分解能は表 (6.2) にまとめる. この結果から, 完全空乏化が一番いい位置分解能が得られることがわかる.

表 6.2 各空乏化の場合の位置分解能.

空乏化程度	位置分解能
1/2 空乏化	$2.49 \pm 0.02 \mu m$
2/3 空乏化	$1.76 \pm 0.01 \mu m$
完全空乏化	$1.16 \pm 0.00 \mu m$

SOI ピクセルセンサーは完全空乏化を実現できるという特徴を持っており, 本節において完全空乏化された SOI ピクセルセンサーは部分空乏化の場合に対して位置分解能がはるかに上回ることを示した. 部分空乏化の場合, クロストークによって生じ, 位置分解能を低下すると考えられる. ピクセルセンサーが完全空乏化させる際, クロストークを非常に低レベルまで下げることができ, ノイズを低く抑えることができることを本測定で確認した.

## 第 7 章

# まとめ

本研究は、ILC バーステックス検出器システムに搭載することを目標に、SOI 技術の用いたピクセルセンサー「SOFIST ver.2」の開発及び性能評価を行った。

SOFIST ver.2 はタイムスタンプメモリをピクセルに搭載することで、世界初の一つのピクセルに位置（バイナリ方式）・時間（アナログ方式）を同時に計測することができるモノリシックピクセルセンサーが実現できた。本論文に述べた評価手法及び評価結果・結論は以下のよう

### 評価手法

- ・ビームテスト：Fermilab にて 120GeV の陽子ビーム照射され、高エネルギー陽子の計測によって位置分解能と時間分解能を評価した。
- ・ピクセル回路の動作試験：FPGA で作ったテストパルスを入力し、ピクセル回路の動作を評価し、改善点を見つけた。
- ・赤外線レーザーの照射試験：赤外線レーザーは  $75\mu m$  のシリコンを通り抜けることができ、センサー全体の性能を評価することができた。

### 評価結果・結論

- ・ビームテストの結果：バイナリ的な位置分解能は  $8.7\mu m$  で、時間分解能は  $3.58 \pm 0.086\mu s$  という結果が得られた。
- ・時間計測性能：テストパルス入力とレーザー照射（ジッタの時間分解能は 10ns）による時間分解能が 720ns という結果が得られた。時間応答性能については、時間計測の線型性は約  $700\mu s$  まで保つが、 $700\mu s$  以降は出力アンプのゲインが下がるため、出力 ADC 値はフィッティングの線から落ちる。ILC の 1 トレインの長さが  $720\mu s$  で、現在の SOFIST ver.2 では数値的に補正すれば 0 から  $900\mu s$  までを時間分解能  $730 \pm 7ns$  の精度で計測することができる。また、次のバージョンの設計では出力アンプの増幅性能を、720mV（ $720\mu s$  対応）まで保証できるように設計する。

- ・時間分解能：今回の SOFIST ver.2 の時間分解能は  $730 \pm 7 \text{ ns}$  であるとレーザー照射で確認した，ILC ビームバンチの  $554 \text{ ns}$  に対して， $6\sigma$  の精度とすると 8 バンチまで特定することができる．
- ・ピクセル占有率：ピクセル占有率は 0.055 % と計算されたので，SOFIST ver.2 の時間計測性能は ILC に使うことができると考えられる．
- ・電荷収集・損失の評価：電荷収集の位置依存性は空乏層の厚さに依存する．空乏層が厚いほど，電荷収集の広がり小さく，電荷収集の性能がいいことが示された．ピクセル境界における電荷損失は，BNW (Buried N-Well) の大きさに依存する．BNW が大きいほど，ピクセル境界における電荷損失が少なく，性能がいいと示された．また，BNW がゲインを低下させる問題があると予想されたが，測定結果では BNW がセンスノードとして機能する寄与のほうかはるかに大きく，BNW のサイズを  $16 \mu\text{m}$  まで大きくするとシグナルも多いという結果が得られた．
- ・位置分解能の可能性：閾値をマイナスにし，普段では MIP 計測に使えない設定にして理想的な環境にしたところ，電荷重心法を用いて位置分解能は  $1.16 \pm 0.00 \mu\text{m}$  と計算された．また，完全空乏化の際は一番ノイズが低く，分解能が良いということを示した．センサーとして完全空乏化する必要性を示した．

以上のまとめから，本研究は SOFIST の性能評価をし，SOFIST のバージョンアップ及びその他の素粒子実験のバーテックス検出器の開発に繋がると考えられる．チップの性能評価のほかに，SOI 技術としてセンサーの完全空乏化するモチベーションを評価した．本修士研究では SOFIST ver.2 のみを評価したが，赤外線レーザーを用いて位置分解能と時間分解能をビームテストの MIP とほぼ同じの性能評価ができることを示した．また，SOFIST のバージョンアップにつれて，ピクセルピッチや、センサーの厚さなどの情報があれば，ビームテストの解析結果は本修士論文の手法と結果に基づいて予想できると考えられる．

# 謝辞

本論文は多くの方の御指導、御支援により完成しました。指導教官である幅先生には、勉強や研究や実験などから生活の面まで、修士課程二年間の勉学生活について非常にお世話になりました。同じ SOI グループの小野峻さんには、実験器具の使い方から研究の議論や、本修論の修正まで、親切に教えていただき、本論文の完成にあたって非常に助かりました。同グループの坪山透先生には、研究の議論や実験器具の製作など、お世話になりました。同グループの山田美帆さんには、ビームテストや、研究の議論などについて、お世話になりました。同グループのメンバーである、筑波大の原和彦先生、山内くん、岩波さんなどの方が本修士研究にとってほぼ一番重要なレーザーシステムの使用をご提供していただき、故障を直していただいたり、休日の使用を提供していただいたり、非常に助かりました。

また、KEK の新井先生、三好さん、倉知さん、外川さん、池上さんなどの SOIPIX グループの方から実験や、発表などについてお世話になりました。

東北大学の田村先生からセミナーや、本研究室の運営や、本修論の修正などについて、お世話になりました。東北大の山本先生、三輪さん、GPPU 関連教員などの方からセミナーを提供していただき、非常に勉強になりました。

最後に、大学院まで支えてくれた両親に感謝します。

## 参考文献

- [1] 長島順清, 高エネルギー物理学の発展, 朝倉書店.
- [2] 小野峻. 総合研究大学院大学, 2017, 博士論文.
- [3] ILC Technical Design Report-Volume.1.
- [4] ILC Technical Design Report-Volume.2.
- [5] ILC Technical Design Report-Volume.4.
- [6] Y. Arai et al. 2011, NIM A, 636, S31.
- [7] CPEC CDR-Vol.2.
- [8] L.Rossi ,et al,Pixel Detectors,Springer.
- [9] H.Spieler,Semiconductor Detector Systems,OXFORD.
- [10] 本多俊介, 筑波大学, 2015, 修士論文.
- [11] 関川大介, 筑波大学, 2017, 修士論文.
- [12] 小野善将, 東北大学, 2011, 修士論文
- [13] Miho Yamada ,et al,IEEE NSS, Semiconductor Detector I, N-29