

筑波大学大学院博士前期課程
数理物質科学研究科修士論文

大面積 SOI ピクセル検出器 INTPIX4 で構築した
飛跡再構成システムの 120GeV ビームを用いた性能評価

山内大輝
物理学専攻

2019 年 2 月

筑波大学大学院博士前期課程
数理物質科学研究科修士論文

大面積SOIピクセル検出器INTPIX4で構築した
飛跡再構成システムの120GeV ビームを用いた性能評価

山内大輝
物理学専攻

指導教員 武内 勇司 印

概要

Silicon-On-Insulator(SOI) 積層ウエハー技術を用いた、センサーと読み出し回路一体型の半導体ピクセル検出器の開発が、高エネルギー加速器研究機構(以下 KEK) の測定器開発室のプロジェクトとして 2005 年にスタートし、筑波大学もプロジェクト発足時より共同研究を進めてきた。

SOI 技術とは、 SiO_2 酸化膜層 Buried-OXide (BOX) を挟んで 2 種類のシリコンウェハーを貼り合わせて、 SiO_2 の絶縁膜上に MOSFET を形成する技術であり、SOI-CMOS 構造回路を形成する。支持基板のシリコンウェハーをセンサー部として用い、回路部のシリコン層と BOX 層を貫く金属ビアを形成することで、センサー・読み出し回路一体型のピクセル検出器の開発を実現する。センサー部には高比抵抗のウェハーを、回路部には低比抵抗のウェハーを用いることで、回路の特性を保ちつつセンサー部の完全空乏化を可能にした。また、Buried P Well (BPW) 構造を例とする埋込み電極の形成により、バックゲート効果を抑制しつつセンサーへの高電圧の印加が可能になった。SOI ピクセル検出器は、これらのようなセンサー・回路一体のモノリシック型検出器であるという利点の他にも、低寄生容量や低消費電力、耐放射線性能などといった優れた特性も持つ。

現在、SOI グループでは国際リニアコライダー (ILC) 用のバーテックス検出器に向けて SOi FIne-measurement of Space and Time (SOFIST) と呼ばれる SOI ピクセル検出器の開発が進められている。ILC 実験では、高ルミノシティ・高頻度での電子・陽電子ビームの衝突によって生成・崩壊する粒子を検出し、発生事象を精密に再構成するための検出器システムの研究開発が重要な要素となっており、特に崩壊点に最も近いバーテックス検出器では $3\text{ }\mu\text{m}$ 以下の高位置分解能を要求している。また、ILC のビーム構造はトレイン構造をしており、1 トレインに 1312 ビームバンチが連続的に入射するため、占有率を低減させるようなヒット情報の蓄積・読み出しのスキームも必要となる。SOFIST では、一つのピクセル上に検出粒子と検出時間情報を同時に記録するための回路の実装を目指している。最初の試作となる SOFIST Ver.1 ではセンサー単体での位置分解能評価のため $20\text{ }\mu\text{m}$ 角のアナログピクセル回路が実装された。次の試作となる SOFIST Ver.2 ではアナログピクセル回路に加えて、タイムスタンプ回路による時間情報の記録が可能なデジタルピクセル回路が実装された。この SOFIST Ver.2 の性能評価のため、米国フェルミ国立加速器研究所において 120 GeV の高エネルギー陽子ビームを用いた試験をした。

このビーム試験において、飛跡再構成システムとして INTPIX4 と呼ぶ SOI ピクセル検出器を 4 台稼働させた。INTPIX4 は $17\text{ }\mu\text{m}$ 角という微細ピクセル構造に加えて、 $8.7\text{ mm}\times 14.1\text{ mm}$ の大きな有感領域を持ち、大面積の高位置分解能飛跡検出器として期待される。本研究では、同様に 120 GeV の高エネルギー陽子ビームを用いて、INTPIX4 の大面積飛跡検出器としての性能評価を行った。その評価により、センサーとしての位置分解能が $1.7\text{ }\mu\text{m}$ 以下を達成した。さらに、INTPIX4 による飛跡の再構成後、SOFIST Ver.2 に内挿してその位置分解能も評価した。SOFIST のクラスタサイズは、ほとんどのクラスタで 1 であった。そこから推定される位置分解能は、ピクセルサイズの $1/\sqrt{12}$ である。測定結果、SOFIST のピクセルサイズから推定される値とほぼ等しい位置分解能をそれぞれのセンサーに与えることができた。

目 次

第 1 章	序章	1
第 2 章	半導体検出器	2
2.1	半導体の基礎特性	2
2.2	真性半導体と不純物半導体	3
2.2.1	真性半導体	3
2.2.2	不純物半導体	3
2.3	p - n 接合	4
2.4	半導体検出器	6
2.4.1	動作原理	6
2.4.2	ストリップ検出器	6
2.4.3	ピクセル検出器	7
第 3 章	SOI(Silicon-On-Insulator) 検出器	9
3.1	Silicon-On-Insulator 技術	9
3.2	SOI プロセス	10
3.2.1	シリコン単結晶の精製	10
3.2.2	SOI ウェハの製造	10
3.3	SOI ピクセル検出器	11
3.3.1	センサー構造	11
3.3.2	SOI ピクセル検出器の特長	12
3.3.3	Double-SOI 構造	15
第 4 章	大面積 SOI ピクセル検出器 INTPIX4	17
4.1	INTPIX4 概要	17
4.2	ピクセル回路構造と動作機構	18
4.3	データ収集 (DAQ) システム	19
4.3.1	SEABAS	19
4.3.2	Sub-Board	20
第 5 章	フェルミ国立加速器研究所 120GeV 陽子ビームテスト	22
5.1	フェルミ国立加速器研究所	22
5.2	セットアップ	22
5.3	同期システム	25
5.4	ROI システム	26

5.5	データ解析	27
5.5.1	ペDESTAL評価	28
5.5.2	クラスタリング	30
5.5.3	完全空乏化電圧の評価	34
5.5.4	電荷重心法による検出ヒット位置の評価	35
5.5.5	アライメント	36
5.5.6	INTPIX の位置分解能評価	49
5.5.7	SOFIST の位置分解能評価	55
第 6 章	結論	58

目 次

2.1	絶縁体のバンド構造	2
2.2	半導体のバンド構造	2
2.3	導体のバンド構造	2
2.4	真性半導体	3
2.5	n 型半導体	4
2.6	p 型半導体	4
2.7	n 型半導体のバンド構造	4
2.8	p 型半導体のバンド構造	4
2.9	p - n 接合	5
2.10	p - n 接合へ順バイアスの印加	5
2.11	p - n 接合へ逆バイアスの印加	5
2.12	P 型ストリップ検出器 [3]	7
2.13	両面型ストリップ検出器 [3]	7
2.14	N 型ピクセル検出器 [4]	8
3.1	Bulk-CMOS 構造 [5]	9
3.2	SOI-CMOS 構造 [5]	9
3.3	PD-SOI 構造と FD-SOI 構造の比較 [6]	10
3.4	Smart-Cut 法 [7]	11
3.5	SOI ピクセル検出器の構造 [8]	12
3.6	ハイブリット型検出器（左）とモノリシック型検出器（右）の接合の比較 [5]	13
3.7	Bulk-CMOS における素子分離レイアウト（左）、SOI-CMOS における Active 共有レイアウト（右） [10]	14
3.8	Double-SOI 構造 [10]	16
3.9	Double-SOI 構造をもつ SOIPIX のレーザー応答：（左）未照射、（中央）100kGy 照射後（Middle Silicon は電圧を印加していない）、（右）100kGy 照射後（Middle Silicon: -10V） [11]	16
4.1	（左）実物の INTPIX4、（右）INTPIX4 の並列読み出しブロック図 [12]	17
4.2	INTPIX4 のピクセル回路のブロック図 [12]	18
4.3	SEABAS	19
4.4	INTPIX4 の IO-Path の詳細 [12]	20
4.5	INTPIX4 の読み出しタイミングチャート [12]	20
4.6	Sub-Board	21

5.1	FNAL のビームスピン構造	22
5.2	セットアップ写真	23
5.3	センサー配置	23
5.4	SOFIST Ver.2 の全体レイアウト [10]	23
5.5	SOFIST Ver.2 回路: (上) タイムスタンプ 픽셀回路、(下) アナログ シグナル 픽셀回路 [10]	24
5.6	検出器間の同期ダイアグラム	25
5.7	検出器間における同期タイミングチャート	26
5.8	ROI を指定した DAQ モニタの写真: (青の領域) 読み出しを行っていない 領域、(緑の領域) ROI 領域 (256×256 pixels)	27
5.9	ある 픽セルにおける pedestal 分布	28
5.10	픽セルノイズ分布	29
5.11	あるフレームにおける全 픽セルの ADC 分布: (左) 補正前、(右) 補正後	29
5.12	各フレーム内で検出された クラスタ数の分布	31
5.13	クラスタサイズ分布	32
5.14	クラスタ電荷分布	33
5.15	INTPIX2 の クラスタ検出数: (左図) column 方向、(右図) row 方向	33
5.16	各電圧における クラスタ電荷分布	34
5.17	逆バイアス電圧と収集電荷量の相関	35
5.18	Beam Profile	36
5.19	システム全体の座標系	37
5.20	INTPIX3 の検出ヒット位置と他センサーの相対位置の相関 (回転補正前)	38
5.21	INTPIX3 の検出ヒット位置と他センサーの相対位置の相関 (回転補正後)	38
5.22	INTPIX3 に対する各センサーの相対位置の分布 (平行方向補正前): x 方 向 (上)、y 方向 (下)	39
5.23	INTPIX3 に対する各センサーの相対位置の分布 (平行方向補正後): x 方 向 (上)、y 方向 (下)	39
5.24	y 方向残差分布 (アライメント完了前)	42
5.25	χ^2 分布 (アライメント完了前)	43
5.26	x 方向残差分布 (アライメント完了前)	44
5.27	INTPIX2 を除いた 2 枚でトラックを引いた際の y 方向残差分布	44
5.28	INTPIX1 のアライメントパラメータ導出解析イタレーション。横軸: イタ レーション回数、 Δx , Δy 補正を 5 回実施毎に θ を補正	46
5.29	INTPIX2 のアライメントパラメータ導出解析イタレーション。横軸: イタ レーション回数、 Δx 補正を 5 回実施毎に θ を補正	46
5.30	INTPIX4 のアライメントパラメータ導出解析イタレーション。横軸: イタ レーション回数、 Δx , Δy 補正を 5 回実施毎に θ を補正	46
5.31	1 回目の回転角計算。横軸: 回転角、縦軸: x 方向残差分布の標準偏差	47
5.32	2 回目の回転角計算。横軸: 回転角、縦軸: x 方向残差分布の標準偏差	47
5.33	x 方向残差分布 (アライメント完了後)	48
5.34	y 方向残差分布 (アライメント完了後)	48

5.35 χ^2 分布（アライメント完了後）	49
5.36 再構成飛跡の傾き分布：x 方向	50
5.37 再構成飛跡の傾き分布：y 方向	50
5.38 再構成飛跡の傾き分布（ $\chi^2 < 10$ ）：x 方向	51
5.39 再構成飛跡の傾き分布（ $\chi^2 < 10$ ）：y 方向	51
5.40 x 方向残差分布（飛跡選別後）	52
5.41 y 方向残差分布（飛跡選別後）	52
5.42 異なるピクセルサイズを持つセンサーごとの S/N と位置分解能の関係 [15] .	54
5.43 各 INTPIX におけるセンサー位置ごとの残差平均（x 方向）	55
5.44 SOFIST の x 方向残差分布	56
5.45 SOFIST の y 方向残差分布	56

表 目 次

2.1 半導体 (Si, Ge) でのバンドギャップエネルギーといくつかの気体の平均イオン化エネルギーの比較 [2]	6
4.1 INTPIX4 のデザインパラメータ	18
5.1 SOFIST Ver.2 のデザインパラメータ [10]	24
5.2 ROI サイズごとのフレームレート	27
5.3 測定パラメータ	27
5.4 S/N の測定結果	34
5.5 初回の飛跡再構成時におけるクラスタ電荷カットの条件	43
5.6 初回の飛跡再構成時におけるトラックに対する χ^2 カットの条件	43
5.7 x 方向の残差分布の拡がり と位置分解能	53
5.8 y 方向の残差分布の拡がり と位置分解能	54
5.9 x 方向の残差分布の拡がり と位置分解能 (SOFIST)	56
5.10 y 方向の残差分布の拡がり と位置分解能 (SOFIST)	56

第1章 序章

素粒子実験における荷電粒子検出器にはガス検出器や半導体検出器が主に利用されているが、特に半導体検出器はガス検出器と比べてエネルギー分解能が高く、また微細加工技術の観点から位置分解能においても優れている。そのため、高エネルギー物理学分野の加速器実験における検出器には、半導体検出器が広く利用されている。KEK の測定器開発室では、2005 年より Silicon-On-Insulator (SOI) 技術を用いた半導体ピクセル検出器の開発が行われており、筑波大学もプロジェクト立ち上げ時から共同研究を進めてきた。SOI ピクセル検出器は、従来の半導体検出器と比べて、ピクセルの細密化や低消費電力、高放射線耐性などの点で優れており、現在ではその利点を生かして ILC 用のバーテックス検出器として SOFIST と呼ぶ SOI ピクセル検出器の開発が行われている。その 2 番目の試作機となる SOFIST Ver.2 の性能評価を行うため、アメリカのフェルミ国立加速器研究所の 120GeV 陽子ビームを用いて、ビーム試験を行った。このビーム試験において、飛跡再構成システムとして、同じく SOI ピクセル検出器である INTPIX4 を 4 台稼働させた。INTPIX4 は、SOI ピクセル検出器の中でも最大規模の面積をもっており、またピクセルサイズも $17\ \mu\text{m}$ 角と微細なため、高位置分解能をもつ大面積飛跡検出器として期待できる。本研究では、INTPIX4 の位置分解能等の飛跡検出器としての性能評価を行った。また INTPIX4 で再構成した飛跡を SOFIST Ver.2 に内挿することで、SOFIST Ver.2 の位置分解能も評価した。

第2章 半導体検出器

2.1 半導体の基礎特性

固体物質は電気伝導度により、絶縁体・半導体・導体の3種類に大きく分類される。それぞれにおいて電気伝導度 σ が大きく異なり、絶縁体では $\sigma=10^{-18}\sim 10^{-8}$ S/cmの低い伝導度を有し、導体では $\sigma=10^4\sim 10^6$ S/cmの大きな伝導度を持つ。半導体の伝導度は、これらの中間の値を取り、温度や光および微量な不純物に対し非常に敏感である。このような性質のため、半導体はエレクトロニクスにおけるもっとも重要な材料の一つになっている。このような電気伝導度の違いは、それぞれの物質のエネルギーバンド構造の違いによるものである。図2.1~2.2にそれぞれのバンド構造を示す。電子が詰まっているバンドを価電子帯とよび、ある一定以上のエネルギーを与えると価電子帯中の電子は伝導帯と呼ばれるバンドに励起され電流が流れる。このエネルギーの大きさは、価電子帯と伝導帯のバンド間の大きさに相当し、バンドギャップ E_g と呼ばれる。絶縁体では価電子が隣接原子と強い結合をつくっているため電気伝導に寄与する電子が存在せず図2.1に示すように大きなバンドギャップを持つ。半導体では、図2.2に示すようにエネルギーギャップはそれほど小さくなく、いくつかの電子は価電子帯から伝導帯へ励起され、あとに正孔が残る。そこへ電圧をかけると、電子と正孔が運動エネルギーを得て電流が流れる。導体では、図2.3のように価電子帯と伝導帯が重なっているか、もしくは伝導帯の一部に電子が詰まっているようなバンド構造を取っており、そのためエネルギーギャップが存在しない。故に、電圧がかけられると、伝導帯あるいは価電子帯上端の電子がすぐに運動エネルギーを得て、容易に電流が流れる。

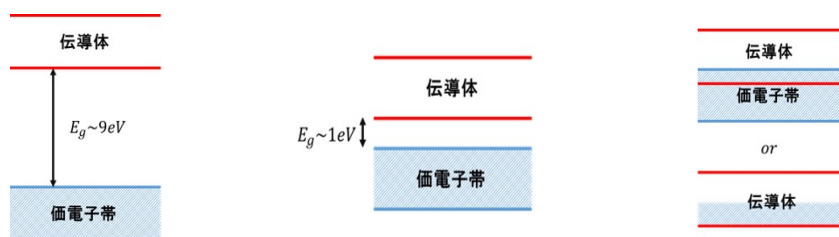


図 2.1: 絶縁体のバンド構造 図 2.2: 半導体のバンド構造 図 2.3: 導体のバンド構造

2.2 真性半導体と不純物半導体

2.2.1 真性半導体

有限の温度下において、半導体における価電子帯の電子は熱運動により伝導帯へ励起され、同数の正孔が価電子帯に発生する。この熱的に発生した電子、正孔密度に比べて不純物濃度が小さい半導体を真性半導体と呼ぶ。真性半導体では、すべての電子が隣接原子との共有結合に使われる価電子であるため（図 2.4）、室温程度だと十分な熱励起が行われず、トランジスタ等の電気素子にはあまり有効でない。そこで、不純物を付与（ドーピング）して電気伝導度を上げる不純物半導体について、次に述べる。

2.2.2 不純物半導体

半導体にドーピングする不純物の種類により、不純物半導体は大きく二つに分類される。一つは5つの価電子を持つ元素をドーピングした n 型半導体である。図 2.5 に As 元素をドーピングして Si 原子が As に置換された状況を模式的に表している。As 原子は隣接する4個の Si 原子と共有結合を行い、残った電子は伝導帯に供与され伝導電子となる。故に、As 原子はドナーとよばれ、Si は負電荷のキャリアを追加されて n 型になる。同様に、3つの価電子を持つ元素をドーピングした半導体を p 型半導体と呼ぶ。図 2.6 に3価の B 元素が Si と置換した場合を示す。4個の共有結合が B 原子の周りにできるため、電子が1個取り込まれ、価電子帯に正の電荷をもつ正孔が生じる。このとき、B 原子はアクセプタと呼ばれる。

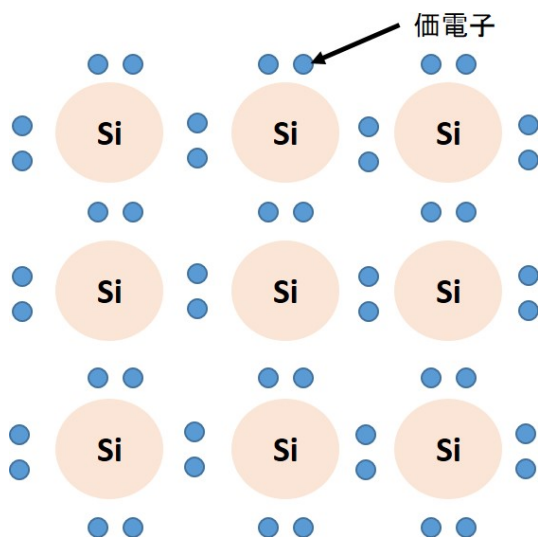


図 2.4: 真性半導体

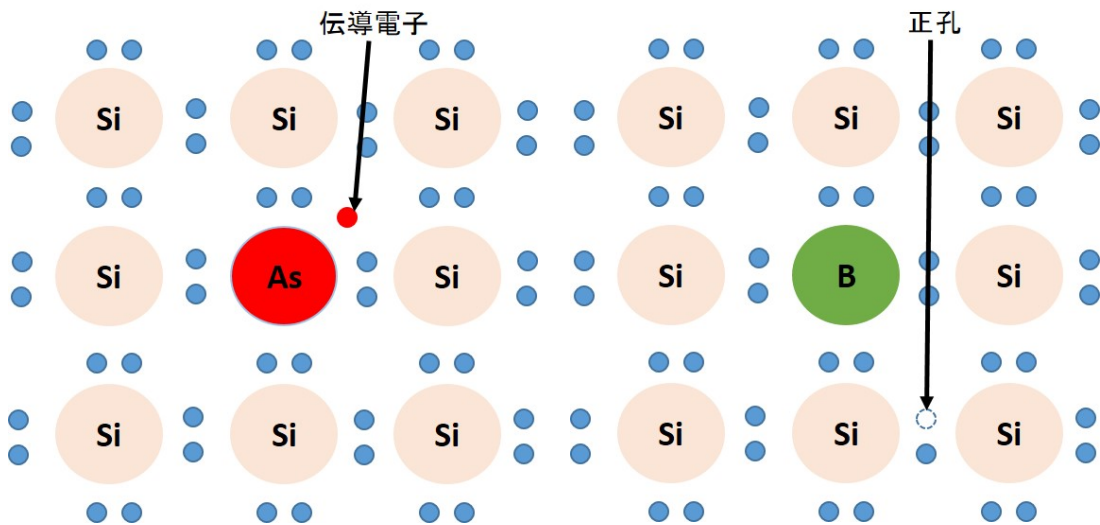


図 2.5: n 型半導体

図 2.6: p 型半導体

これらのドナーやアクセプタにより、 n 型半導体と p 型半導体はそれぞれドナー準位 E_D とアクセプタ準位 E_A と呼ばれる新たなエネルギー準位を獲得する。 n 型半導体と p 型半導体のバンド構造を図 2.7 と図 2.8 に示す。本来、価電子帯の電子が励起するには $E_g = E_C - E_V$ のエネルギーが必要であるが、ドナー準位とアクセプタ準位の形成のためそれより小さいエネルギーでも電流が流れるようになる。このような原理により、不純物半導体は真性半導体よりも大きな電気伝導性を獲得する。

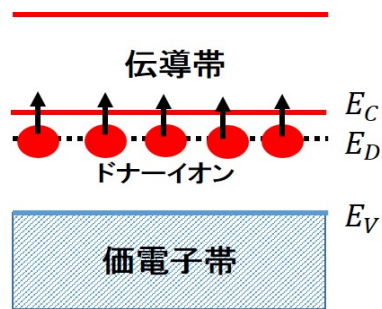


図 2.7: n 型半導体のバンド構造

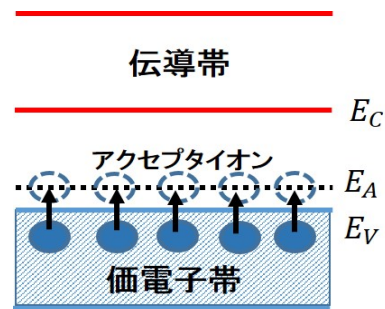


図 2.8: p 型半導体のバンド構造

2.3 p - n 接合

ここでは、 p 型半導体と n 型半導体を結合させた p - n 接合を形成する半導体について考える。前節で述べたように、 p 型半導体は正孔を、 n 型半導体は伝導電子を多数もっている。これらの半導体を接合させると、キャリアの密度勾配によってキャリアの拡散が起こる。すなわち、 p 側から n 側に向けて正孔が、 n 側から p 側に向けて電子が拡散する。このキャリアの拡散によって流れる電流を拡散電流と呼ぶ。拡散した正孔と電子は、互いに

再結合して安定化する。また、正孔が p 側から離れると、負のアクセプタイオンが接合近傍に残される。これは、正孔は自由に動き回れるが、アクセプタイオンは結晶格子として固定されているためである。同様の理由で、 n 側では正のドナーイオンが取り残される。その結果、接合の p 側には負の空間電荷が形成され、 n 側には正の空間電荷が形成される。すなわち、接合近傍にはキャリアの存在しない電界領域が発生し、この領域を空乏層と呼ぶ。この空乏層内の電界によって流れる電流をドリフト電流と呼ぶ。外部からの刺激のない熱平衡状態においては、ドリフト電流が拡散電流を打ち消しており、接合面を通過する実効的な電流はゼロである。図 2.9 に p - n 接合の様子を示す。

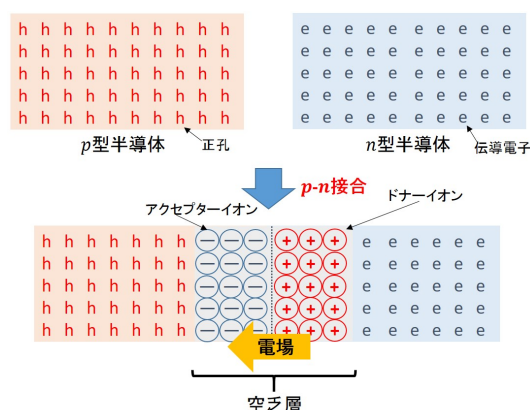


図 2.9: p - n 接合

次に、 p - n 接合に電圧を印加することを考える。 p - n 接合に電圧を印加すると、拡散電流とドリフト電流の均衡が破れる。 p 型半導体の方に正の電圧を印加する順方向バイアスでは、空乏層内の静電ポテンシャルが減少し、ドリフト電流が拡散電流に比べて少なくなる。すなわち、 p 側から n 側への正孔拡散および n 側から p 側への電子拡散が増大して、互いに少数キャリアの注入が行われる。その結果、空乏層厚は減少する (図 2.10)。同様に、 n 型半導体に正の電圧を印加する逆バイアスでは、空乏層内の静電ポテンシャルが印加電圧によって増大し、拡散電流が減少する。その結果、逆バイアスにおいては空乏層厚が増大するだけに留まる (図 2.11)。

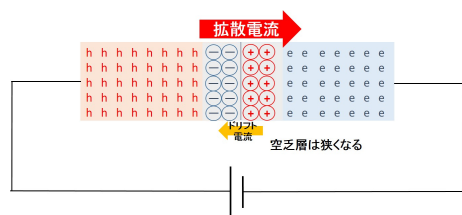


図 2.10: p - n 接合へ順バイアスの印加

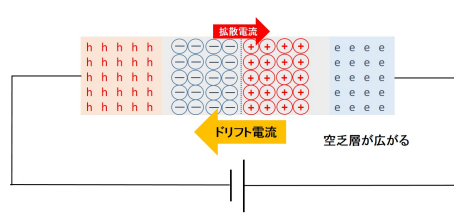


図 2.11: p - n 接合へ逆バイアスの印加

逆バイアス印加時の n 側 (p 側) に拡がる空乏層厚 d は、式 (2.1) のように計算できる。ここで、 ϵ は誘電率、 ρ は n 型 (p 型) 半導体の抵抗率、 μ は電子 (正孔) の移動度、 V_0 は拡散電圧、 V は逆バイアス電圧である。

$$d = \sqrt{2\epsilon\rho\mu(V_0 + V)} \quad (2.1)$$

2.4 半導体検出器

2.4.1 動作原理

素粒子実験における荷電粒子検出器には、ガス検出器や半導体検出器などが用いられている。これらの検出器中に荷電粒子が通過すると、荷電粒子が物質中に落とすエネルギーにより物質内の原子がイオン化し、これを信号として検出することで粒子の位置情報などを測定する。このイオンを生成するのに必要なエネルギーを、平均イオン化エネルギーという。表 2.1 に物質ごとの平均イオン化エネルギーをまとめる。これを見ると、ガス検出器で使われるような He, Ne, Ar, CH₄ ではおよそ 30eV 程度である。それに比べ、半導体検出器で使われるような Si や Ge の方が電子正孔対を生成するエネルギーが小さいことがわかる。このことより、半導体検出器はガス検出器よりもエネルギー分解能に優れており、また微細加工技術の観点から位置分解能においても長けている。そのため、高エネルギー物理学分野の加速器実験における検出器には、半導体検出器が広く利用されている。その中のストリップ検出器とピクセル検出器について、次に紹介する。

	エネルギー [eV]
Si	1.1
Ge	0.7
He	41
Ne	36
Ar	26
CH ₄	28

表 2.1: 半導体 (Si, Ge) でのバンドギャップエネルギーといくつかの気体の平均イオン化エネルギーの比較 [2]

2.4.2 ストリップ検出器

図 2.12 に、基本的なシリコンストリップ検出器の構造を示す。図のシリコンストリップ検出器は、 n 型半導体の表面に p^+ ストリップを形成し、反対側は n^+ 半導体となるような構造をしている。 n^+ 半導体の部分に十分な逆バイアス電圧をかけることで、 n 型半導

体の部分に空乏層が形成され、 p^+ ストリップと n 型半導体は $p-n$ 接合を形成する。空乏層領域に荷電粒子が通過すると電子正孔対が形成されて、正孔は p^+ ストリップに、電子は n^+ 半導体表面へ収集される。これらの信号を読み出すことで、通過した荷電粒子のエネルギーや位置情報を求めることができる。これがストリップ検出器の原理である。しかし、図 2.12 のような構造のストリップ検出器だと、1 次元の位置情報しか求めることができない。そこで、図 2.13 のように反対側の n^+ 半導体もストリップ状にしてそれぞれのストリップを互いに直交するように張ることで、2 次元の位置情報を取得することができる。しかし、複数の荷電粒子が同時に通過してしまうと、ゴーストが発生してしまうという問題もある。例えば、粒子が座標 (1,2) と (3,4) に同時に入射したと仮定する。このとき、 x 方向には 1 と 3 の位置に同時に信号が読み出され、 y 方向には 2 と 4 の位置に同時に信号が読みだされる。そのため、入射位置を再構成する際には $\{(1,2), (3,4)\}$ の組み合わせと $\{(1,4), (3,2)\}$ の組み合わせの 2 通りが考えられるようになってしまう。したがって、実用上は同時に複数の荷電粒子が入射しない領域で用いられる。

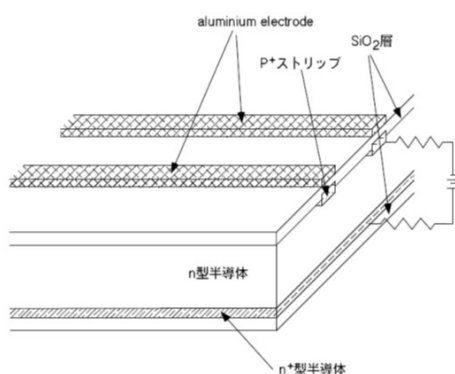


図 2.12: P 型ストリップ検出器 [3]

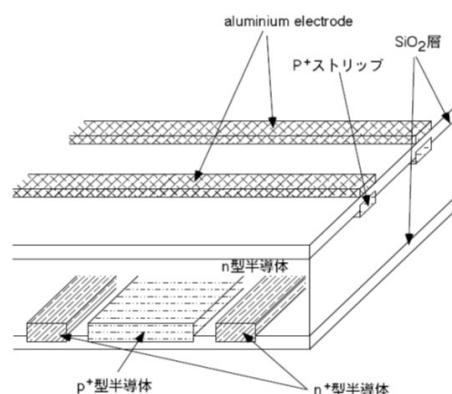


図 2.13: 両面型ストリップ検出器 [3]

2.4.3 ピクセル検出器

図 2.14 に、基本的なピクセル検出器の構造を示す。図のピクセル検出器では、 n^- 型半導体の表面に p^+ 型の半導体をピクセル上に配置しており、 p^+ 半導体の部分に十分な逆バイアス電圧をかけることで、 n^- 半導体の部分に空乏層が形成される。空乏層に荷電粒子が入射すると、そこで電子正孔対が形成され、入射した真上の p^+ 半導体に正孔が引き寄せられる。これを検出することで荷電粒子の入射位置やエネルギーを求めることができる。ストリップ検出器と違って、ゴーストが発生することはないので精密な位置測定が可能であるというメリットがあるが、読み出しチャンネルの増加に伴う処理速度の制限や、回路部とセンサー部を金属バンプで接合するようなものにおいては物質量の増加などのデメリットもある。

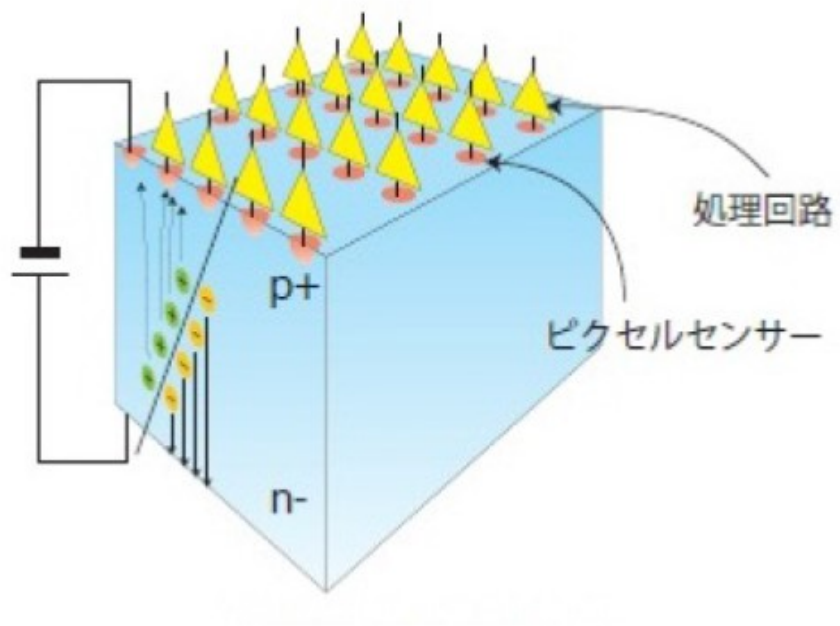


図 2.14: N 型ピクセル検出器 [4]

第3章 SOI(Silicon-On-Insulator) 検出器

3.1 Silicon-On-Insulator 技術

SOIとは、Silicon-On-Insulatorの略で、その名の通り、シリコン酸化膜(SiO_2)層を形成し、さらにその上にMOSFETを形成するシリコン層を形成するウェハー製造技術である。従来のバルクシリコンによるウェハープロセスで製造されるBulk-CMOS回路では、P基板(N基板)上にP-Well(N-Well)領域を形成してNMOS FETとPMOS FETを配置する(図3.1)。この場合、PNPN構造により寄生サイリスタや大きな寄生容量が生じるため、ラッチアップによる故障やリーク電流の増加、回路の動作速度の低下などの問題が発生する。しかし、SOI技術を用いて製造されるSOI-CMOS回路は、 SiO_2 の絶縁膜上にMOSFETを配置するため、それぞれの素子は電氣的に完全に分離される(図3.2)。これにより、Bulk-CMOS構造で問題になっていた寄生サイリスタや寄生容量を抑制することができるため、SOI-CMOSデバイスはラッチアップ耐性の向上、回路動作の高速化、低消費電力、回路の高密度実装などの利点を得る。これらの利点に関しては、3.2節で詳しく述べる。また、SOIには部分空乏型(Partially Depleted-SOI: PD-SOI)と完全空乏型(Fully Depleted-SOI: FD-SOI)の2種類の構造がある(図3.3)。PD-SOIでは、ゲート直下のシリコン内部(ボディ領域)の一部に空乏化していない中性領域が存在する。このため、ボディ領域が電氣的に浮遊状態になり特性変動を引き起こす基板浮遊効果の問題が生じる。FD-SOIでは、ボディ領域のシリコン層の厚みを薄くすることで完全空乏化させることができ、基板浮遊効果の問題を取り除くことができる。しかし、ソース・ドレイン間の耐圧の低さや加工の難しさなどの課題もある。

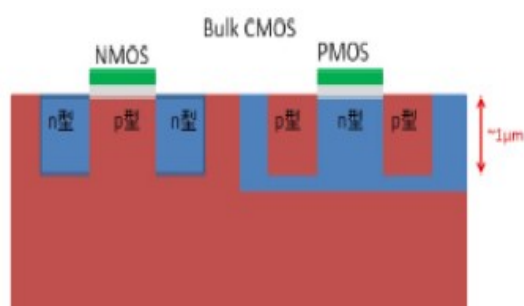


図 3.1: Bulk-CMOS 構造 [5]

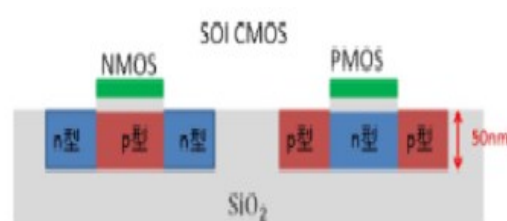


図 3.2: SOI-CMOS 構造 [5]

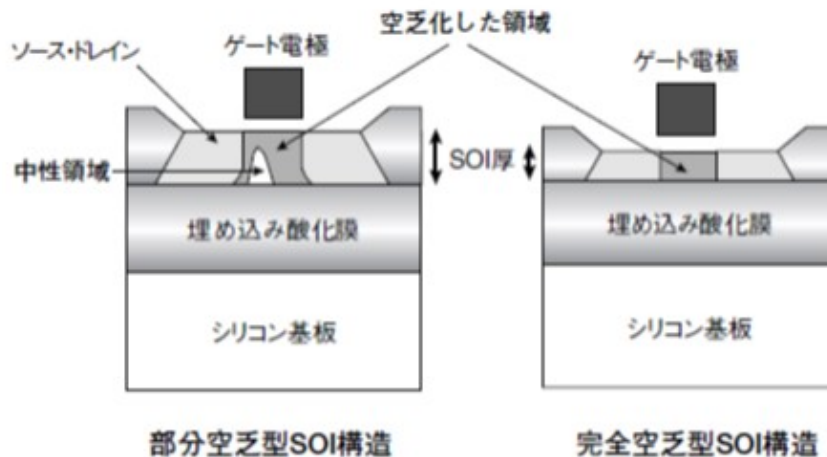


図 3.3: PD-SOI 構造と FD-SOI 構造の比較 [6]

3.2 SOI プロセス

3.2.1 シリコン単結晶の精製

SOI ウェハーを製造する際のシリコン単結晶の精製方法には、主に Czochralski(Cz) 法と Floating Zone(Fz) 法の 2 パターンがある。この 2 つの手法について、以下にまとめる。

Cz 法

Cz 法とは、結晶育成法の中で最も利用されている手法で、石英の坩堝の中で溶融させたシリコンの表面にシリコン種結晶を接触させて、回転させながら引き上げることで円柱状の結晶を精製する手法である。Cz 法では、精製時に坩堝から酸素原子がシリコン結晶に混入してしまうので、そこから製造されるウェハーの基板抵抗は小さくなるという特徴がある。

Fz 法

Fz 法では、Cz 法と異なり坩堝を使用せず、棒状多結晶シリコンの下に種結晶を接合して加熱をすることで溶融部をつくる。この溶融部を維持しながら全体を下方に移動させて下方部を冷却することで、結晶化させる。その際、不純物は溶融部に取残されるため高純度の単結晶が生成可能であるというメリットがあるが、生成される単結晶のサイズを大きくできないというデメリットもある。

3.2.2 SOI ウェハーの製造

精製されたシリコンウェハーを用いて、SOI ウェハーの製造を行う。その製造方法については、SIMOX 方式と Smart-Cut 方式が一般的であるが、品質面とコスト面から Smart-Cut 方式が主流となっている。以下に、図 3.4 と共に Smart-Cut 方式の流れを示す。SOI

センサーの製造にあたっては、使用する 2 枚のシリコンウェハーには異なる抵抗率のものを、高抵抗のウェハーの方をセンサー部に用いている。

1. 2 つのシリコンウェハーを用意する。
2. 片方のウェハーに絶縁層となる酸化膜を形成する。
3. 形成した酸化膜下へ水素イオンを注入する。水素が注入されると水素脆化現象が起き、注入された領域を境目として剥離しやすくなる。
4. 水素イオンを注入したウェハーをもう一方のウェハーに接合する。
5. 上部シリコンを剥離する。
6. 表面研磨による仕上げ処理を行うで、SOI ウェハーが完成する。
7. 剥離された上部シリコンは、再び SOI ウェハー製造のために再利用される。

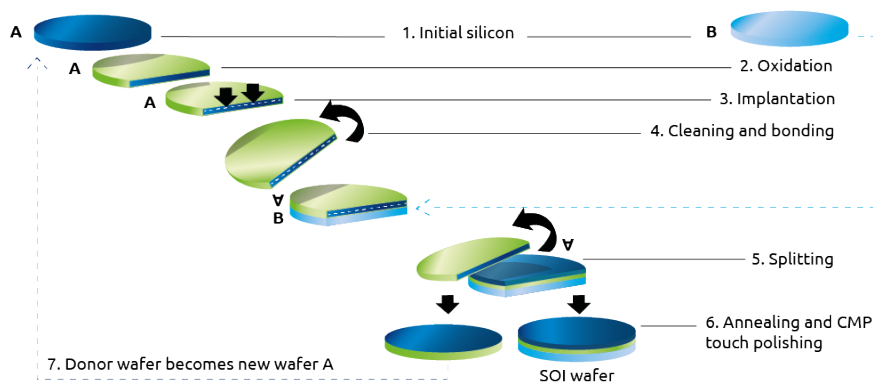


図 3.4: Smart-Cut 法 [7]

3.3 SOI ピクセル検出器

3.3.1 センサー構造

2005 年より、KEK の測定器開発室のプロジェクトとして SOI ウェハーを用いたセンサー・回路一体型のピクセル検出器（SOIPIX）の開発がスタートした。SOI センサーの構造を図 3.5 に示す。SOI センサーは、上部のシリコン層に MOSFET を配置して回路層を形成し、下部のシリコン層はセンサー層として機能している。センサー層は、裏面側から高電圧をかけることで空乏化が可能であり、空乏層内で生成されたキャリアはセンサー層上部のセンスノードへと収集される。上下の二つのシリコン層は、BOX 層を通じて金属貫通配線（金属 VIA）により接続されており、センスノードに集められた電荷はこの金属 VIA を通して回路層に送られ、信号処理を経て外部に読み出される。

SOI センサーの開発では、Lapis Semiconductor[9] の $0.2\mu\text{m}$ FD-SOI プロセスを使用している。FD-SOI は、ボディ領域のシリコン層を薄くしているためドレイン・ソース間の接合容量が小さく、MOSFET の回路特性向上や SEE（シングレイベント効果）への耐性などの利点があるが、バックゲート効果の問題も発生する。バックゲート効果とは、センサー基板への高電圧印加によりボディ領域にバックチャネルが形成され、MOSFET の閾値電圧が変化する現象である。この問題を抑制するため、n 型基板の場合はセンスノードに接続される形で BPW(Buried P-Well) と呼ばれる p-well 層を、MOSFET 直下に埋め込んでいる（p 型基板の場合は n-well 層が埋め込まれるため BNW と呼ぶ）。BPW は金属 VIA を介してセンスノードと接続されるため、外部からの電圧供給により定電圧を保つ。通常はセンスノードにつなげることで、センサーに印加された高電圧による電場を遮断し、回路の特性変動を抑制することが可能である。また、センスノードと接続することにより電荷の収集面積が増大するので、ピクセル境界に入った電荷の損失も抑えることができる。しかし同時に、隣接する BPW 間に寄生容量が発生するので、BPW の過度な面積増加はゲインの低下やノイズの増加にもつながり、サイズの最適化が重要となる。

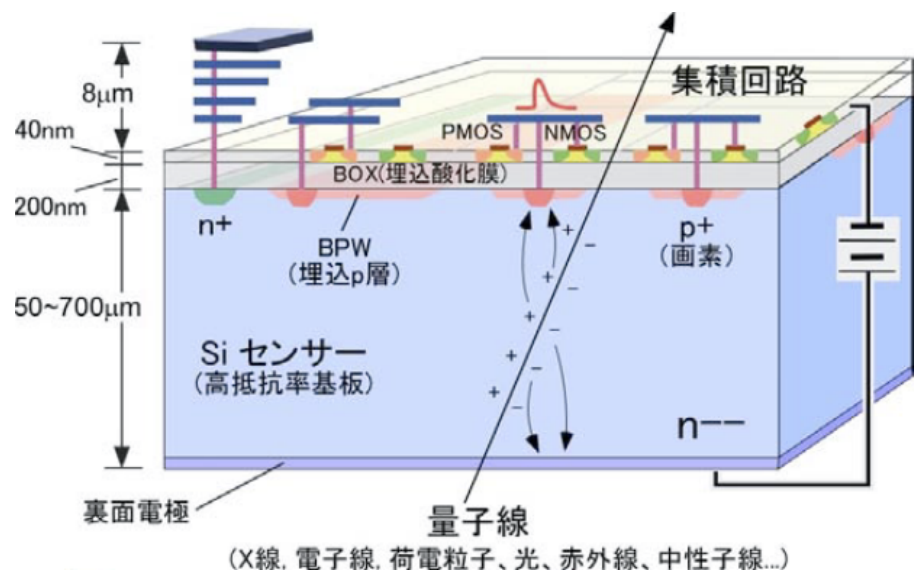


図 3.5: SOI ピクセル検出器の構造 [8]

3.3.2 SOI ピクセル検出器の特長

以上の SOI 技術とセンサー構造をもって開発されている SOI ピクセル検出器の特長を以下にまとめる。

センサー・回路一体型（モノリシック型）

SOI センサーは、2 枚のシリコンウェハを絶縁膜層で挟んで金属 VIA で接続している、センサー・回路一体のモノリシック型検出器である。従来の加速器実験で使

用されている検出器は、回路部とセンサー部を金属バンプで接続するようなハイブリット型検出器である。この金属バンプのため、ピクセルサイズも大きく制限され、検出器の物質量も大きくなっている。また、多チャンネル化による大量のバンプ形成は、コストの面からも限界に近づいている。SOIPIX の場合は、絶縁膜層が薄く、金属バンプも必要としないため、ピクセルサイズも物質量も小さくなっている。加速器実験においては、荷電粒子の飛跡検出器では多重散乱を防ぐために、この低物質量化がとても重要になっている。図（3.6）に、ハイブリット型検出器とモノリシック型検出器の接合の違いを示す。

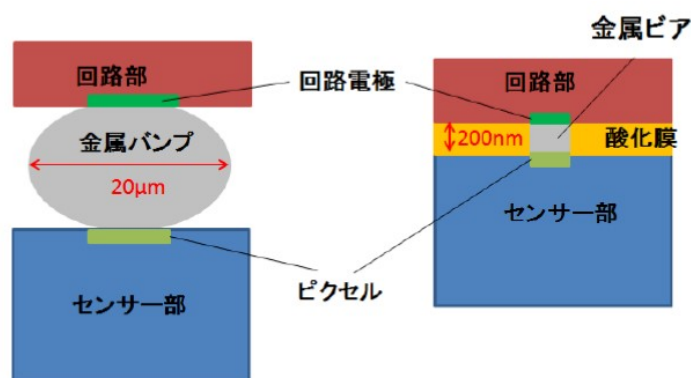


図 3.6: ハイブリット型検出器（左）とモノリシック型検出器（右）の接合の比較 [5]

低寄生容量

SOI-CMOS 構造では MOSFET 間と MOSFET-基板間は酸化膜層で分離されているので、Bulk-CMOS 構造のような PNPN 接合が存在せず寄生容量が小さくなる。これにより、SOIPIX は読み出しにおける高 S/N・信号処理の高速動作が可能となる。

回路の高密度実装

SOI-CMOS 構造では、Bulk-CMOS 構造のように素子分離のための P/N-Well 構造がないので、NMOS FET と PMOS FET の Active 領域を結合するような素子構造も可能となる（図 3.7）。これにより、ピクセルの小型化が可能となり、従来の検出器よりも高密度に回路を配置することが可能となった。

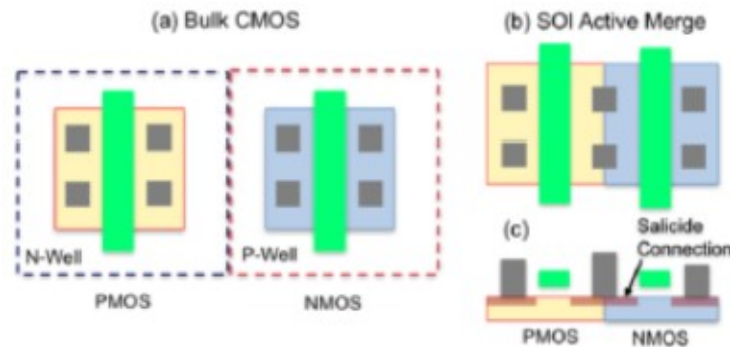


図 3.7: Bulk-CMOS における素子分離レイアウト (左)、SOI-CMOS における Active 共有レイアウト (右) [10]

低消費電力

SOI-CMOS 構造では、各 MOSFET は酸化膜により完全に電氣的に分離されている。このためリーク電流の発生を抑制でき、低消費電力での動作が可能になる。

高放射線耐性

高エネルギー分野における加速器実験で使用される検出器は、長期間にわたる実験で大量の放射線にさらされる。そのため、実験に用いられる検出器には高い放射線耐性が要求される。放射線が検出器に与える影響について、それらに対する SOI センサーの利点と共に以下にまとめる。

シングスイベント効果 (SEE : Single Event Effect)

荷電粒子が入射し、半導体素子近くに高密度の電子正孔対が生成されることで素子内に大電流が流れ、回路の誤動作・寄生サイリスタ起因のラッチアップによる素子破壊などが起こることがある。このような、荷電粒子入射ごとに発生する偶発的な回路の故障を SEE と呼ぶ。SOI センサーでは、各 MOSFET は絶縁膜で電氣的に完全に分離され、ゲート直下の空乏層領域も従来の Bulk-CMOS 構造のものに比べて薄くなっており、またセンサー領域と回路層も BOX 層によって完全に分離されているので、SEE に対して大きな耐性を持っている。特に、FD-SOI ではゲート直下のシリコン層を薄くしているため、SEE に対する耐性がより優れている。

TID (Total Ionizing Dose) 効果

荷電粒子の入射によりシリコンウェハの酸化膜中で電子正孔対が生成されると、電子は正孔よりも移動度が大きいため、そのほとんどが再結合もしくは電極へ回収される。それに対し、正孔は SiO_2 内や Si/SiO_2 の界面でトラップされて酸化膜が正に帯電してしまうので、その周囲の MOSFET の閾値電圧変動が起こる。これを TID 効果と呼び、長時間放射線にさらされる程、TID 効果によるダメージは増加する。SOI センサーでは、BOX 層に正孔がトラップされることにより TID 効果の影響が現れる。しかし、後述の Double-SOI 構造を

導入することで TID 効果を抑制することができる。

格子欠陥損傷効果

格子欠陥損傷効果とは、高エネルギーハドロンや中性子などがシリコンウェハー内に入射した際に、結晶の原子をはじき出すことで発生する格子欠陥による効果である。格子欠陥が発生すると、シリコンのエネルギーバンド内に新たなエネルギー準位が形成され、このエネルギー準位を介した価電子帯から伝導帯への熱励起による暗電流の増加や、伝導帯内のキャリアがこのエネルギー準位にトラップされることによっておこる収集電荷損失などの影響が発生する。特に n 型半導体では、エネルギー準位がアクセプタ準位付近に形成されるため不純物濃度が変化し、その結果 p 型半導体に変化してしまうことがある。これを、Type-inversion とよぶ。SOI センサーにおいては、この格子欠陥損傷に対する評価はまだ行われていないので今後必要な評価項目の一つとなっている。

3.3.3 Double-SOI 構造

SOI センサーにおける TID 効果を抑制するため、Double-SOI 構造をもつ SOI センサーが考案された。図 3.8 にその構造を示す。Double-SOI 構造では、BOX 層内に新たなシリコン層（Middle Silicon）を形成し、回路層と金属 VIA により接続することで任意の電圧を印加できるようにしている。この電圧値を調整することで、BOX 層内にトラップされた正電荷による影響を相殺することができ、照射線量が増加しても MOSFET の動作性能を維持することが可能となる。INTPIXh2 と呼ばれる SOIPIX では、100kGy の γ 線を照射後、Middle Silicon に電圧を印加することで赤外レーザーの応答が回復することが確認された [11]（図 3.9）。現在は、約 1 MGy 以上の γ 線照射後も動作することが確認されている。

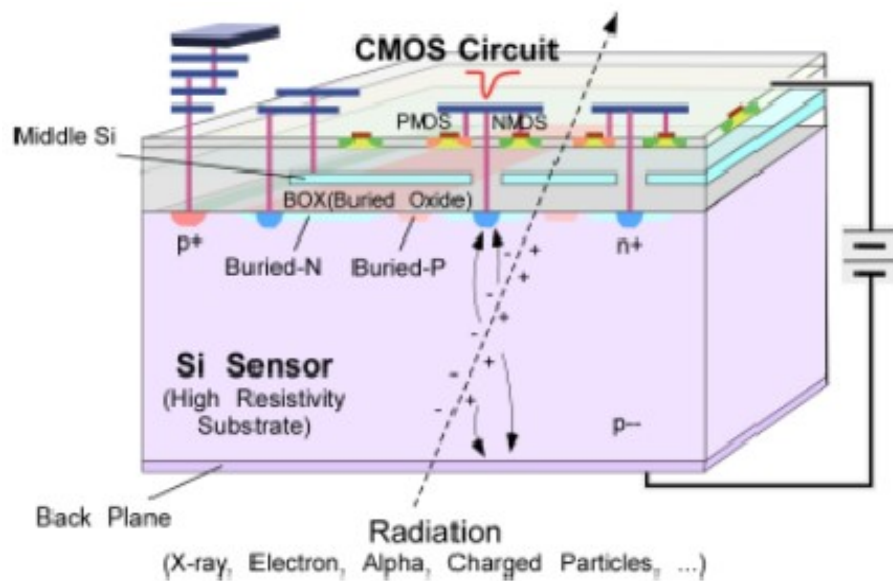


図 3.8: Double-SOI 構造 [10]

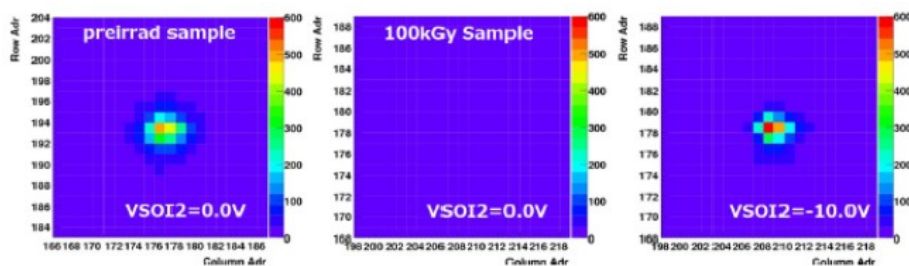


図 3.9: Double-SOI 構造をもつ SOIPIX のレーザー応答：（左）未照射、（中央）100kGy 照射後（Middle Silicon は電圧を印加していない）、（右）100kGy 照射後（Middle Silicon: -10V） [11]

第4章 大面積SOIピクセル検出器 INTPIX4

本章では、この研究において評価した SOI ピクセル検出器 INTPIX 4 のセンサー概要について説明する。

4.1 INTPIX4 概要

INTPIX4 は、KEK の三好氏、新井氏により設計され、Lapis Semiconductor の FD-SOI 0.2 μ m プロセスにより製造された SOI ピクセル検出器である。図 4.1 に、実物の INTPIX4 の写真と、INTPIX4 の並列読み出しブロック図を示す。INTPIX4 は、17 μ m 角の微細ピクセルを持ち、それを 832 \times 512 (425984) pixels 配置している。そのため、有感領域が 14.1 \times 8.7 mm² (チップサイズは 15.4 \times 10.2 mm²) と大きく、SOI ピクセル検出器の中でも最大クラスの大きさを誇る。表 4.1 に、INTPIX4 の検出器デザインのパラメータを示す。

現在 INTPIX4 は、X 線を用いた応力測定 [13] や時間・空間イメージングセンサー [14] など様々分野で利用されているが、高エネルギービームを用いた加速器実験においては使用されたことがなかった。そこで、本研究で行ったビーム照射実験における DUT (Device-Under-Test) を評価するための飛跡検出器を選出する際、DUT の有感領域以上の面積をもち、さらに微細ピクセル構造をもつ INTPIX4 に、高位置分解能を有する大面積飛跡検出器としての可能性を見出し、本研究では INTPIX4 の飛跡検出器としての性能評価を行うこととした。

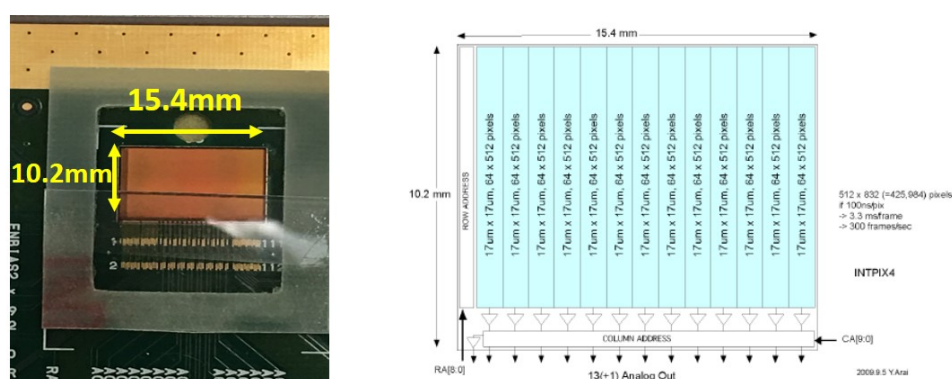


図 4.1: (左) 実物の INTPIX4、(右) INTPIX4 の並列読み出しブロック図 [12]

チップサイズ	15.4×10.2 mm ²
有感領域	14.1×8.7 mm ²
ピクセルサイズ	17μm 角
ピクセル数	832×512 (425984) pixels
ウェハータ입	NFZ (N-type Floating Zone wafer)
センサー厚	500μm

表 4.1: INTPIX4 のデザインパラメータ

4.2 ピクセル回路構造と動作機構

図 4.2 に、INTPIX4 のピクセル回路構造を示す。INTPIX4 は、ピクセル回路内に信号蓄積のためのストレージキャパシタ (C_{store}) とノイズ低減のための CDS (Correlated Double Sampling: 相関二重サンプリング) 回路を含む、電荷積分型のピクセル検出器である。各ピクセルはトリガー信号を受信すると、STORE、RST、RST_CDS のスイッチを ON にして、 V_{sense} と V_C をそれぞれ基準値 V_{RST} 、 V_{RST_CDS} にリセットする。続けて、RST スイッチ、RST_CDS スイッチの順に OFF することで、 V_C は V_{sense} とノイズによるオフセット電位を含めて V_{RST_CDS} に調整される。RST と RST_CDS スイッチの二つが OFF になった時点で、電荷の蓄積が開始される。センサーで生成された電荷量に比例して V_{sense} は上昇し、 V_{sense} の値はソースフォロワを介して C_{store} に蓄積される。 V_C の値も C_{store} の電圧上昇に伴って上昇するが、 V_C の出力は C_{store} の電圧からオフセットを差し引いたものになる。STORE のスイッチが切られることで電荷の蓄積が終了し、その時点の電圧に V_C は固定される。ピクセル外部からの制御により READ_x スイッチが ON になると、 V_C の電圧がバッファを経由して外部に出力される。

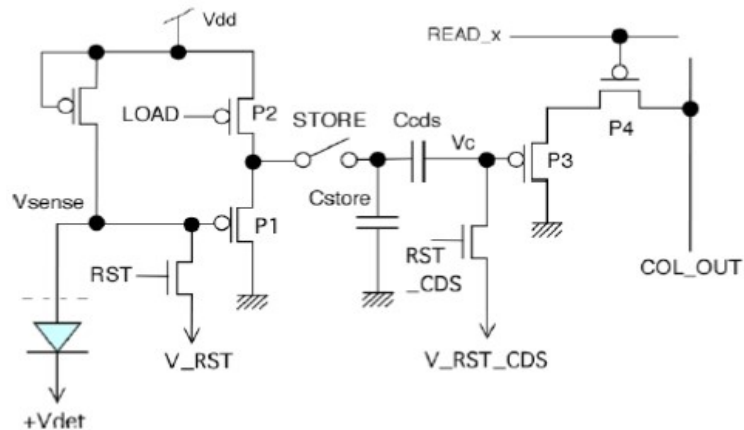


図 4.2: INTPIX4 のピクセル回路のブロック図 [12]

4.3 データ収集 (DAQ) システム

4.3.1 SEABAS

SEABAS (Soi EvAluation BoArd with Sitcp) とは、KEK の測定器開発室で開発された読み出し汎用基板である (図 4.3)。SEABAS 基板には、トリガー等の NIM 信号入力端子、Busy 信号等の NIM 信号出力端子、2 つの FPGA、16 チャンネルの ADC (Analog/Digital Converter)、外部からの制御及び読み出し用の Ethernet インターフェイス等の機能が搭載されている。外部からトリガー信号が入力されると、FPGA に書き込まれたファームウェアによる制御により、後述の Sub-Bord へ Row Address 信号 (RA[8:0]) や Column Address 信号 (RA[9:0]) 等を送信し、指定されたピクセルの READ_x スイッチを ON にして各ピクセルからアナログ信号を取り出す。取り出されたアナログ信号は、搭載されている ADC によってデジタル信号へと変換され、Ethernet を通じて外部の PC に読み出される。INTPIX4 では、64Column ごとに 1 つの ADC を割り当てており、計 13 個の ADC を用いて 13 並列での読み出しを行っている。図 4.4 と図 4.5 に、INTPIX4 の入出力信号経路 (IO-Path) の詳細と読み出しタイミングチャートを示す。

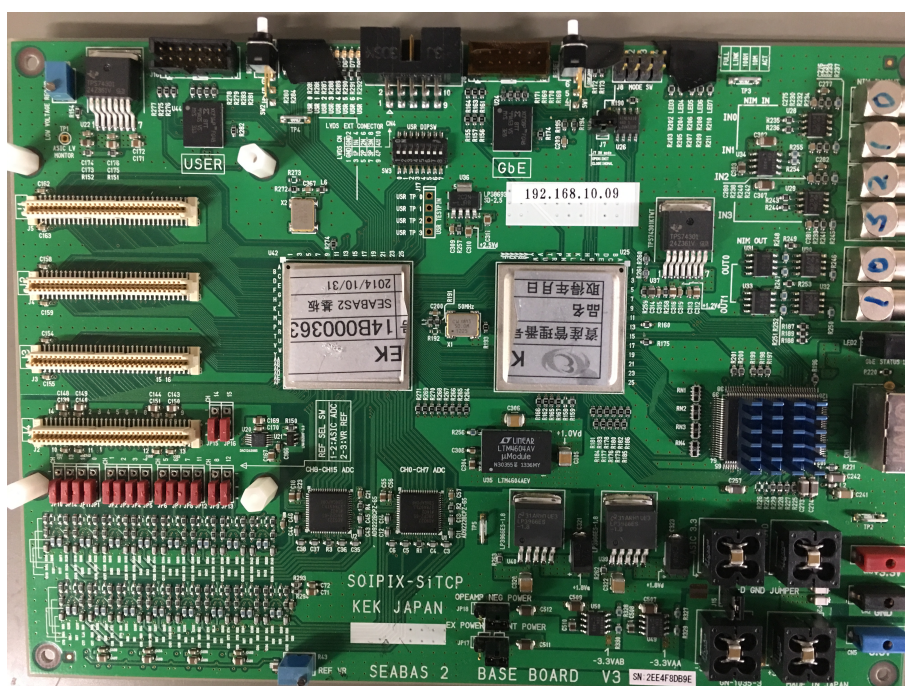


図 4.3: SEABAS

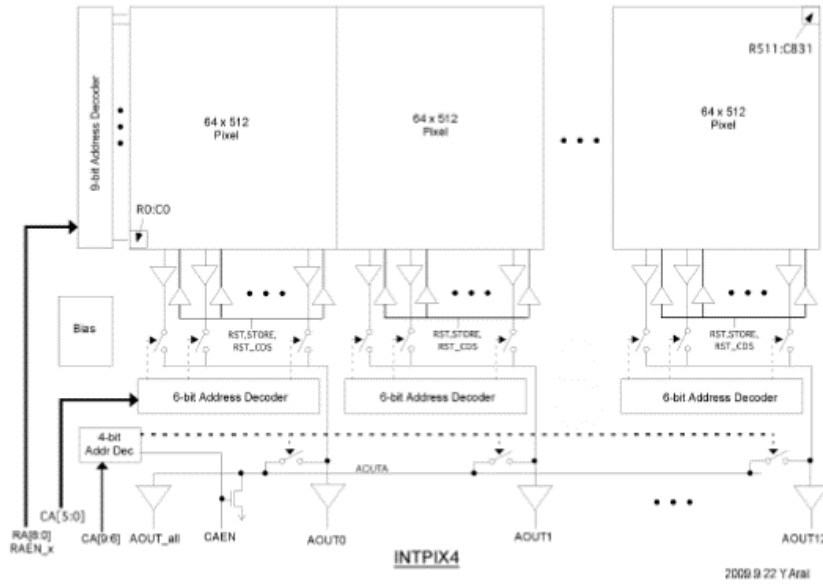


図 4.4: INTPIX4 の IO-Path の詳細 [12]

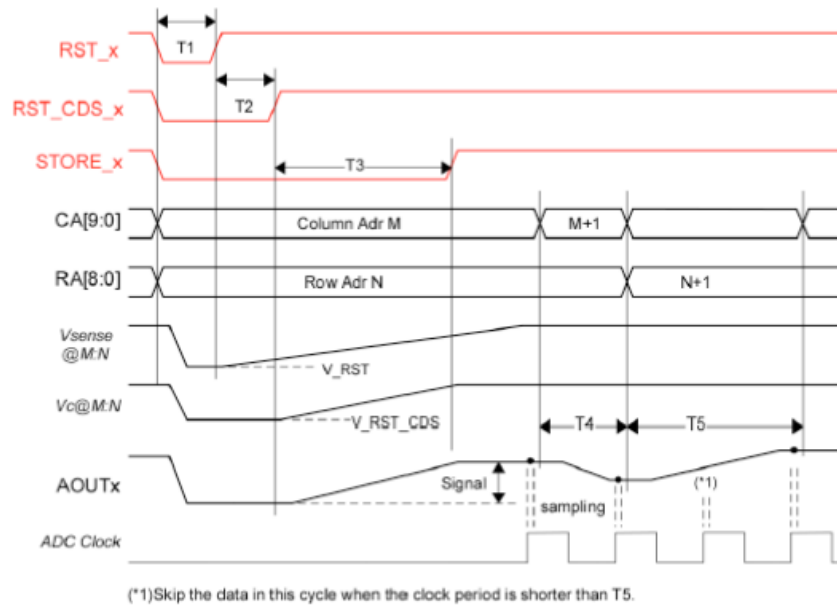


図 4.5: INTPIX4 の読み出しタイミングチャート [12]

4.3.2 Sub-Board

Sub-Bord とは、SEABAS に付属する読み出し基板（図 4.6）あり、INTPIX4 のチップはこの基板に直接ボンディングされている。この基板を通して、逆バイアス電圧や GND

電圧を検出器にかけて制御することができる。各ピクセルに蓄積された信号は、SEABASからの制御信号を受けてアナログ信号として SEABAS 側へ読み出される。

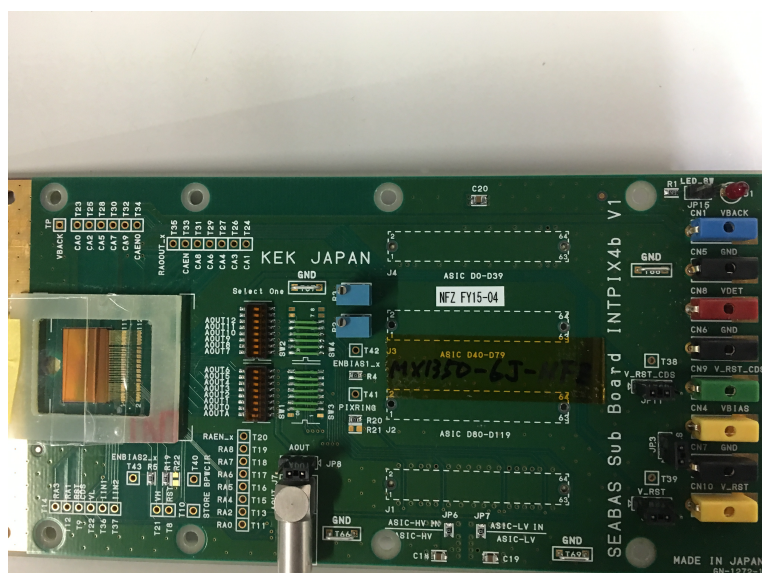


図 4.6: Sub-Board

第5章 フェルミ国立加速器研究所 120GeV 陽子ビームテスト

5.1 フェルミ国立加速器研究所

加速器によるビームを用いた検出器の位置分解能等の性能評価を行う際、ビームのエネルギーが小さいと多重散乱の影響が大きくなり、精密な評価を行うことができない。フェルミ国立加速器研究所（FNAL）の陽子ビームは、120GeV の高エネルギーを持っており、多重散乱の影響はほとんど無視できる。この FNAL において、2018 年 2 月 22 日から 3 月 5 日にかけてビームテストを行った。FNAL のビームはスピル構造をとっており、約 1 分間の加速の後、約 4 秒間射出されるという過程を繰り返す（図 5.1）。

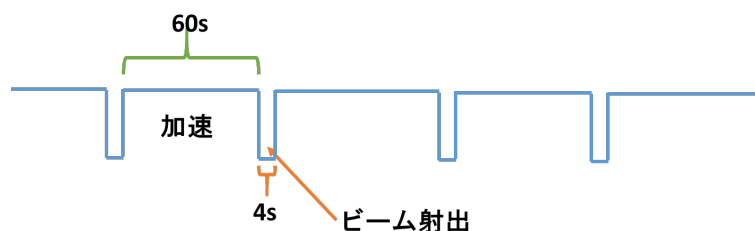


図 5.1: FNAL のビームスピル構造

5.2 セットアップ

図 5.2 と図 5.3 に、実験のセットアップ写真とセンサー配置図を示す。ビーム最上流には、トリガー検出器として、シンチレータを備え付けた MPPC を配置した。この検出器は $3 \times 3 \text{ mm}^2$ の有感領域を持ち、この領域にビームが通過するとトリガー信号を出力して、各検出器はこのタイミングに同期してデータ収集を行う。

トリガー検出器の後方には、飛跡検出器として INTPIX 4 を 4 台配置した。本研究では、4 台の INTPIX4 の内、3 台の検出ヒット位置からビームの飛跡を再構成し、残った 1 台の検出ヒット位置と再構成した飛跡の位置の残差を評価することで、INTPIX4 の位置分解能を評価した。

また、本ビームテストの DUT として SOFIST Ver.2 を中央に 3 台配置した。SOFIST は、KEK の測定器開発室において ILC 用バーテックス検出器として開発されている SOI

ピクセル検出器である。SOFIST は一つのピクセル内で時間と位置の両方を測定することを目指して開発されており、SOFIST Ver.1 では位置を計測するアナログシグナルピクセルのみを搭載して、検出器の位置分解能が評価された [10]。SOFIST Ver.2 ではアナログシグナルピクセルに加えて、時間を計測するタイムスタンプピクセルを新たに配置し、それぞれのピクセルについて評価することを目的としている。チップ全体で 80×64 pixels が配置されており、その内 64×64 pixels の領域がタイムスタンプピクセル領域、 16×64 pixels の領域がアナログシグナルピクセル領域となっている。図 5.4 に SOFIST Ver.2 の全体レイアウト、表 5.1 に SOFIST Ver.2 のデザインパラメータ、図 5.5 にタイムスタンプピクセル回路と、アナログシグナルピクセル回路の回路図を示す。本研究では、4 台の INTPIX 4 で再構成された飛跡を内挿し、アナログピクセル領域で検出されたヒット位置との残差を計測することで、SOFIST Ver.2 の位置分解能を評価した。



図 5.2: セットアップ写真

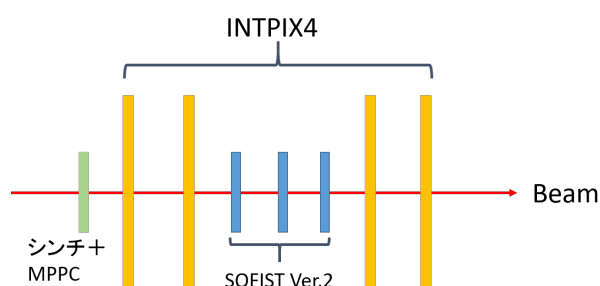


図 5.3: センサー配置

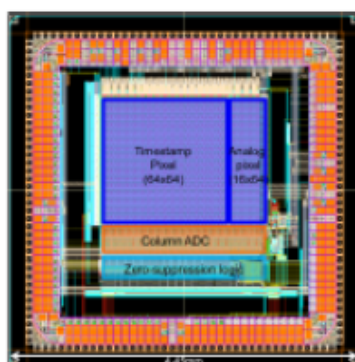


図 5.4: SOFIST Ver.2 の全体レイアウト [10]

チップサイズ	4.45×4.45 mm ²
有感領域	2.0×1.6 mm ²
ピクセルサイズ	25μm 角
ピクセル数	80×64 pixels
ウェハタイプ	PFZ (P-type Floating Zone wafer)
センサー厚	300μm (ビームテストでは裏面研磨した 75μm のものを使用)

表 5.1: SOFIST Ver.2 のデザインパラメータ [10]

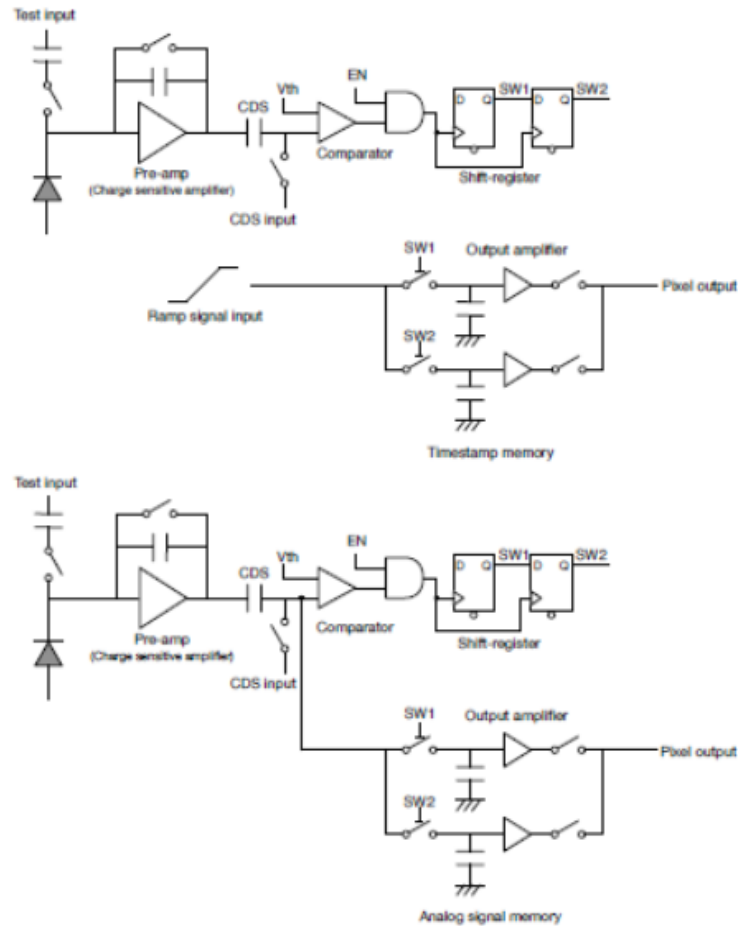


図 5.5: SOFIST Ver.2 回路: (上) タイムスタンプピクセル回路、(下) アナログシグナルピクセル回路 [10]

5.3 同期システム

各検出器におけるデータ収集は、マスターボードと呼んでいる SEABAS2 によって制御している。MPPC からトリガーが出力されると、マスターボードがこれを受け INTPIX4 と SOFIST Ver.2 すべてに Start/Stop 信号を送信する。各検出器は Start/Stop 信号を受信後、これをトリガーとしてデータの蓄積を開始する。ビーム試験ではデータ蓄積時間を $500\mu\text{s}$ として、この間に通過する複数の陽子ビームを検出した。

また、Event-tag CLK 信号も Start/Stop 信号とともに、マスターボードから各検出器に送信される。各検出器上で、DAQ がスタートしてから Start/Stop 信号を受信するまでの Event-tag CLK のクロック数を計数することで、データの蓄積を開始したフレームイベントの時間情報を得ることができる。例えば、周波数が 50Hz のトリガーと 500Hz の Event-tag CLK を入力して DAQ をスタートすると、フレームイベントの時間情報は 10 カウントずつ増加し続ける。これにより、INTPIX と SOFIST は共通の時間情報のデータを比較でき、正確な飛跡の再構成ができる。

Start/Stop 信号のゲートが閉じると、各検出器はデータの蓄積を終了してデータの読み出しに入る。この時、各検出器はマスターボードに Busy 信号を送信する。マスターボードは、少なくとも 1 つ以上の Busy 信号を受信しているときは Start/Stop 信号を送信することができない。これにより、データ読み出し中におけるトリガーの受け付けを制御している。図 5.6 と図 5.7 に、検出器間の同期ダイアグラムとタイミングチャートを示す。

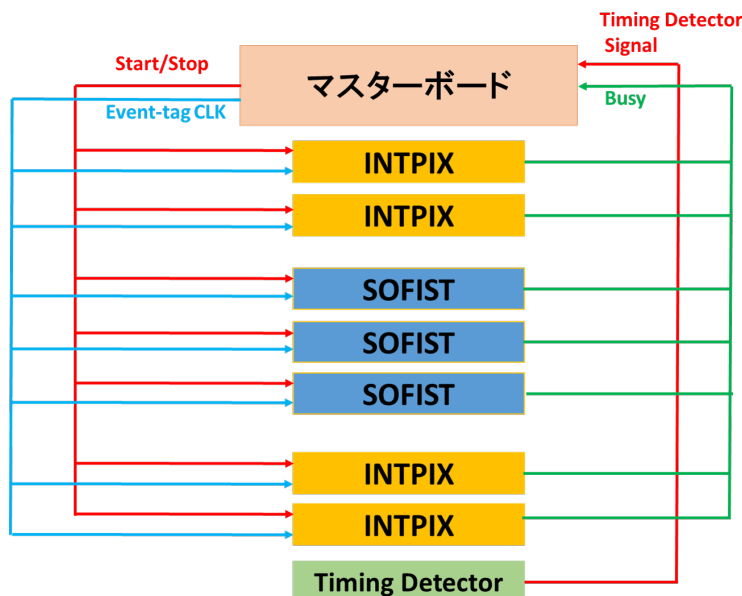


図 5.6: 検出器間の同期ダイアグラム

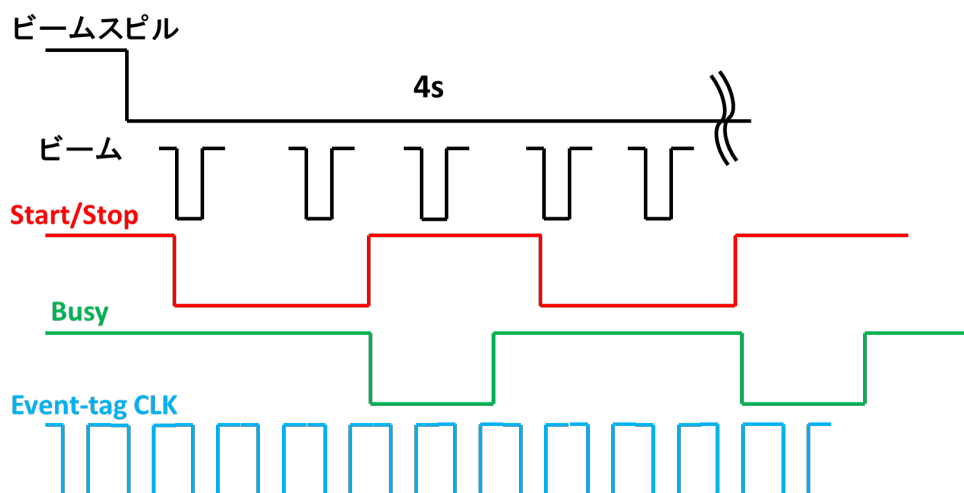


図 5.7: 検出器間における同期タイミングチャート

5.4 ROI システム

INTPIX4 の有感領域は SOFIST Ver.2 のそれと比べ非常に大きく、全領域を使用した読み出しでは、SOFIST Ver.2 の DAQ レートが低下してしまう。そのため、読み出し領域を指定できる ROI (Region Of Interest) システムを INTPIX4 に導入した。読み出し領域の指定は、Column 方向は ADC ポート毎 (64 columns 毎) に選択でき、Row 方向は任意に選択できる。今回のビームテストでは、基本的に 256×256 pixels (4.4×4.4 mm²)、もしくは 128×128 pixels (2.2×2.2 mm²) に設定してデータ収集を行った。図 5.8 と表 5.2 に、実際に ROI サイズを指定したときの DAQ モニタの写真と、ROI サイズごとのフレームレートを示す。

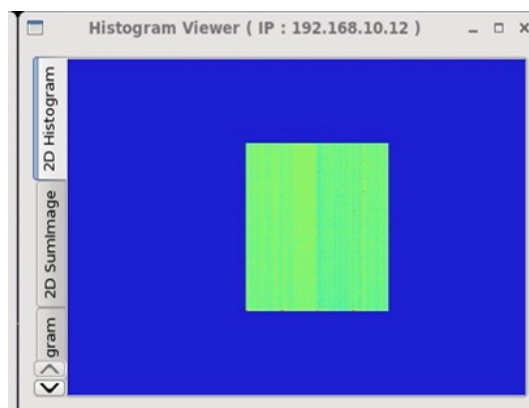


図 5.8: ROI を指定した DAQ モニタの写真 : (青の領域) 読み出しを行っていない領域、(緑の領域) ROI 領域 (256×256 pixles)

ROI サイズ (pixels×pixels)	フレームレート (Hz)	Intensity (counts/spill)
832×512 (Full)	20	30K
256×256	110	300K
128×128	160	300K

表 5.2: ROI サイズごとのフレームレート

5.5 データ解析

以上のような DAQ システムを構築してデータ収集を行った。特筆がない限り、表 5.3 のような測定パラメータの下で取得したデータを用いて解析を行った。また、ビーム上流から数えて INTPIX4 の 4 台を INTPIX1、INTPIX2、INTPIX3、INTPIX4 とラベリングし、SOFIST Ver.2 に関しても同様に SOFIST1、SOFIST2、SOFIST3 とラベリングすることとする。

パラメータ	INTPIX	SOFIST
イベント数	15000 frames	15000 frames
S T O R E 時間	500 μ s	500 μ s
逆バイアス電圧	100 V	-20 V
ROI サイズ	256×256 pixels	—
Beam Intensity	100K counts/spill	

表 5.3: 測定パラメータ

5.5.1 ペDESTAL評価

最初に、各ピクセルについて、Run 毎に全フレーム分のペDESTALの分布からそのピクセルにおけるペDESTALの平均値を計算した（図 5.9）。その分布の標準偏差を計算してピクセルノイズとした場合の、センサー全体でのノイズ分布を図 5.10 に示す。

次に、フレーム毎に、各ピクセルの ADC 値から先ほど求めたペDESTAL平均値を差し引き、そのフレームにおける ADC 値の平均値を計算した。全フレームを通して各ピクセルのペDESTALが一樣ならばその分布の平均値は 0 になるが、ペDESTALがセンサー全体で一樣に揺らぐようなフレームが存在する場合、そのフレームにおける分布の平均値はペDESTALの揺らぎの分だけ変化する。したがって、その平均値を更に差し引くことで、ペDESTALの揺らぎの補正を行った（図 5.11）。

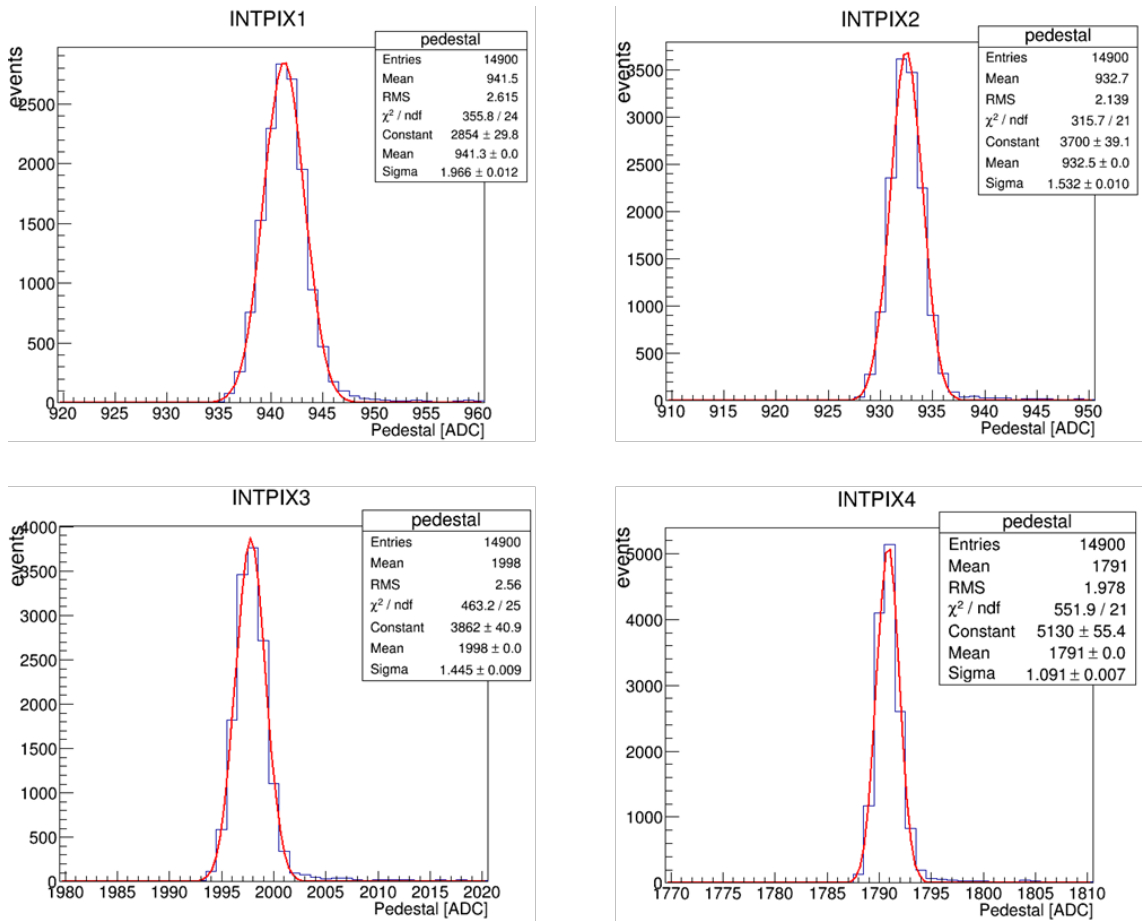


図 5.9: あるピクセルにおけるペDESTAL分布

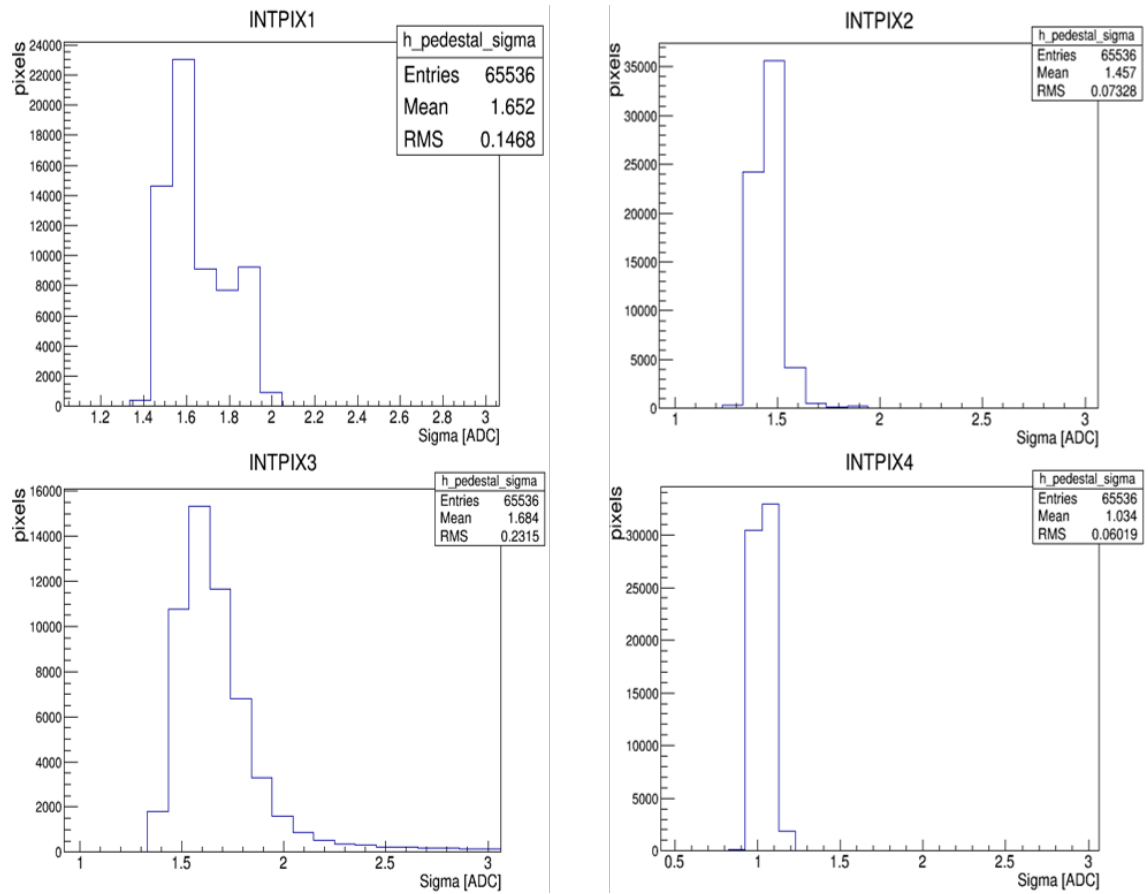


図 5.10: ピクセルノイズ分布

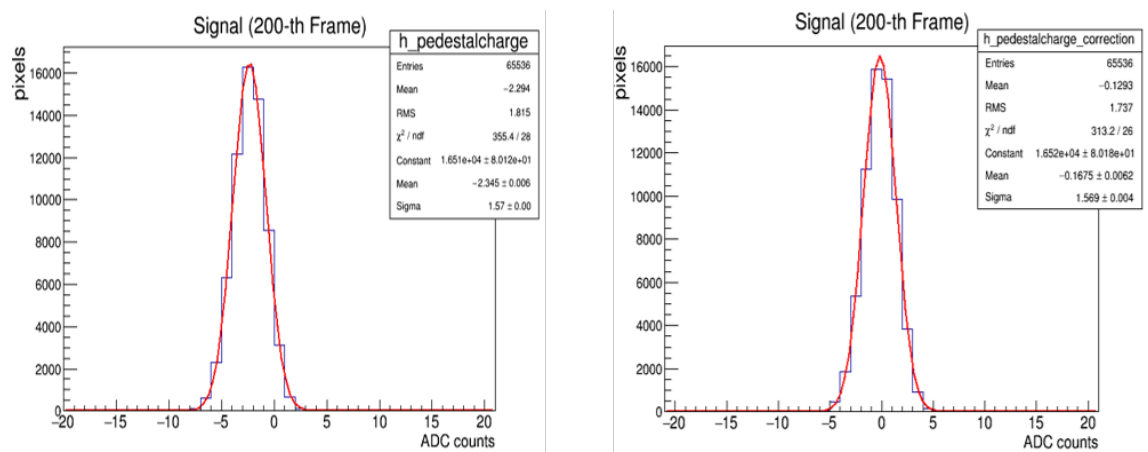


図 5.11: あるフレームにおける全ピクセルの ADC 分布 : (左) 補正前、(右) 補正後

5.5.2 クラスタリング

ビームの入射によって生成されたシグナルは、入射したピクセルを中心にクラスタとして広がる。そのクラスタの中心となるピクセルをシードピクセルと呼ぶ。各フレームにおいて、検出シグナルが 30ADC 以上のピクセルをシードピクセルとして抽出し、さらにそのシードピクセルを中心とした 5×5 の範囲における、検出シグナルが 10ADC 以上のピクセルも含めてクラスタとした。各フレームで、すべてのシードに対してクラスタリングする。ただし、より大きな電荷をもつシードのクラスタに含まれるものは除外する。検出されたクラスタ数の分布を、図 5.12 に示す。

抽出したピクセル数をクラスタサイズとして定義し、それらのピクセルの検出シグナルの総和を取ることで、クラスタ電荷を計算した。図 5.13 と図 ?? に、クラスタサイズ分布とクラスタ電荷分布を示す。INTPIX1、INTPIX3、INTPIX4 の 3 枚に関しては、MIP による Landau 分布を再構成することができている。しかし、センサーによってゲインの大きさが異なるので、今後の評価において、この原因の解明が必要である。INTPIX2 に関しては、クラスタ電荷量が 2 ピーク見えた。その原因を探る中で、Column 方向と Row 方向のピクセルそれぞれについてクラスタの検出数を評価したところ、Row 方向に 4 ピクセル間隔で不感領域になっていることが分かった (図 5.15)。これより、クラスタ電荷量が 2 ピーク見える原因は、この不感領域においてシグナルの損失が起こっているためだと予測される。不感領域になってしまっている原因についても、今後の評価で解明していく必要がある。また、INTPIX2 を除く 3 枚のセンサーについて、クラスタ電荷のピーク値と図 5.10 のピクセルノイズ分布より、 S/N を算出した。その結果を、表 5.4 にまとめる。

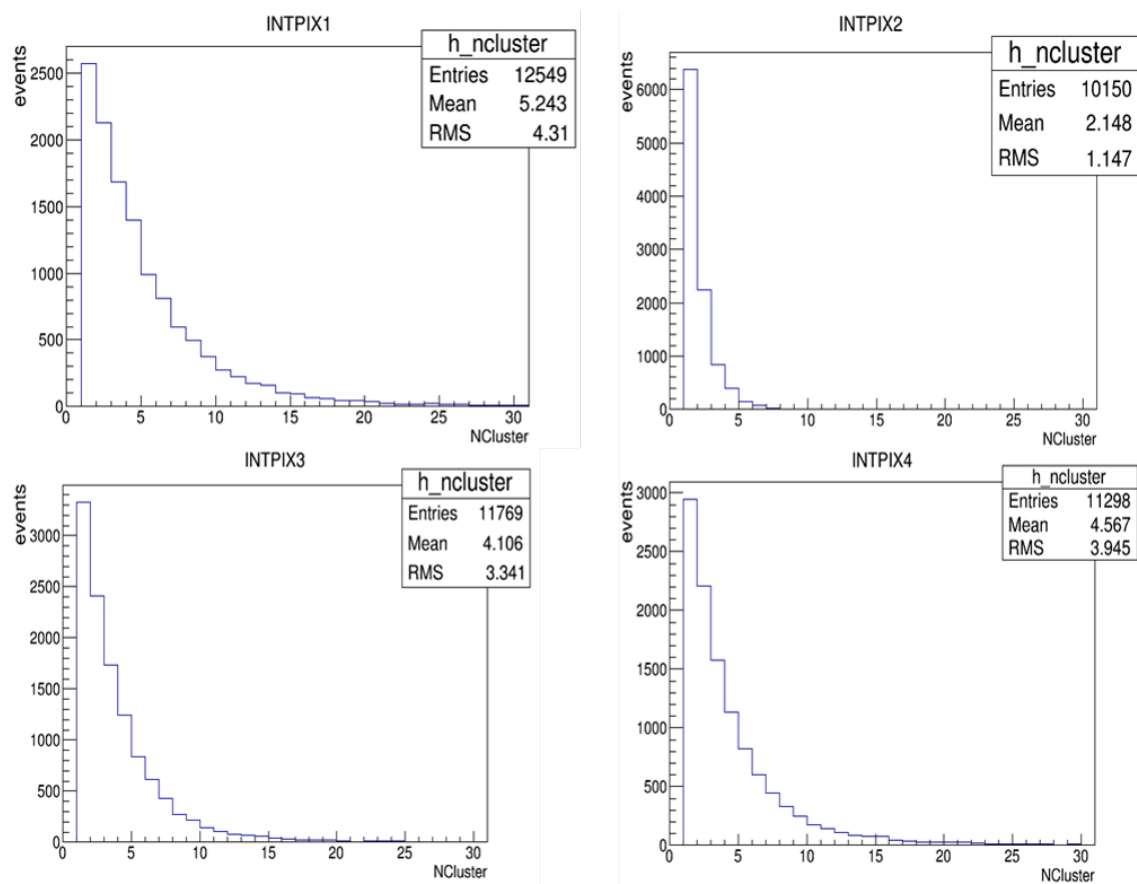


図 5.12: 各フレーム内で検出されたクラスタ数の分布

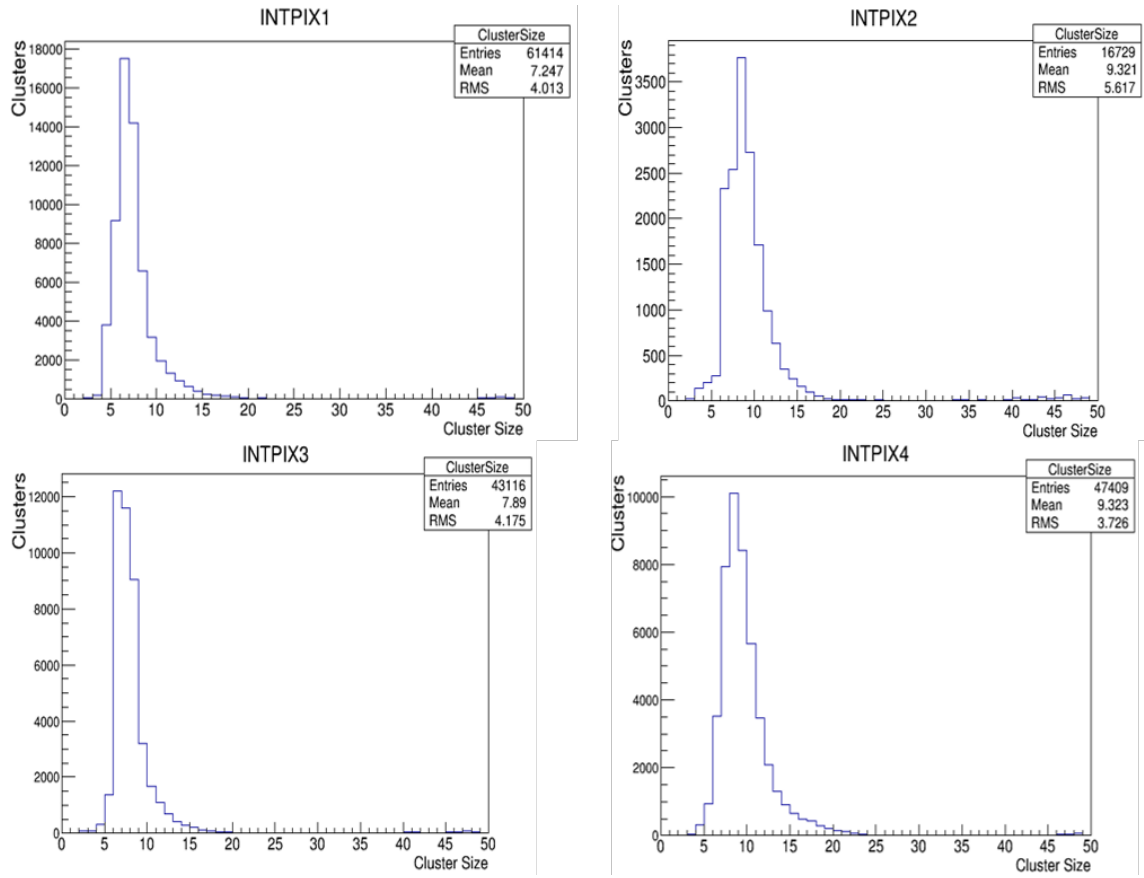


図 5.13: クラスタサイズ分布

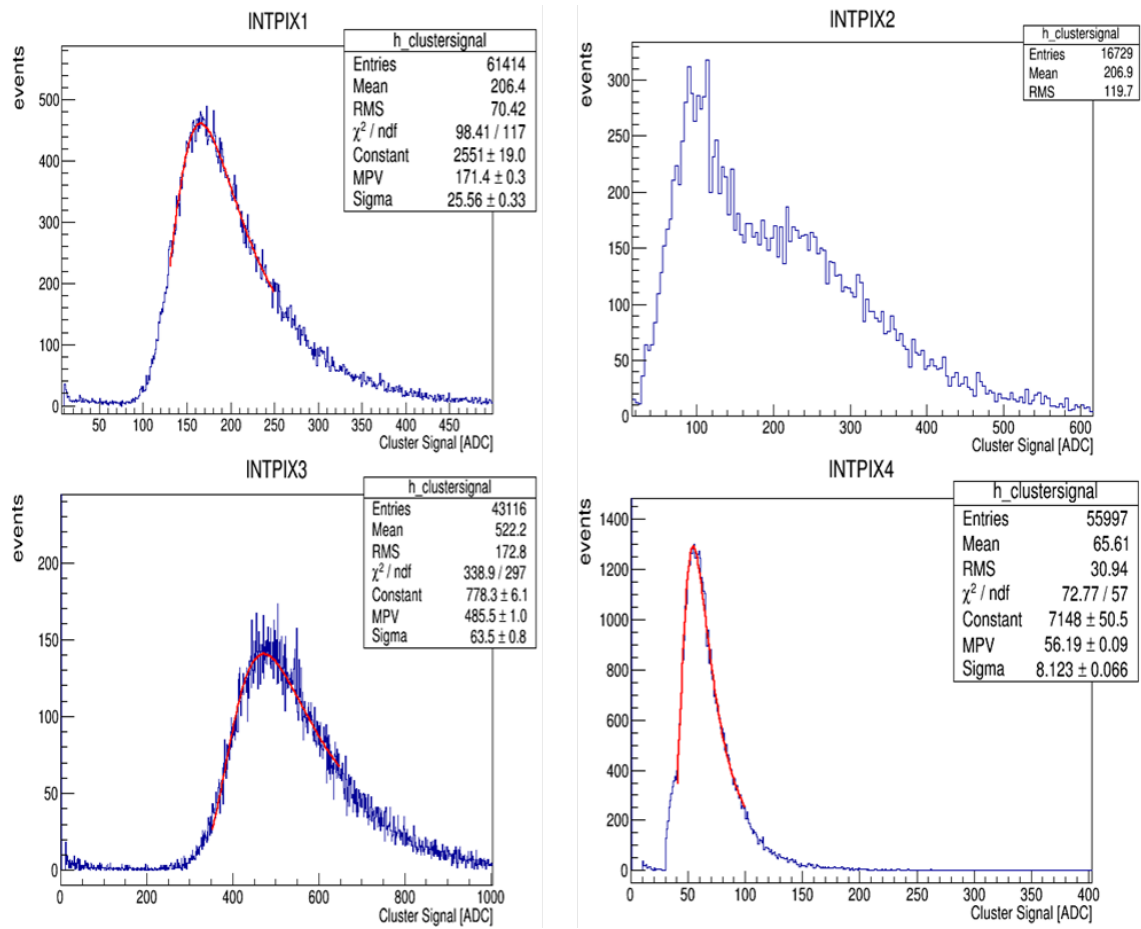


図 5.14: クラスタ電荷分布

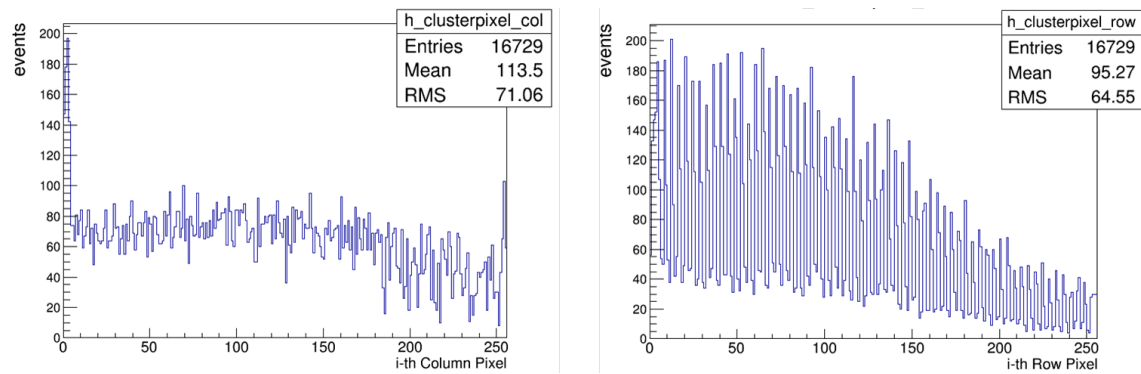


図 5.15: INTPIX2 のクラスタ検出数 : (左図) column 方向、(右図) row 方向

	クラスタ電荷 [ADC]	ピクセルノイズ [ADC]	S/N
INTPIX1	171.4	1.65 ± 0.15	104
INTPIX2	—	1.46 ± 0.07	—
INTPIX3	485.5	1.68 ± 0.23	288
INTPIX4	56.19	1.03 ± 0.06	54.3

表 5.4: S/N の測定結果

5.5.3 完全空乏化電圧の評価

INTPIX1 において、逆バイアス電圧の条件だけを変えてデータ収集を行い、全空乏化電圧を評価した。電圧は 100V 以外に、64V、80V、130V、160V の 4 点取り、それぞれにおけるクラスター電荷を評価した。その分布を、図 5.16 に示す。さらに、それぞれの分布におけるクラスター電荷のピーク値から収集電荷量を求め、逆バイアス電圧の平方根との相関を見た (図 5.17)。図 5.17 を見ると、130V 近傍で収集電荷量が飽和し始めているのが分かる。これより、逆バイアス電圧を約 130V 印加すると完全空乏化することが分かった。

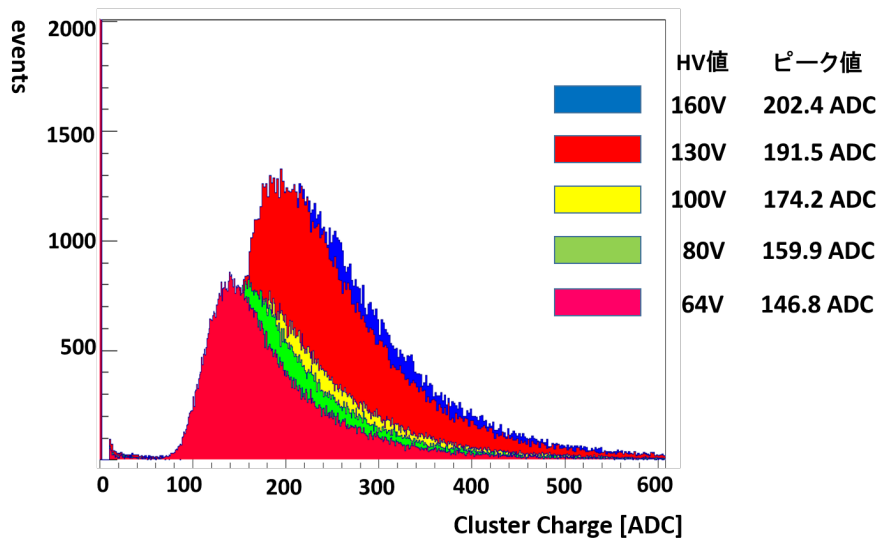


図 5.16: 各電圧におけるクラスタ電荷分布

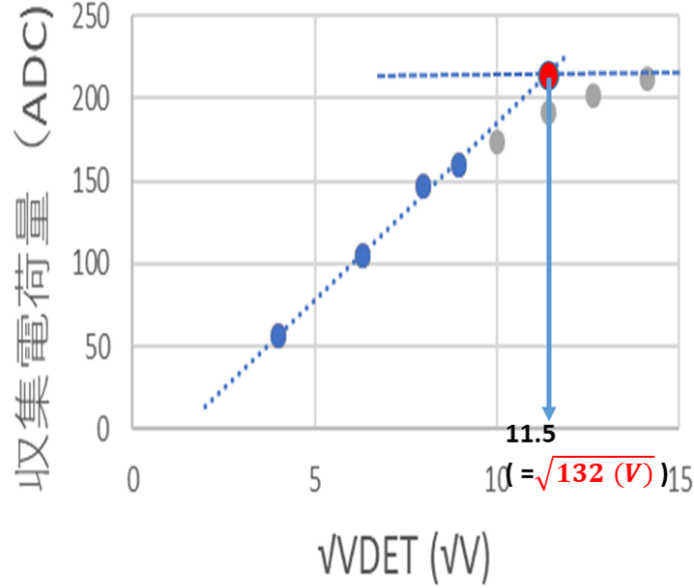


図 5.17: 逆バイアス電圧と収集電荷量の相関

5.5.4 電荷重心法による検出ヒット位置の評価

5.5.2 項で再構成したクラスタから、電荷重心法を用いて検出ヒット位置を評価した。シードピクセルを中心に 7×7 の領域でクラスタとして抽出されたピクセルについて、各ピクセルの位置をそのピクセルにおける検出シグナルで重みづけし、電荷重心としてクラスタの中心を評価することで検出ヒット位置を計算した。。式 (5.1) に、電荷重心法による Column 方向における検出ヒット位置の計算方法を示す。ここで、 x_i はクラスタ内の i 番目のピクセルの Column アドレス、 Q_i は i 番目のピクセルの電荷量、 n はクラスタサイズである。また、Row 方向に関しても同様に計算できる。求めた検出ヒット位置から再構成された Beam Profile を、図 5.18 に示す。INTPIX3 において、下 50 行のピクセルで構造が切れているのは、その領域のピクセルのペDESTAL 分布における RMS 値が大きかったため、BadPixel として解析から除外しているためである。

$$HitPosition(x) = \frac{\sum_{i=1}^n x_i Q_i}{\sum_{i=1}^n Q_i} \quad (5.1)$$

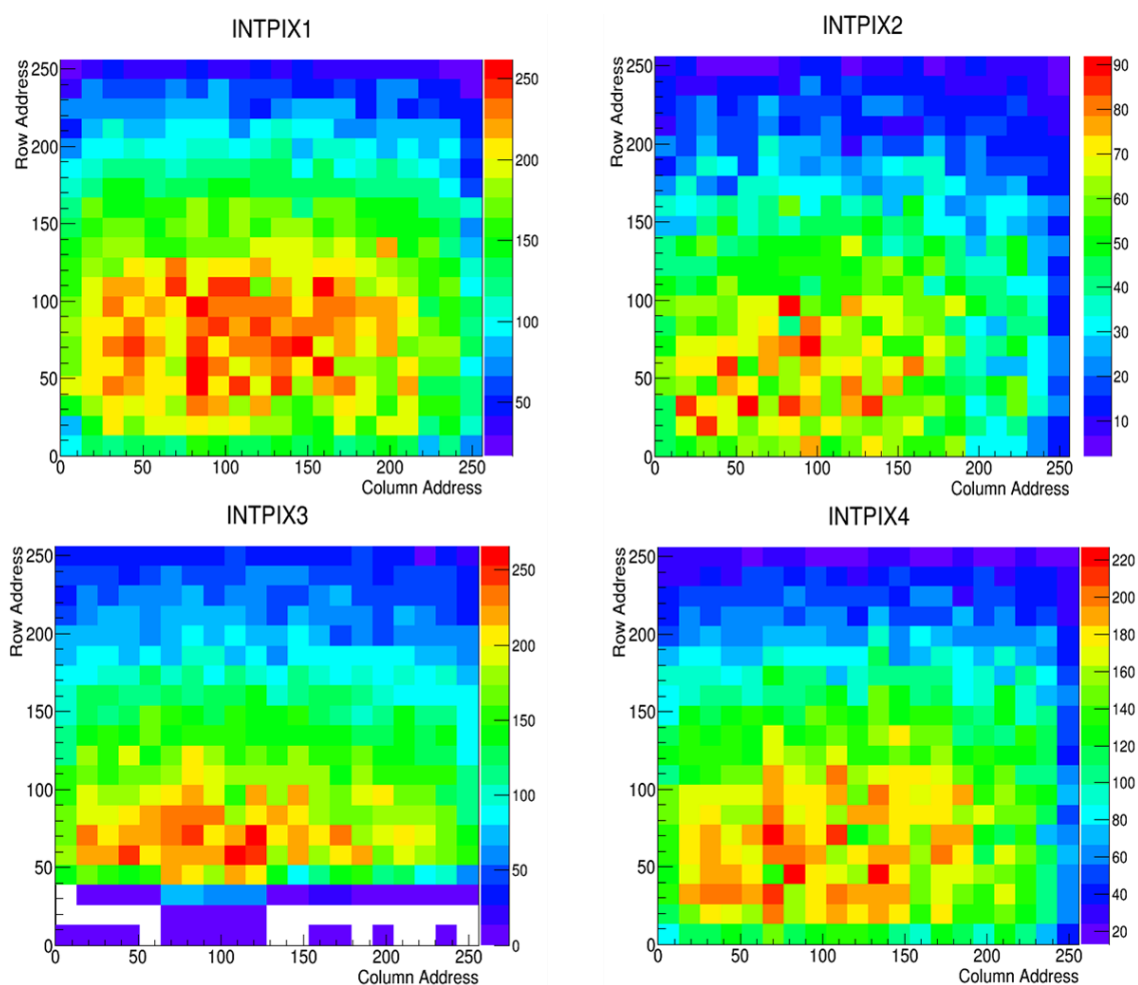


図 5.18: Beam Profile

5.5.5 アライメント

各センサーで検出されたヒット位置より、検出器間の位置補正（アライメント）を行った。アライメントを行う際、INTPIX3を基準センサーとして固定し、ROI原点をシステム全体の原点と決め、その Column 方向に x 軸、Row 方向に y 軸をとり、ビームの方向を z 軸として座標系を定めた（図 5.19）。アライメントは、以下のように初期位置補正と詳細位置補正を行って、平行方向のアライメントパラメータと回転角のアライメントパラメータを導出した。

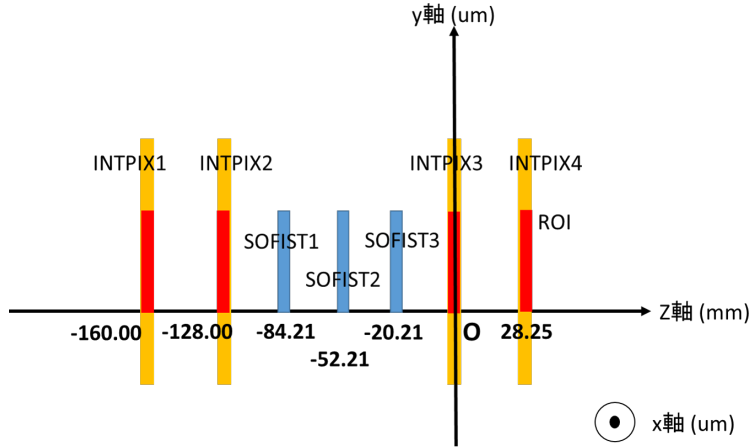


図 5.19: システム全体の座標系

初期位置補正

まず最初に、各センサーにおける検出ヒット位置を μm 単位に換算し、INTPIX3 に対する相対位置を計算した。さらに、取得した相対位置分布に対して、原点周りの回転角補正を行った。回転角の計算は、x 方向の相対位置と INTPIX3 における y 方向の検出ヒット位置の相関より導出する。原点周りの検出器の回転がない場合、相対位置と検出ヒットの位置の間に相関は見られず、検出ヒット位置によらず相対位置はある一定値付近に分布する。しかし回転角がある場合、検出位置により相対位置分布の中心がずれるため、相関に傾きが発生する（図 5.20）。例えば、原点周りに INTPIX1 が θ だけ回転していると仮定し、INTPIX1 における x 方向の検出ヒット位置を X_1 、INTPIX3 における検出ヒット位置を X_3 、 Y_3 、INTPIX3 に対する水平方向のずれを Δx とすると、x 方向の相対位置は、

$$\begin{aligned}
 X_{rel} &= X_1 - X_3 \\
 &= (X_3 \cos \theta + Y_3 \sin \theta + \Delta x) - X_3 \\
 &= X_3 (\cos \theta - 1) + Y_3 \sin \theta + \Delta x \\
 &\approx Y_3 \theta + \Delta x (\theta \approx 0)
 \end{aligned} \tag{5.2}$$

回転角 θ が十分に小さいと仮定すると、相対位置と検出ヒット位置の傾きが回転角となるため、傾きが 0 となるように回転角補正をおこない、回転角に対するアライメントパラメータの初期値を決定した（図 5.21）。回転補正後、再び INTPIX3 との相対位置分布を求めた。その平均値を計算することで x 方向、y 方向の検出器間のずれの大きさを評価して水平方向の位置補正を行い、平行方向のアライメントパラメータの初期値を決定した。

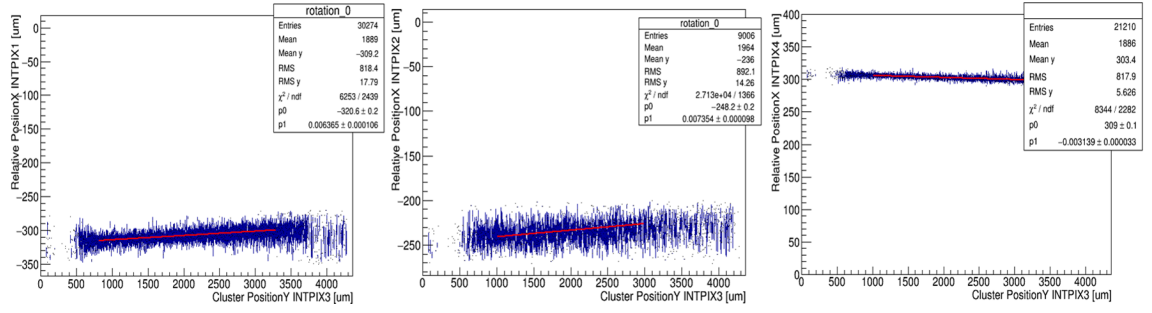


図 5.20: INTPIX3 の検出ヒット位置と他センサーの相対位置の相関（回転補正前）

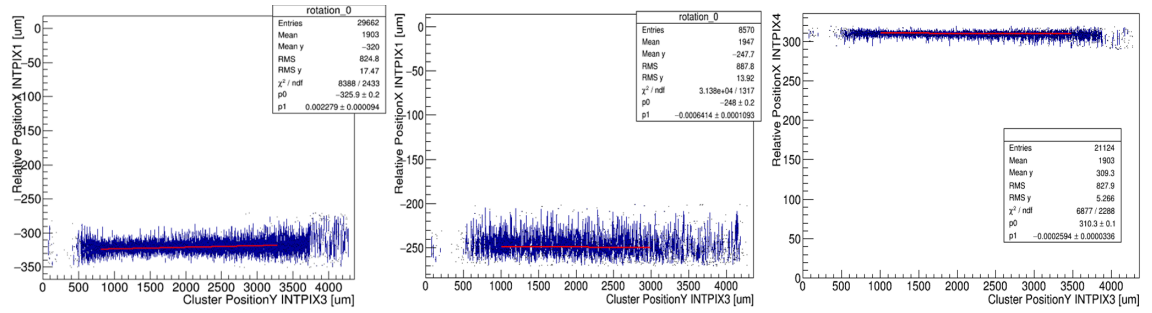


図 5.21: INTPIX3 の検出ヒット位置と他センサーの相対位置の相関（回転補正後）

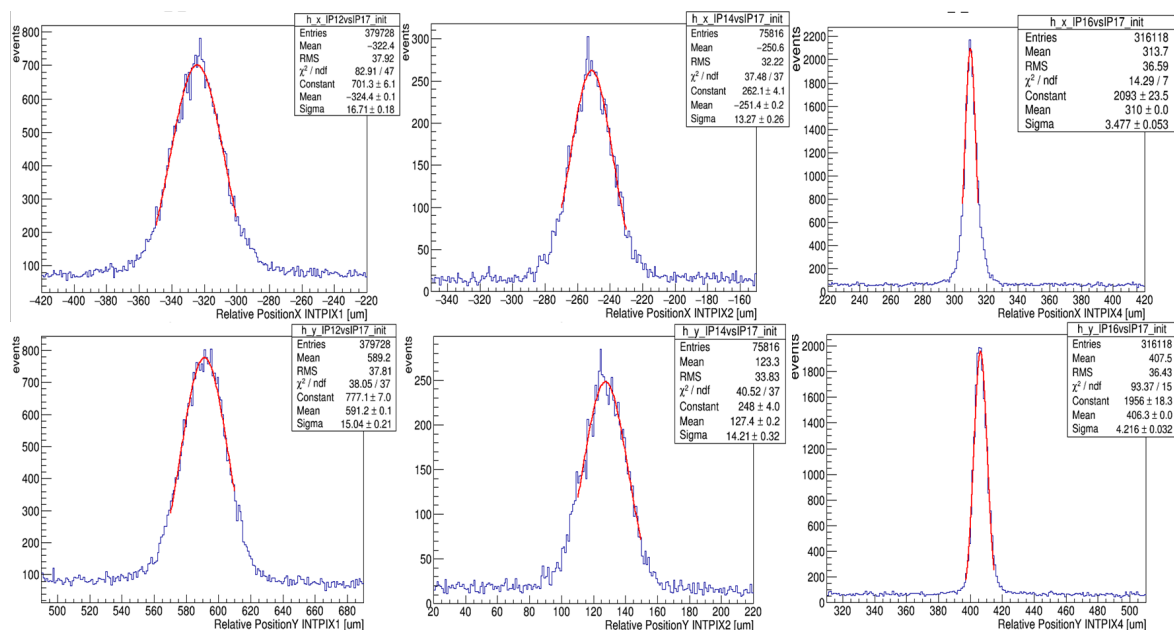


図 5.22: INTPIX3 に対する各センサーの相対位置の分布（平行方向補正前）: x 方向（上）、y 方向（下）

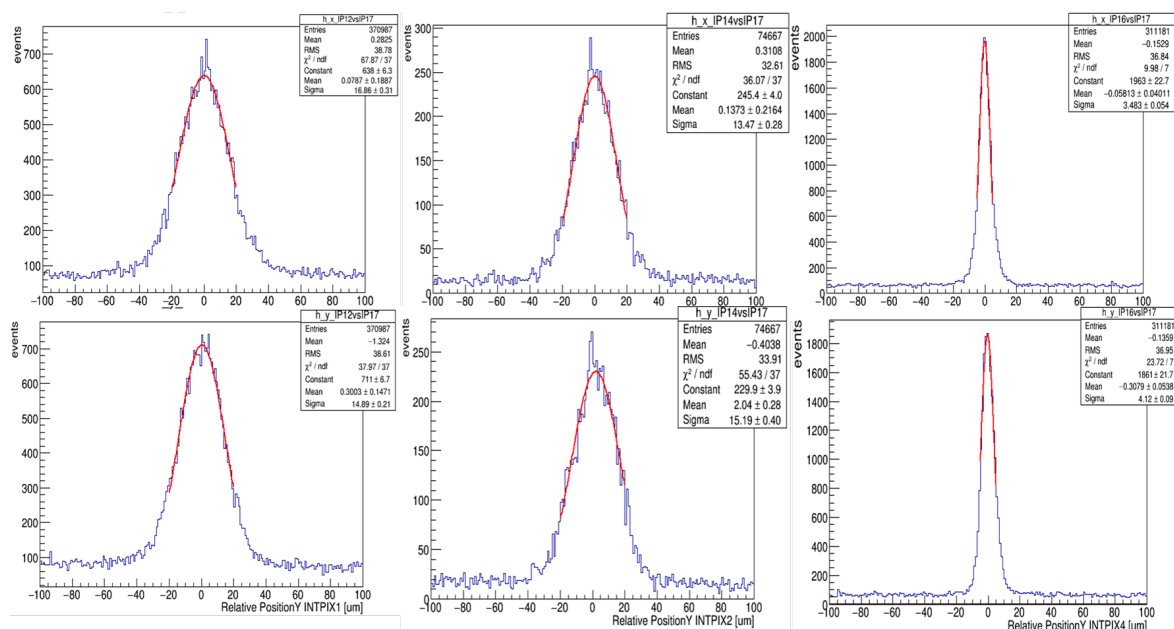


図 5.23: INTPIX3 に対する各センサーの相対位置の分布（平行方向補正後）: x 方向（上）、y 方向（下）

詳細位置補正

初期位置補正後、初回の飛跡再構成を実施した。FNAL の陽子ビームのエネルギーは 120GeV と非常に大きいため、クーロン散乱の影響は小さく、ほぼ直進していくことが期待される。そのため、ビームの飛跡を z 方向の 1 次関数とみなし、 x 軸方向の飛跡の傾きを $a_x[\text{mrad}]$ 、オフセットを $b_x[\mu\text{m}]$ として以下の式で直線フィットした。 y 軸方向も同様である。

$$f_x(z) = a_x z + b_x \quad (5.3)$$

検出器 i の位置分解能を σ_i とすると、 x 軸方向の直線フィットにおける χ_x^2 の値は次のように計算できる。ここで、 X_i は検出器 i における x 方向の検出ヒット位置である。

$$\chi_x^2 = \sum_i \frac{(X_i - a_x z_i - b_x)^2}{\sigma_i^2} \quad (5.4)$$

以下のアライメントでは、

$$\sigma_i = 2\mu\text{m} \quad (5.5)$$

と設定して χ^2 を計算している。 χ_x^2 が最小となるような a_x 、 b_x を求めるため、次のような χ_x^2 に対する偏微分を考える。

$$\frac{\partial \chi_x^2}{\partial a_x} = -2 \sum_i \frac{(X_i - a_x z_i - b_x) z_i}{\sigma_i^2} = 0 \quad (5.6)$$

$$\frac{\partial \chi_x^2}{\partial b_x} = -2 \sum_i \frac{(X_i - a_x z_i - b_x)}{\sigma_i^2} = 0 \quad (5.7)$$

ここで簡単のため、以下のような値を定義する。

$$[z_i] = \sum_i \frac{z_i}{\sigma_i^2} \quad (5.8)$$

すると、以下のような方程式が成立する。

$$\begin{pmatrix} [z_i^2] & [z_i] \\ [z_i] & [1] \end{pmatrix} \begin{pmatrix} a_x \\ b_x \end{pmatrix} = \begin{pmatrix} [X_i z_i] \\ [X_i] \end{pmatrix} \quad (5.9)$$

したがて、この方程式を解くことによって a_x と b_x は次のように決定する。

$$\begin{pmatrix} a_x \\ b_x \end{pmatrix} = \frac{1}{D} \begin{pmatrix} [1] & -[z_i] \\ -[z_i] & [z_i^2] \end{pmatrix} \begin{pmatrix} [X_i z_i] \\ [X_i] \end{pmatrix} \quad (5.10)$$

ここで D は

$$D = \begin{vmatrix} [z_i^2] & [z_i] \\ [z_i] & [1] \end{vmatrix} = [z_i^2] [1] - [z_i]^2 \quad (5.11)$$

で定義される行列式である。上記のような計算により、初期位置補正後の検出データを用いて飛跡の再構成を行った。4 枚のセンサー中、3 枚のセンサーを用いてトラッ

クを引き、残りのセンサー上の検出ヒット位置とトラックの位置の差分を計算して、残差分布を求めた。図 5.24 において、INTPIX1 と INTPIX2 の y 方向の残差分布を見ると 2 ピーク見えるのが分かる。これは、先述の INTPIX2 における不感領域にビームが入射すると、隣り合った y 方向のピクセルが反応してしまい、y 方向の検出ヒット位置が実際の入射位置よりも 1 ピクセル分近くずれてしまうためと考えられる。INTPIX1 は INTPIX2 に最も近いので、INTPIX2 を用いて飛跡を再構成した際に検出ヒット位置のずれの影響を大きく受けてしまい、INTPIX1 の y 方向の残差分布も 2 ピーク見えてしまっている。したがって、y 方向のトラックは INTPIX2 を除くセンサーで計算し、y 方向の位置分解能の評価は INTPIX1、INTPIX3、INTPIX4 の 3 枚についてのみ行う。飛跡を再構成する際、センサー上に複数のヒットがある場合は全組み合わせでのトラックを計算しており、図 5.14 からクラスタ電荷のカット値を決めて、その条件を満たすヒット点のみをトラック計算に用いている。x 方向と y 方向でそれぞれ独立にこの計算をした後、各検出器上のヒットに対して同じ組み合わせを使用したものであれば、正しく飛跡を再構成できたとして残差計算に使用する。その際、 χ^2 分布 ($\chi^2 = \chi_x^2 + \chi_y^2$) (図 5.25) からカット値を決めて、トラック候補を選択した。表 5.5 と表 5.6 に、トラック候補選択の際にかけたカット値についてまとめる。表 5.6 の項目は、飛跡を再構成する際に使用したセンサーごとに示している。さらに、再構成された飛跡から計算された各検出器における残差分布を、図 5.26 と図 5.27 に示す。

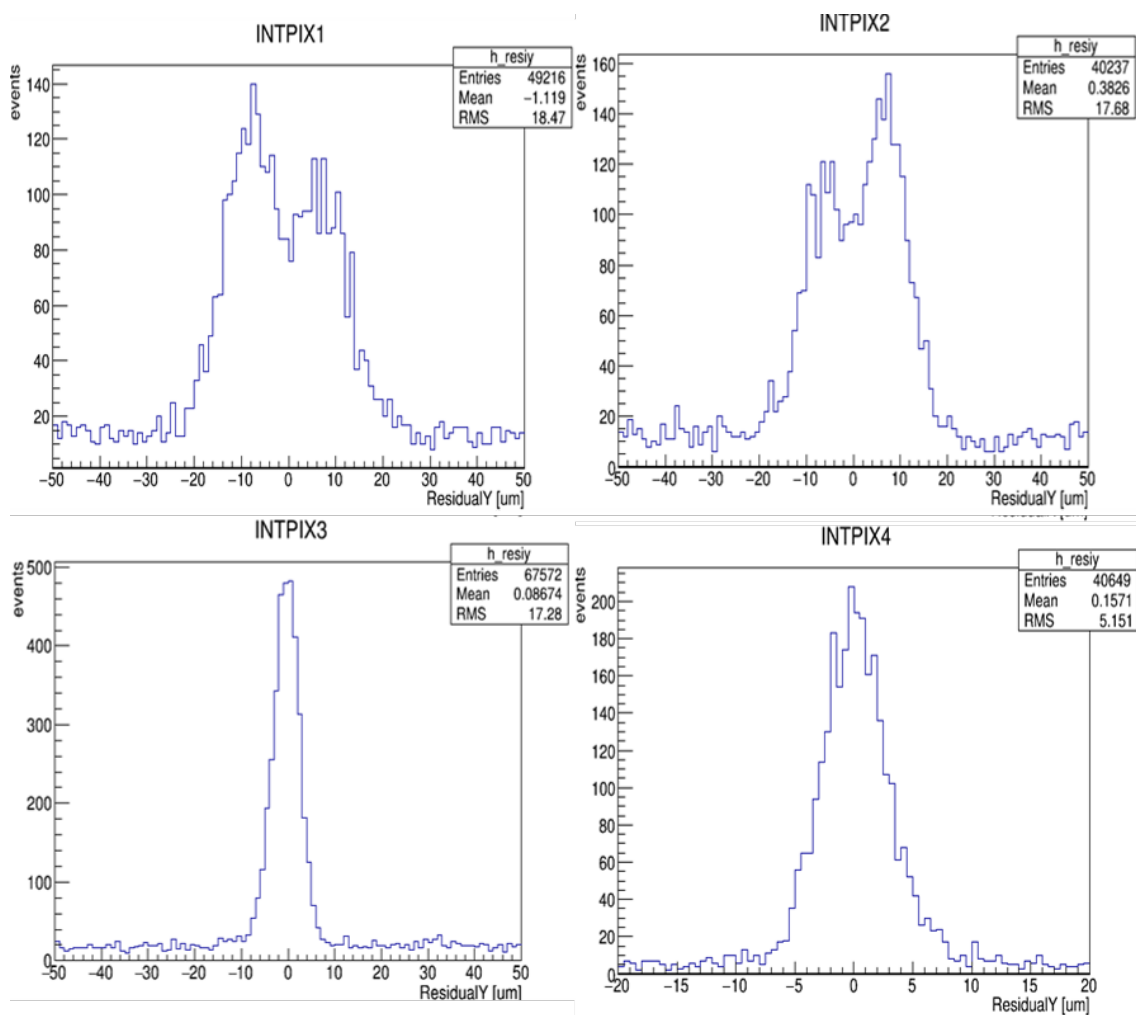


図 5.24: y 方向残差分布（アライメント完了前）

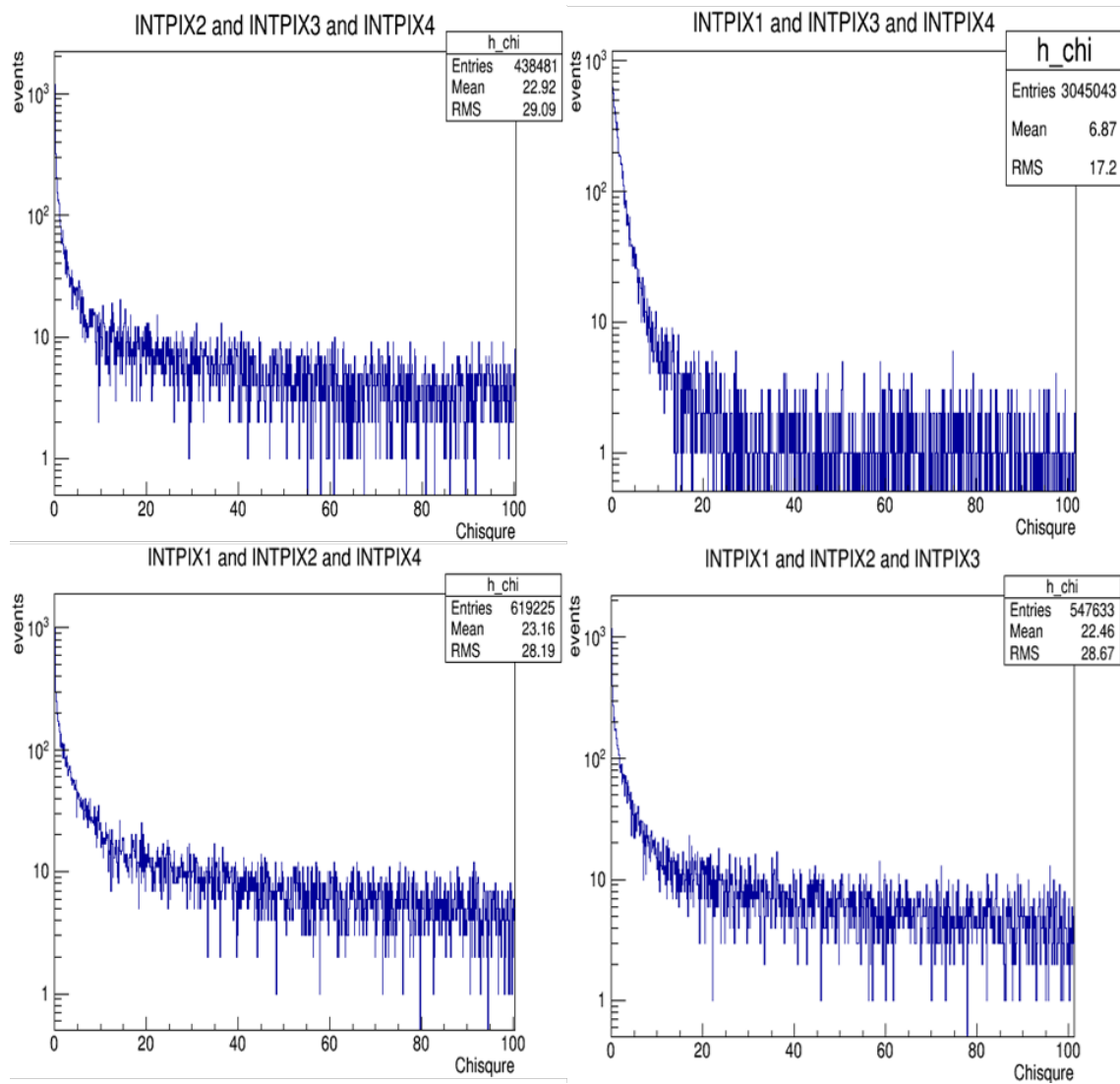


図 5.25: χ^2 分布（アライメント完了前）

カット条件	INTPIX1	INTPIX2	INTPIX3	INTPIX4
クラスタ電荷 [ADC]	> 100	> 50	>350	> 40

表 5.5: 初回の飛跡再構成時におけるクラスタ電荷カットの条件

カット条件	2 and 3 and 4	1 and 3 and 4	1 and 2 and 4	1 and 2 and 3
χ^2	< 30	< 30	< 30	< 30

表 5.6: 初回の飛跡再構成時におけるトラックに対する χ^2 カットの条件

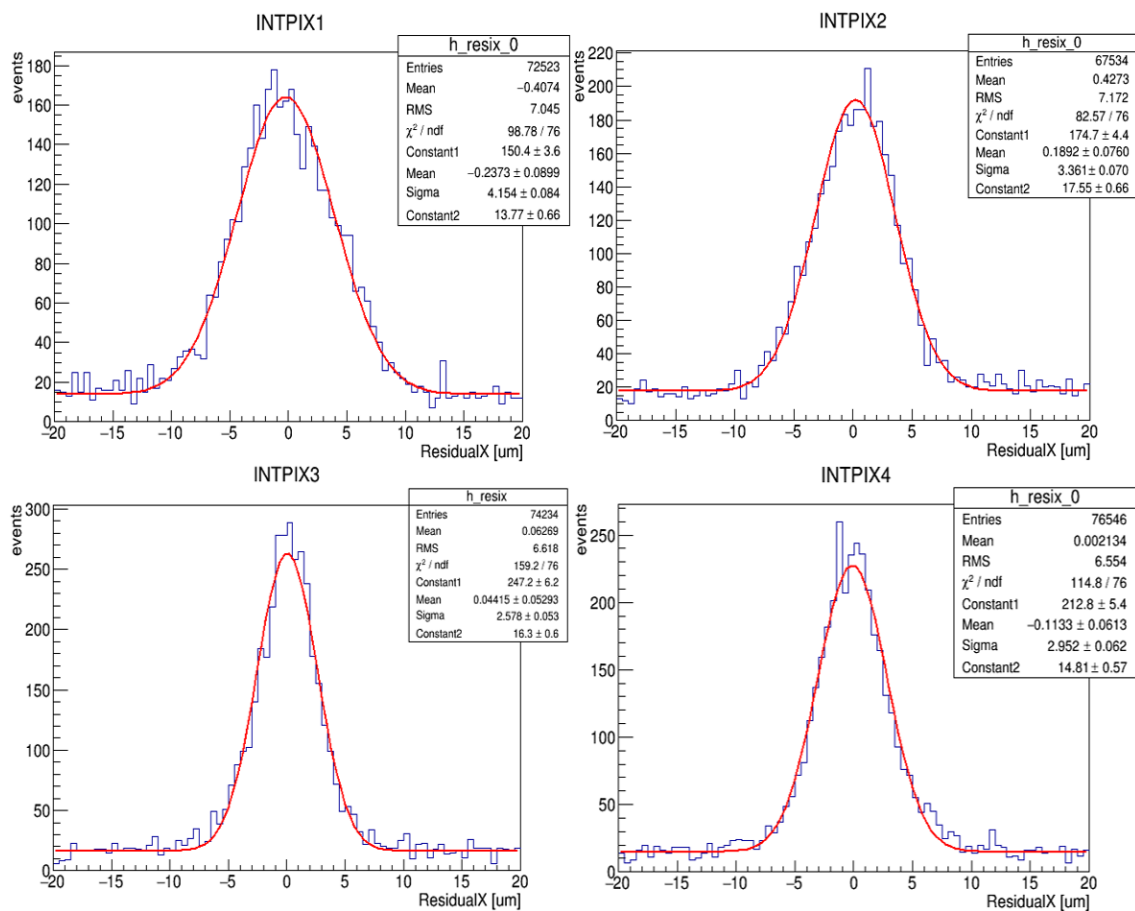


図 5.26: x 方向残差分布（アライメント完了前）

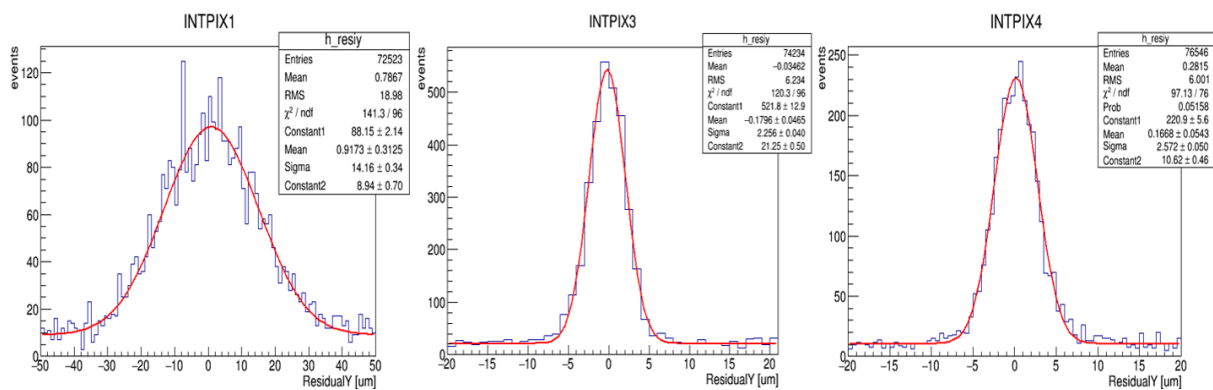


図 5.27: INTPIX2 を除いた 2 枚でトラックを引いた際の y 方向残差分布

次に、基準としている INTPIX3 を除く各検出器に対して、詳細位置補正を行った。図 5.26 と図 5.27 で求めた残差分布より平均値を計算して、初期値の平行方向のアライメントパラメータからこの平均値を差し引くことで、アライメントパラメータへのフィードバックを行った。フィードバック後、更新したアライメントパラメータを用いて再度残差分布の平均値の計算を行った。このように、残差分布の平均値の計算とパラメータの更新を繰り返すことで、平行方向のアライメントパラメータを決定した。平行方向のパラメータの決定後は、回転パラメータの導出を行った。残差分布の標準偏差は、トラック周りにセンサーが回転していると、回転していない場合と比べてその値は大きくなる。したがって、残差分布の標準偏差が最小値となるような回転角を導出し、初期値の回転パラメータにフィードバックした。また、平行方向のパラメータと回転角パラメータは、更新することで相互に残差計算に対して影響を及ぼすため、平行方向のパラメータ計算・更新、および回転角パラメータの計算・更新を互いに繰り返した。実際のパラメータ導出の際は、平行方向のパラメータの計算・更新を 5 回繰り返した後、回転角パラメータの計算・更新を 1 回実施する流れでアライメントを行った。以下に、各検出器のアライメントの手順を示す。イタレーション回数は、角度補正後の位置補正による変化が、 $0.2\mu\text{m}$ 未満となった時点として決定している。

1. 最初に、INTPIX1 に対して各パラメータの導出を行った。(イタレーション回数：10 回)
2. INTPIX1 のパラメータを導出後、その値を使用して、次は INTPIX2 のパラメータ導出を行った。(y 方向に関しては計算できないので常に固定)(イタレーション回数：10 回)
3. INTPIX2 のパラメータ導出後は更にその値を用いて、次に INTPIX4 のパラメータ導出を行った。(イタレーション回数：10 回)
4. INTPIX4 のパラメータを更新後、再度 INTPIX2 のパラメータを評価した。しかし、初回の計算における位置補正による変化が $0.2\mu\text{m}$ 未満となったため、この時点で INTPIX2 と INTPIX4 のアライメントパラメータを決定した。
5. INTPIX2 と INTPIX4 のアライメントパラメータを更新して、再度 INTPIX1 のパラメータ導出を行った。しかし、初回の計算における位置補正による変化が $0.2\mu\text{m}$ 未満となったため、この時点で INTPIX1 を決定した。
6. 以上で、全センサーにおけるアライメントパラメータの導出を終了した。

図 5.28～図 5.30 に各センサーにおけるイタレーション解析の結果を、図 5.31～図 5.32 に回転角計算結果を示す。

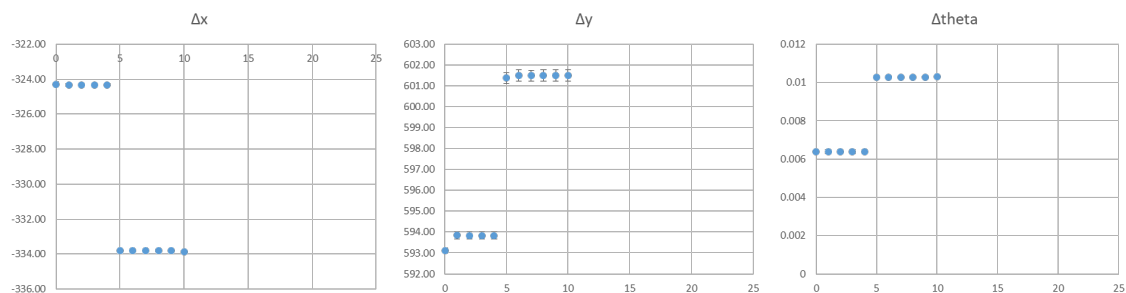


図 5.28: INTPIX1 のアライメントパラメータ導出解析イタレーション。横軸：イタレーション回数、 Δx , Δy 補正を 5 回実施毎に θ を補正



図 5.29: INTPIX2 のアライメントパラメータ導出解析イタレーション。横軸：イタレーション回数、 Δx 補正を 5 回実施毎に θ を補正

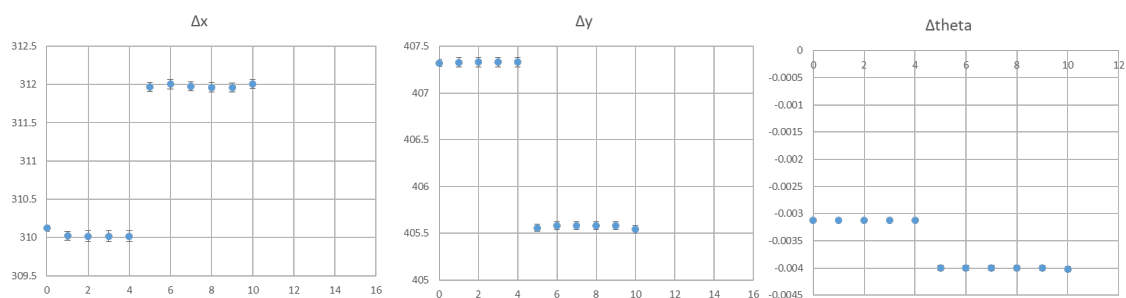


図 5.30: INTPIX4 のアライメントパラメータ導出解析イタレーション。横軸：イタレーション回数、 Δx , Δy 補正を 5 回実施毎に θ を補正

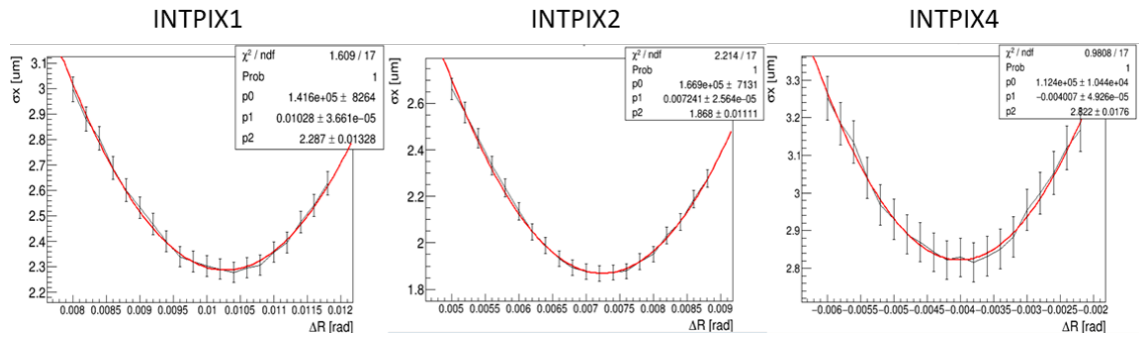


図 5.31: 1 回目の回転角計算。横軸：回転角、縦軸：x 方向残差分布の標準偏差

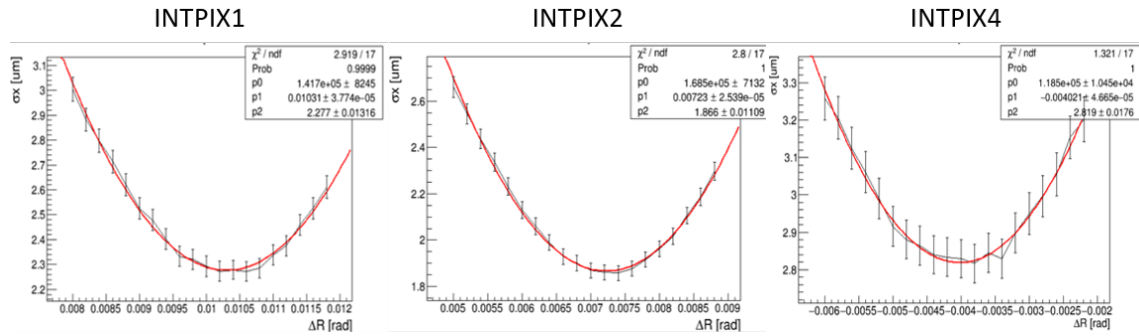


図 5.32: 2 回目の回転角計算。横軸：回転角、縦軸：x 方向残差分布の標準偏差

また、各センサーで導出したアライメントパラメータをフィードバックし、表 5.5 と表 5.6 と同じ条件を用いて再度飛跡の再構成を行った（図 5.33、図 5.34）。アライメント前と比べて残差分布の標準偏差が小さくなっており、より正確に飛跡の再構成ができていることが分かる。

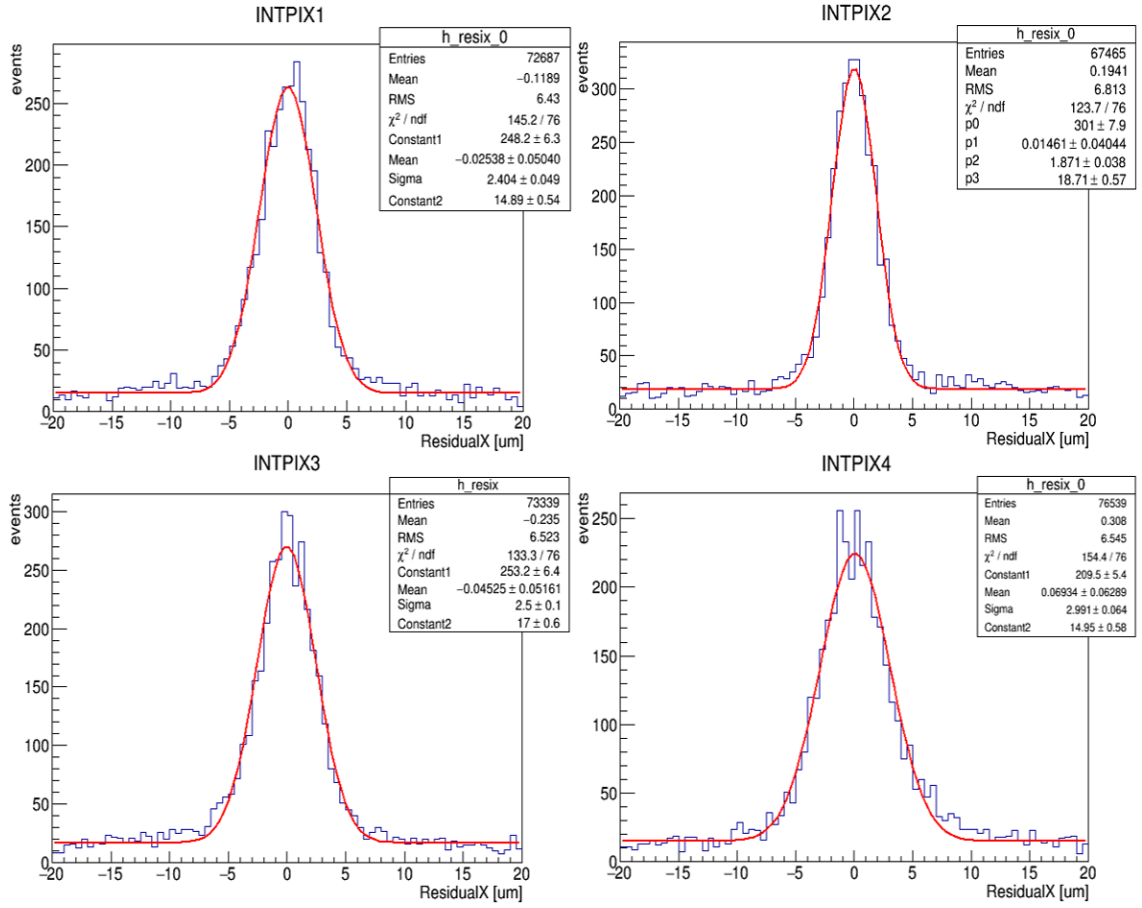


図 5.33: x 方向残差分布（アライメント完了後）

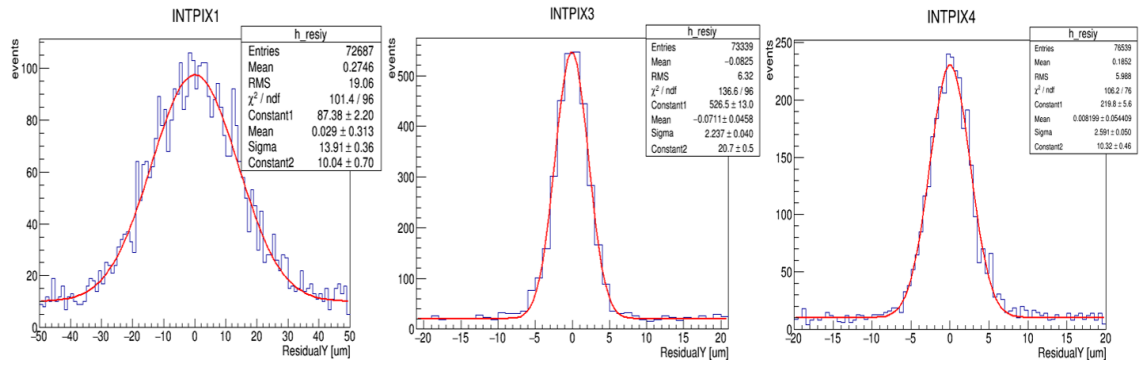


図 5.34: y 方向残差分布（アライメント完了後）

5.5.6 INTPIX の位置分解能評価

アライメントの実施後、導出したアライメントパラメータを使用して INTPIX の位置分解能評価を行った。まず、再構成された飛跡の傾きにより飛跡の選別を行った。図 5.35 に再構成された飛跡の χ^2 分布を、図 5.36 と図 5.37 に再構成された飛跡の傾き分布を示す。このうち、 χ^2 が 10 以下である飛跡を選択した (図 5.38、図 5.39)。この分布より、再構成された飛跡は検出器に対してほぼ垂直であることが分かる。したがって、位置分解能評価のための残差計算では、傾きが ± 0.2 mrad の飛跡を更に選択して行った。

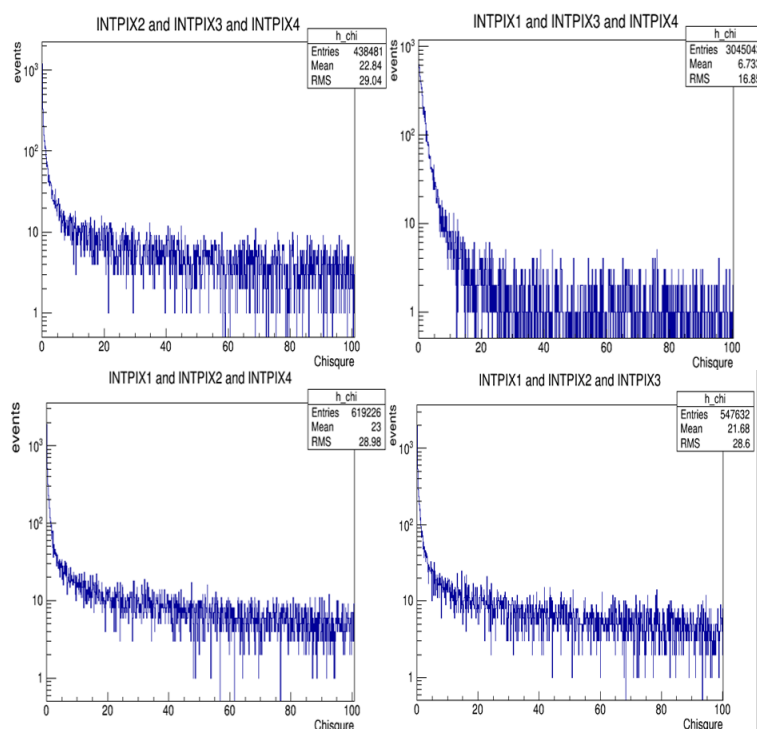


図 5.35: χ^2 分布 (アライメント完了後)

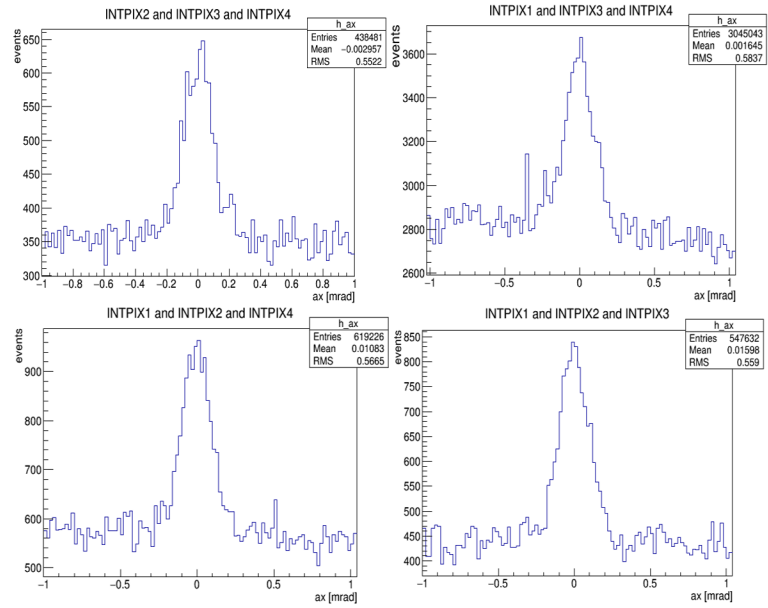


図 5.36: 再構成飛跡の傾き分布：x 方向

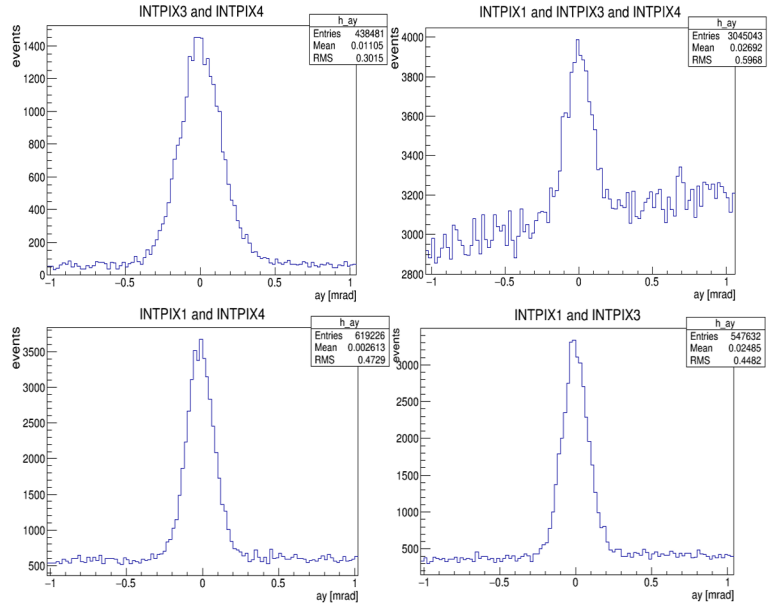


図 5.37: 再構成飛跡の傾き分布：y 方向

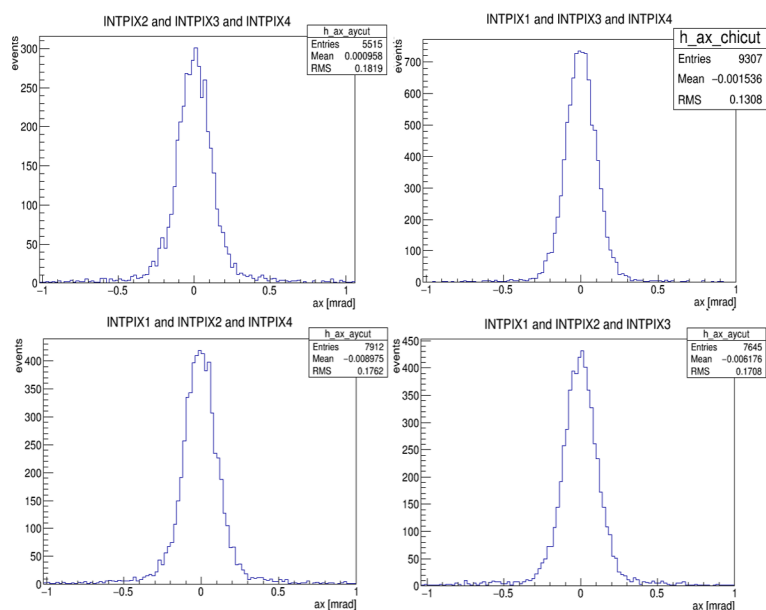


図 5.38: 再構成飛跡の傾き分布 ($\chi^2 < 10$) : x 方向

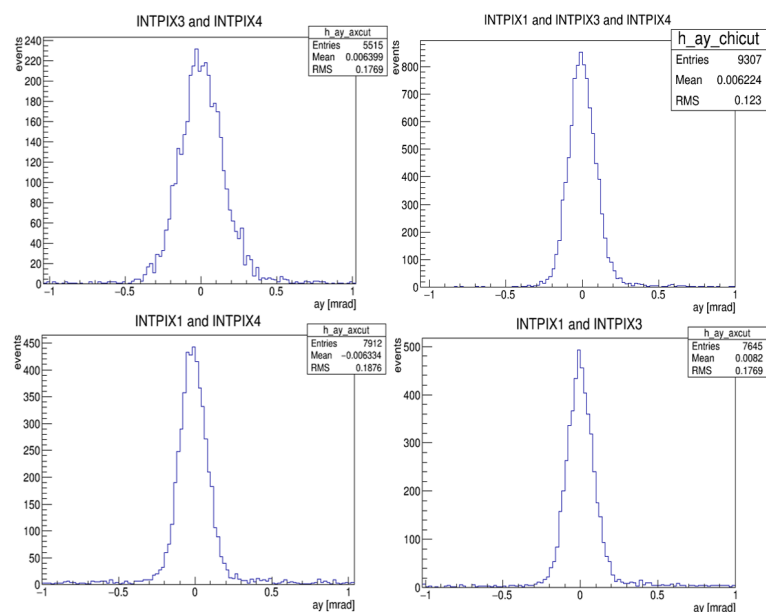


図 5.39: 再構成飛跡の傾き分布 ($\chi^2 < 10$) : y 方向

以上の選別条件で抽出された飛跡による残差分布の結果を、図 5.40 と図 5.41 に示す。それぞれの分布幅を求めると、INTPIX1 で 2.11, 12.2 μm 、INTPIX2 は x 方向のみの評価で 1.77 μm 、INTPIX3 で 2.06, 2.06 μm 、INTPIX4 で 2.55, 2.34 μm となっている。

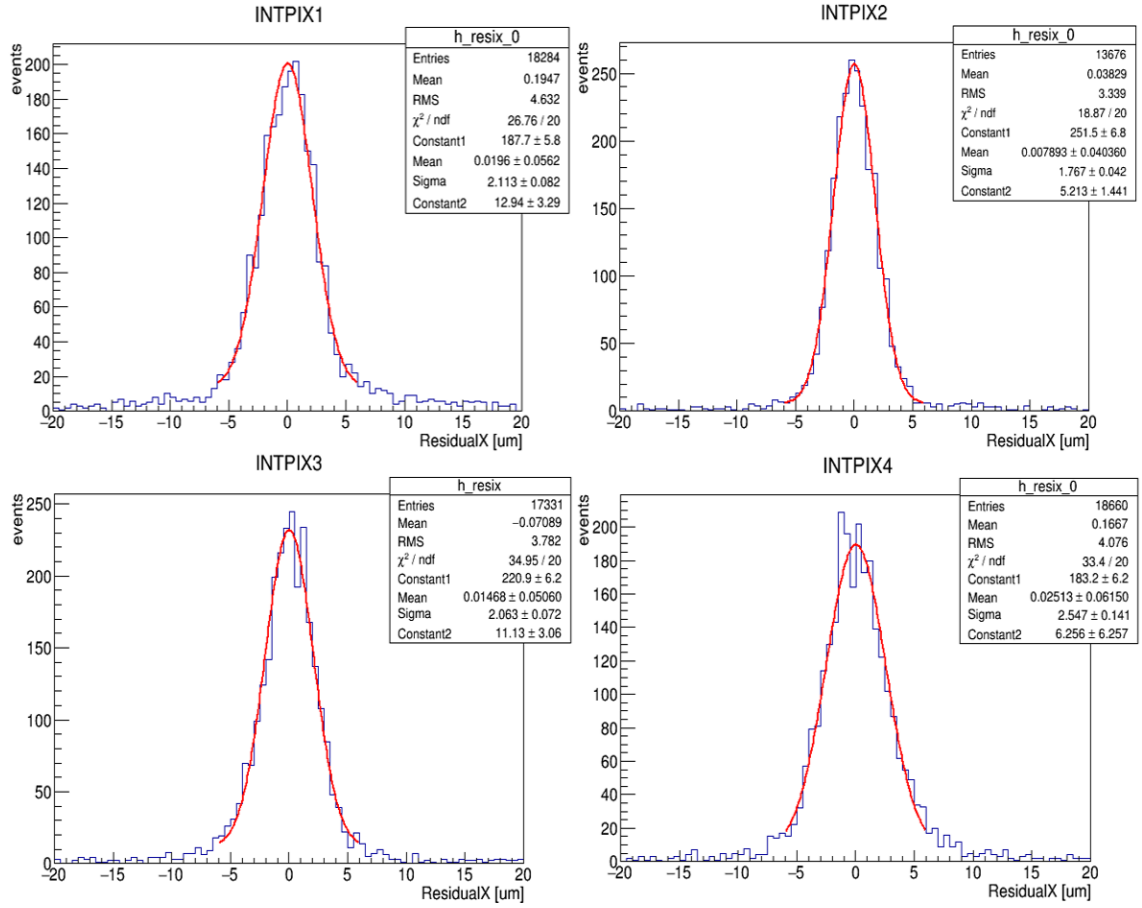


図 5.40: x 方向残差分布（飛跡選別後）

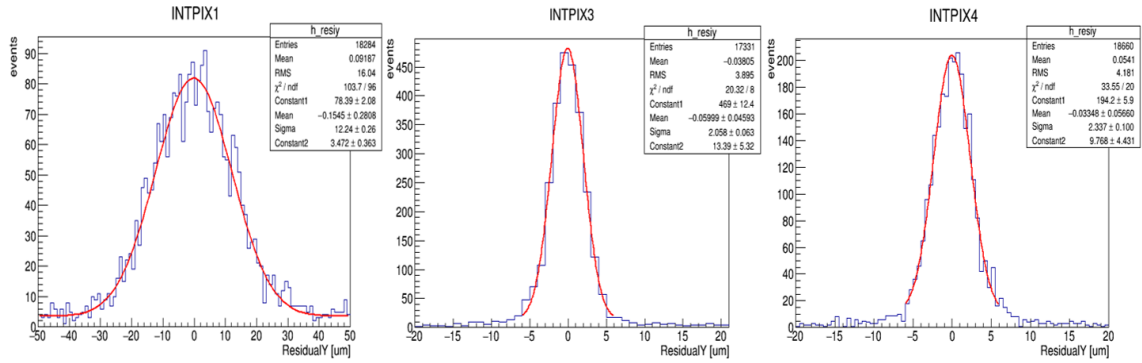


図 5.41: y 方向残差分布（飛跡選別後）

上で求めた分布幅は、検出器の位置分解能とトラッキングの精度の2つの不確かさの重

ね合わせになっており、以下の式に従う。ここで、 σ_{obs} は測定された分布の広がり、 σ_{int} は検出器本来の位置分解能、 σ_{track} はトラッキングの精度による分布の広がりを表す。

$$\sigma_{obs} = \sqrt{\sigma_{int}^2 + \sigma_{track}^2} \quad (5.12)$$

σ_{track} は次のようにして計算される。式 (5.10) より、トラックの式は

$$\begin{aligned} f_x(z) &= \frac{1}{D} \{ ([1] [X_i z_i] - [z_i] [X_i]) z - [z_i] [X_i z_i] + [z_i^2] [X_i] \} \\ &= \frac{1}{D} \{ ([1] z - [z_i]) [X_i z_i] - ([z_i] z - [z_i^2]) [X_i] \} \\ &= \sum_i \frac{1}{D} \left[([1] z - [z_i]) \frac{z_i}{\sigma_i^2} - ([z_i] z - [z_i^2]) \frac{1}{\sigma_i^2} \right] X_i \end{aligned} \quad (5.13)$$

となる。 X_i の誤差を考慮すると、トラック位置の誤差は誤差伝搬により、次のように計算できる。

$$\sigma_{track} = \frac{1}{D} \sqrt{\sum_i (A_i - B_i)^2 \sigma_i^2} \quad (5.14)$$

ここで、 A_i と B_i は以下で定義される値である。

$$A_i = ([1] z - [z_i]) \frac{z_i}{\sigma_i^2} \quad (5.15)$$

$$B_i = ([z_i] z - [z_i^2]) \frac{1}{\sigma_i^2} \quad (5.16)$$

ここでは 4 枚の検出器はどれも等しい位置分解能もつ、すなわち $\sigma_i = \sigma_{int}$ とすると式 (5.12) より

$$\sigma_{obs} = \sqrt{1 + \frac{1}{D^2} \sum_i (A_i - B_i)^2 \sigma_{int}^2} \quad (5.17)$$

と σ_{obs} と σ_{int} の関係が導け、この係数を Tracking Factor として定義する。それぞれの検出器において Tracking Factor を求め、上の残差分布幅をこの値でそれぞれ割ることで、検出器本来の位置分解能を求めた。導出した位置分解能を χ^2 の計算にフィードバックし、再度飛跡選別を行って残差分布を求め、位置分解能を再評価した。この操作をイタレーションすることによって得た結果を以下の表にまとめる。全検出器において $1.7 \mu\text{m}$ 以下の位置分解能を達成することができた。

センサー	残差分布幅 [μm]	Tracking Factor	位置分解能 [μm]
INTPIX1	2.14 ± 0.08	1.58	1.35 ± 0.05
INTPIX2	1.75 ± 0.04	1.29	1.34 ± 0.03
INTPIX3	2.03 ± 0.07	1.30	1.56 ± 0.05
INTPIX4	2.55 ± 0.14	1.55	1.65 ± 0.09

表 5.7: x 方向の残差分布の広がり と位置分解能

センサー	残差分布幅 [μm]	Tracking Factor	位置分解能 [μm]
INTPIX1	12.24 ± 0.26	8.80	1.39 ± 0.03
INTPIX2	—	—	—
INTPIX3	2.06 ± 0.06	1.32	1.56 ± 0.05
INTPIX4	2.34 ± 0.10	1.55	1.51 ± 0.06

表 5.8: y 方向の残差分布の拡がり と位置分解能

センサーの S/N と位置分解能は、センサーのピクセルサイズごとにある反比例の関係を持つことが分かっている [15]。先行研究結果と合わせて、今回測定した S/N と位置分解能の結果を図 5.42 に示す。ここで、INTPIX2 の S/N については、クラスタ電荷分布の 2 ピークあった内の、ピークの値が小さい方を採用して計算している。また、位置分解能については、x 方向と y 方向の値を誤差でまとめて、一つの値として算出している。これを見ると、4 枚の INTPIX の内、INTPIX1, INTPIX2, INTPIX4 は同じ反比例の式に従っているように見えるが、INTPIX3 がこの関係性から外れたところに位置している。この原因として、アライメントがまだ不完全であることが考えられる。図 5.43 に、各 INTPIX における x 方向のセンサー位置と残差平均の関係を示す。これを見ると、残差平均がセンサー位置によらずに様となっておらず、相関がみられる。この相関を補正するようにアライメントを再度実行すれば、INTPIX3 における位置分解能の改善が見込まれる。

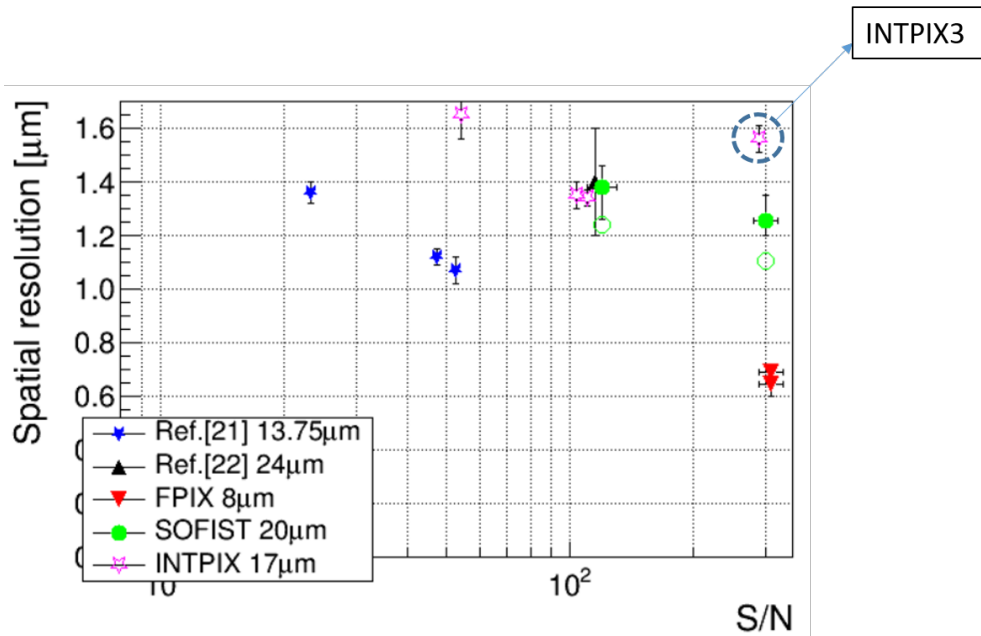


図 5.42: 異なるピクセルサイズを持つセンサーごとの S/N と位置分解能の関係 [15]

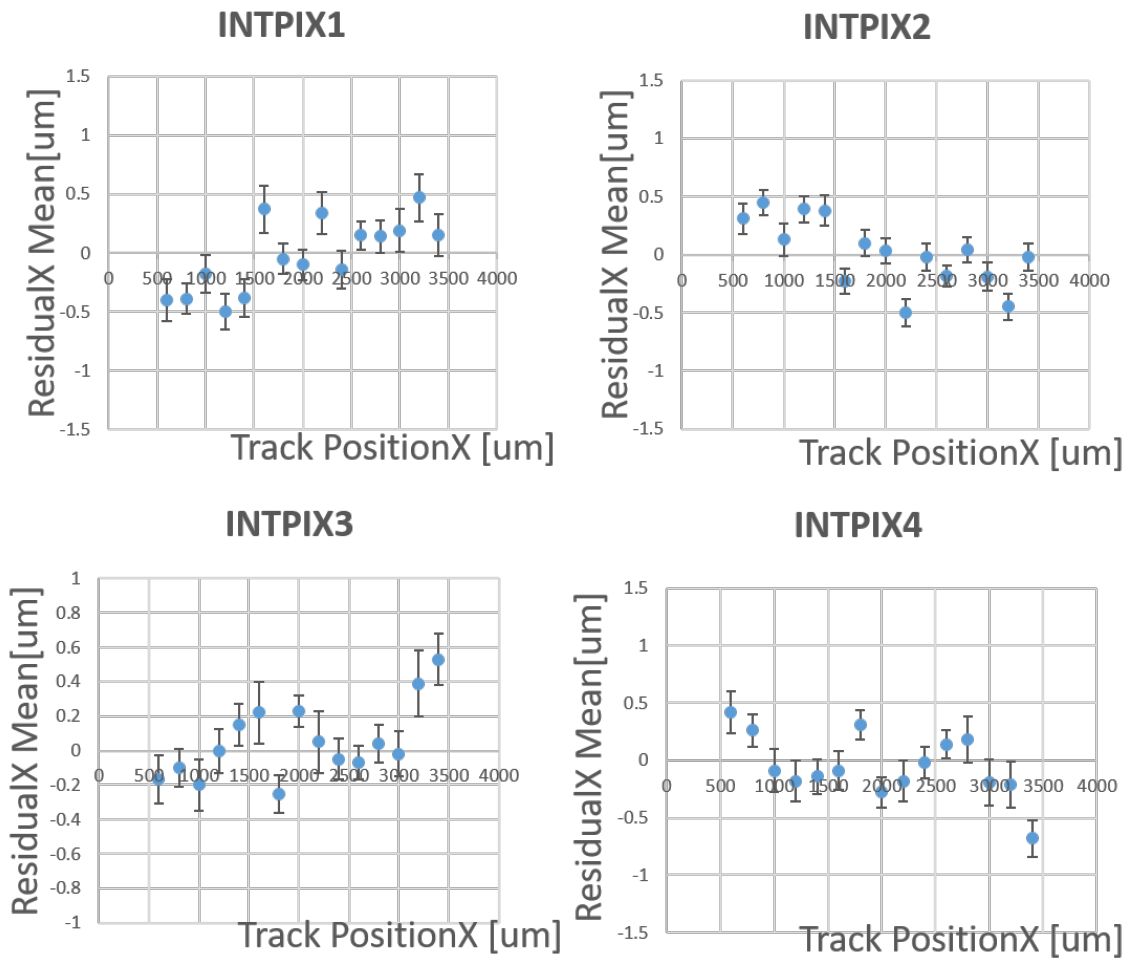


図 5.43: 各 INTPIX におけるセンサー位置ごとの残差平均 (x 方向)

5.5.7 SOFIST の位置分解能評価

INTPIX 4 枚で再構成した飛跡を SOFIST に内挿することで、それぞれの位置分解能を評価した。はじめに、各 SOFIST においてトラック周りの回転角を評価して回転角補正を行った後、残差計算を行ってその平均値を各 SOFIST の検出ヒット位置から差し引くことで平行方向の位置補正を行った。回転角の計算は、INTPIX の詳細位置補正での操作と同様に、x 方向の残差分布幅が最小となるような回転角を計算した。以下に、位置補正後の各 SOFIST の残差分布を示す。

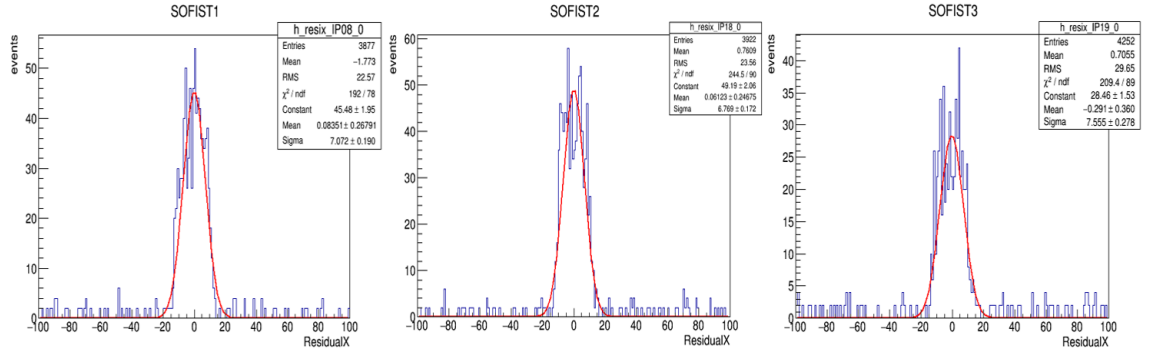


図 5.44: SOFIST の x 方向残差分布

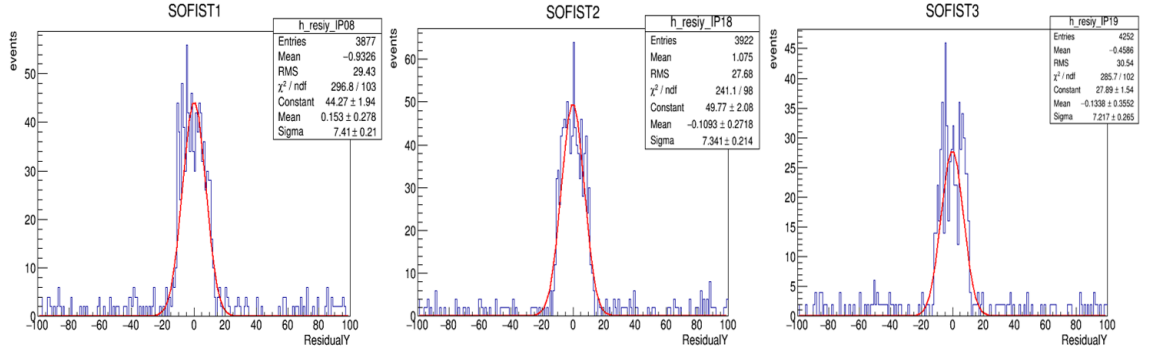


図 5.45: SOFIST の y 方向残差分布

センサー	残差分布幅 [μm]	σ_{track}	位置分解能 [μm]
SOFIST1	7.07	0.73	7.03
SOFIST2	6.77	0.77	6.73
SOFIST3	7.56	0.91	7.50

表 5.9: x 方向の残差分布の拡がり と位置分解能 (SOFIST)

センサー	残差分布幅 [μm]	σ_{track}	位置分解能 [μm]
SOFIST1	7.41	0.73	7.03
SOFIST2	7.34	0.77	7.30
SOFIST3	7.22	0.91	7.16

表 5.10: y 方向の残差分布の拡がり と位置分解能 (SOFIST)

SOFIST のクラスターサイズは、ほとんどのクラスターにおいて 1 であった。25 μm 角のピクセルサイズを持つ SOFIST において、そこから推定される位置分解能は以下の計算の通りである。

$$\sigma_{int} = 25\mu\text{m} \times \frac{1}{\sqrt{12}} \quad (5.18)$$

$$= 7.22\mu\text{m} \quad (5.19)$$

INTPIX によって再構成した飛跡によって、各 SOFIST にそのクラスターサイズとピクセルサイズから予測できる値とほぼ等しい位置分解能を与えることができた。

第6章 結論

大面積 SOI ピクセル検出 INTPIX4 の飛跡検出器としての性能評価のため、FNAL における 120 GeV 陽子ビームを用いたビーム試験を行い、飛跡再構成システムとして INTPIX4 を 4 台稼働させ、DUT として SOFIST Ver.2 を 3 台稼働させた。

ビームによって生成された電荷をクラスタリングしてクラスタ電荷量として求めることで、その分布のピーク値とピクセルノイズの比から各 INTPIX における S/N を評価した。上流から 2 枚目の INTPIX2 に関しては、クラスタ電荷量のピークが 2 つみられた。これは、Row 方向に 4 ピクセル間隔で不感領域が存在し、その領域における電荷損失が原因ではないかと思われる。今後の評価で、原因を詳しく探っていく必要がある。それ以外の 3 台に関しては、MIP による Landau 分布が再構成できた。しかし、S/N は INTPIX1 においては 104、INTPIX3 では 288、INTPIX4 では 54.3 とセンサーによって個体差が大きかった。安定した性能を持つシステムの開発のためにも、このセンサーごとの個体差の原因についても、今後の評価で明らかにしていく必要がある。

また、全空乏化電圧の評価のために、4 台中 1 台の検出器で印加電圧を 64 V から 160 V まで変化させ、それぞれの電圧における収集電荷量の変化を見た。結果、130 V 付近で収集電荷量が飽和し始めるのを確認した。故に、約 130 V で全空乏化すると思われ、式 (2.1) よりこのウェハールにおけるセンサー部の抵抗率はおおよそ $7 \text{ k}[\Omega \text{ cm}]$ であると推定できる。

クラスタリングによって求めた各センサーの検出ヒット位置から、直線フィットによる飛跡の再構成を行った。x 方向の飛跡の再構成には 4 台中 3 台を用いて、y 方向の飛跡の再構成には不感領域をもつ INTPIX2 を除いたセンサーを用いて行った。再構成された飛跡から、残る 1 台のセンサーの検出ヒット位置との残差計算し、その分布の標準偏差を評価した。また、残差分布の標準偏差をトラッキングの精度によるファクタで割ることにより、検出器本来の位置分解能を評価した。さらに、求めた位置分解能の値と S/N の値の相関を確認した。先行研究の結果から、この相関はピクセルサイズごとにある反比例の関係を持つことが分かっている。4 枚の INTPIX 内、INTPIX1, INTPIX2, INTPIX4 において先行研究と矛盾しない相関を得ることができた。しかし、INTPIX3 はこの相関から大きく外れていた。これは、アライメントがまだ不完全であることが原因だと考えられ、センサー位置によらず残差平均が一様になるように再度アライメントを行えば位置分解能の改善が見込まれる。

また、4 枚の INTPIX で再構成した飛跡を SOFIST に内挿することで、その位置分解能も評価した。SOFIST のクラスタサイズは、ほとんどのクラスタにおいて 1 であり、そこから推定される位置分解能は約 $7.22 \mu\text{m}$ である。すべてのセンサーで、この値とほぼ等しい位置分解能を与えることができた。

謝辞

この論文を執筆するまでの修士2年間、ご助力をいただきました方々に、ここで感謝の意を表したいと思います。原先生には、修士まで半導体分野に触れたこともなかった私に、一から丁寧にSOIについて教えて頂きました。特に、ビームテスト中、付きっきりになって解析を見て頂いたことには大変感謝しております。それにも関わらず、結果を出すまでにとっても時間をかけてしまったことは、とても申し訳ないです。それでも、最後の最後まで解析について色々とおアドバイスを頂き、本当にありがとうございました。後期課程でも、是非ともよろしく願いいたします。遠藤さんには、入学したばかりの私にセンサーやIRレーザの扱い方、DAQの方法や解析の方法など、実験のイロハを叩き込んで頂きました。私の覚えが悪く、何度も同じことを尋ねることもあり、イライラさせてしまったこともあったと思いますが、その度きちんと質問に答えて頂いたことにはとても感謝しています。また、研究以外のプライベートのことなどについても相談にのって頂くこともあり、新天地で友人のいない私にとってはとても心強かったです。また筑波にいらっしやったときには、ラーメンでも食べに行きましょう。OBの関川さんには、ビームテストの解析について面倒を見て頂いただけでなく、解析でつまづいている私に発破をかけて頂きました。この修論が完成したのも、関川さんのおかげといっても過言ではないくらい、大変感謝しております。お仕事も忙しい中、本当にありがとうございました。また、おいしいものでも食べに行きましょう。SOIの後輩の安部君、岩波さん、村山君、渡辺君、増山さんには、君たちの頑張る姿を見ることで先輩として自分を顧みる機会をたくさんくれました。あまり先輩らしいことはしてあげられなくて申し訳ないですが、何か今後も力になれることがあれば私を遠慮なく使ってください。山田さんと小野さん、坪山さんをはじめとするKEKの方々には、ビームテストの準備期間から終了後にわたるまで大変お世話になりました。自分の力だけでは、ビームテストでINTPIXを動かすことは絶対に不可能でした。こうしてデータを無事に取れて修論としてまとめることができたのも、皆様のご尽力があったからこそです。SOFISTの結果を出すのが遅くなってしまったのは、大変申し訳ありませんでした。今後も機会があれば、ご指導ご鞭撻のほどよろしくお願いいたします。指導教員の武内先生とは、ほとんど毎日のように晩御飯をともにしました。そこでは、研究についてだけでなく様々な雑学のような話も聞けてとてもためにもなり、楽しかったです。また、トラッキングの誤差の計算について教えていただきありがとうございました。無事、結果を修論にフィードバックすることができ、大変感謝しております。最後に、長い間ここまで育ててくれ、学費や独り暮らしの費用などお金の面などでも支えてくれた両親に感謝の意を述べて終わりにさせていただきます。

参考文献

- [1] S.M. ジー：「半導体デバイス -基礎理論とプロセス技術-」（南日康夫・川辺光央・長谷川文夫訳）（1990）.
- [2] William R.Leo ”Techniques for Nuclear and Particle Physics Experiments” (1987).
- [3] 千代勝実：「BELL-SVD における広間隔シリコンストリップ検出器の開発・研究」大阪大学理学部物理学科修士論文（1996）.
- [4] 小野喜将：「高エネルギー実験のための SOI 技術を用いた PIXOR (PIXel OR) 半導体検出器の研究開発」 東北大学大学院理学研究科物理学専攻修士論文（2010）.
- [5] 関川大介：「サブミクロンスケールの位置分解能を持つ高精細 SOI ピクセル検出器の開発研究」 筑波大学大学院数理物質科学研究科物理学専攻修士論文（2017）.
- [6] 長友良樹：「低消費電力 完全空乏型 SOI デバイス開発のあゆみ」 沖テクニカルレビュー 196 号, Vol.70, No.4, pp.112-117（2003 年 10 月）.
- [7] SOITEC ”<https://www.soitec.com/en/products/smart-cut>”
- [8] SOIPIX ”<http://rd.kek.jp/project/soi/research.html>”
- [9] Lapis Semiconductor Co. ”<http://www.lapis-semi.com/>.”
- [10] 小野峻：「ILC バレーテックス検出器に向けた位置・時間計測 SOI ピクセル検出器の研究開発」 総合研究大学大学院高エネルギー加速器科学研究科素粒子原子核専攻博士論文（2017）.
- [11] 本多俊介：「2 層埋込酸化膜層構造をもつ SOI ピクセル検出器の基礎特性および放射線耐性の研究」 筑波大学大学院数理物質科学研究科物理学専攻修士論文（2015）.
- [12] Y. Arai, ”INTPIX4 User’s Manual”, KEK (2013).
- [13] 佐々木敏彦：「重要部品の検査のためのリアルタイム X 線残留応力測定計測装置」 JST 新技術説明会（2017）.
- [14] 新井康夫、一宮亮：「SOI 技術を用いた時間・空間 X 線イメージセンサの開発」 JST 新技術説明会（2011）.
- [15] K. Hara ”Development of Silicon-on-Insulator Pixel Devices” The 26th International Workshop on Vertex Detector (2017)