

修士論文要旨

高エネルギー実験のためのSOI技術を用いた PIXOR(PIXel OR) 半導体検出器の研究開発

～ Research and development of the PIXOR (PIXel OR) semiconductor detector
for the high energy experiments based on the SOI technology ～

東北大学大学院理学研究科 物理学専攻

小野 善将

1 はじめに

本研究の目的は、SOI(Silicon On Insulator) 検出器を高エネルギー加速器実験の崩壊点検出器へ応用することである。SOI 検出器に存在する課題克服の研究を通して、高エネルギー実験用 SOI 検出器: PIXOR(PIXel OR) の開発までを行った。

2 SOI 検出器と現状

SOI(Silicon On Insulator) 検出器は、SOI 基板のサブストレート部分をセンサーに使用した半導体検出器である。他の半導体検出器と比較して、「モノリシック型検出器」「FD-SOI CMOS による読み出し処理」という特徴を持つ。この特徴から SOI 検出器は、動作を妨げる寄生容量が大幅に減少、物質量低下などの多くの利点を得られる。

私は、高エネルギー加速器研究機構 (KEK) の測定器開発室に所属する、SOIPIX グループに参加するという形で研究を行ってきた。SOI 検出器は、その構造、新規性から高エネルギー実験への応用に対して課題が残っていた。この課題に関して、本修士論文では「放射線ダメージ」「センサークロストーク」「電荷収集メカニズム」に対する課題克服を行った。

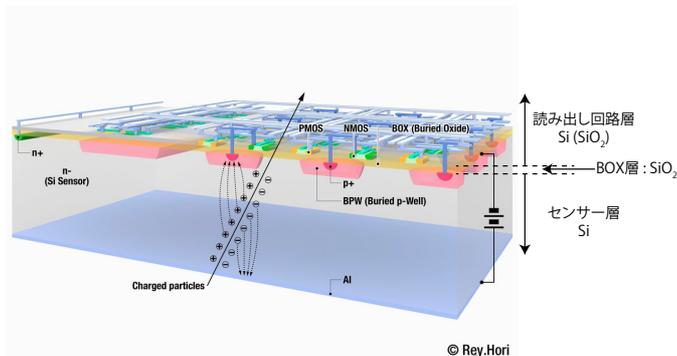


図 1: SOI 検出器

3 Belle II 崩壊点検出器への応用

Belle II 実験は、電子・陽電子をそれぞれ 7GeV, 4GeV までに加速・衝突させて、主に B 中間子の崩壊過程を探る実験であり、2014 年にスタート予定である。ここから標準模型の物理や、それを越えた新物理の探索を行う。

B 中間子の崩壊点をさぐるために必要なのは、崩壊点検出器であり「高い位置分解能」「低い占有率」「低い物質量」「高い放射線耐性」「高速な読み出し」が要求される。SOI 検出器は、これらの要求を合理的に満たすことができる。

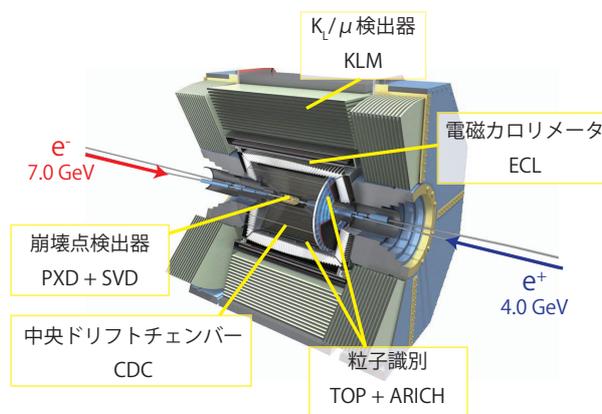


図 2: Belle II 検出器

4 放射線ダメージ評価試験

SOI 検出器は SiO₂ 層である、BOX 層 (Buried Oxide) 層の存在により、放射線の蓄積ダメージ TID (Total Ionizing Dose) 効果が深刻である。TID 効果は、放射線蓄積による SiO₂ 層、もしくは Si/SiO₂ 界面でのホールトラップが原因であり、主にトランジスタの閾値電圧変動を起こす。

この効果を実験的に検証するため、X 線を SOI MOS-FET サンプルに照射し、トランジスタ特性の変動を測定した。図 3、4 は放射線蓄積によるトランジスタ特性の変位の例を示したものである。図 3 より、放射線ダメージが PMOS では微量であることから、放射線

ダメージがBOX層でのホールトラップであることを示した。図4は、X線照射中にセンサー電圧をかけた状態での特性変位を見たもので、トランジスタ下面のBPWで電位固定をして、放射線ダメージが軽減できることを示している。これはX線照射中のBOX層内の電場により、トラップホールの分布が変化し、放射線ダメージが大きく出ること示している。

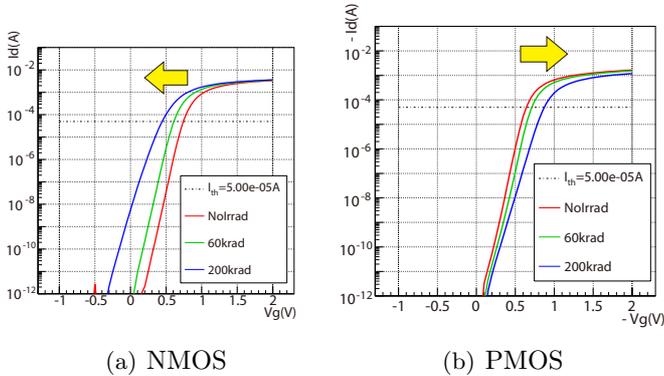


図3: NMOS、PMOSによる $I_d V_g$ 特性シフトの違い

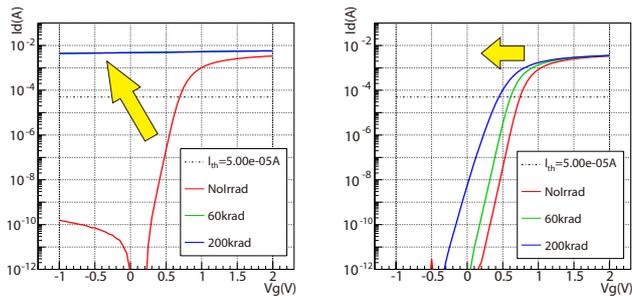


図4: BPWの有無による $I_d V_g$ 特性シフトの違い: NMOS

5 TCADを通じたSOI検出器の課題克服

TCADシミュレーションを用いて、SOI検出器の課題解決を行い確認を行った。解決方法は、「2層SOI構造」「センサー間BNW(Buried N Well)」である。2層SOI構造は、BOX層内にもう1層のシリコン層(middle silicon)を挟んだ構造であり、そこを任意の電位に固定することで課題解決を行った。BNWは、基板と同種の不純物インプラントで、基板濃度より高い濃度でセンサー層に形成、電気的に浮かした状態にすることで課題解決を行った。

放射線ダメージは、先ほど説明したBOX層でのホールトラップが原因となる。これに対し、2層SOI構造のmiddle silicon部分に、BOX層でのホールトラップ(+)を相殺するマイナス電圧 $-V_{mid}$ を印加することで、ダメージ補償を行った。

センサークロストークは、センサーと処理回路が非常

に近接することから生じる、センサー由来の電氣的干渉である。センサーと回路素子間に存在する容量性のクロストークは、2層SOI構造により容量的に分離を行うことができた。センサー間の抵抗性のクロストークは、センサー間BNWによりセンサー間を抵抗的に分離することができた。

電荷収集メカニズムについて、SOI検出器では上部読み出し回路の存在により、センサー層の電界が変化、収集電荷がBOX/センサー界面に一定時間蓄積する現象がシミュレーションにより予想された。これに対し、センサー間BNWによりセンサー電界をセンサー端子に向けることで、電荷収集の速度を上げることに成功した。

図5に理想的なセンサー構造を示す。

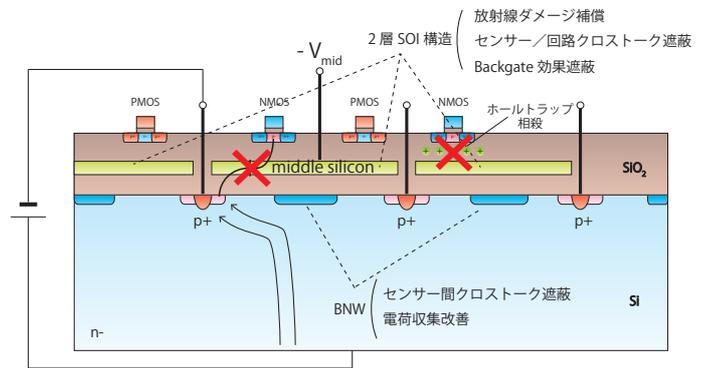


図5: 課題を解決する理想的なセンサー構造

6 PIXORの開発

SOI検出器の高エネルギー実験での応用形として、PIXOR(PIXel OR)の開発をスタートさせた。現在のセンサー上に処理回路を形成するピクセル型検出器では、回路の面積によりピクセルサイズが制限され、位置分解能が犠牲になるという欠点があった。この欠点に対して、PIXel ORで2方向にセンサーからの信号を分け、回路面積を複数ピクセルで負担するという方法を提案した(図6)。例えば、 $n \times n$ ピクセルのPIXOR構造では、 $n^2 \rightarrow 2n$ 個分の処理回路の面積となり、位置分解能を決めた後に処理回路面積に応じてピクセルORの数を定めることができる。

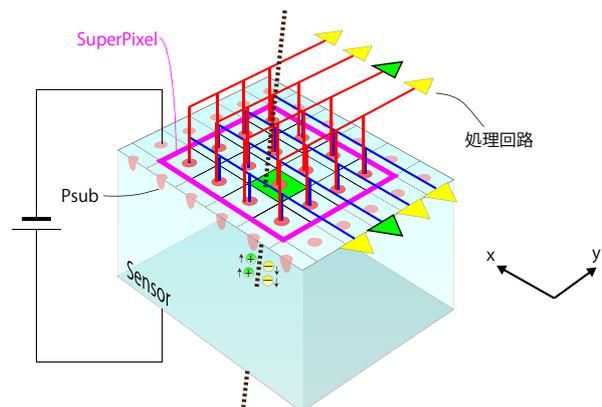


図6: PIXOR構造

また崩壊点検出器での読み出し処理回路として、「バイナリ読み出し」「カウンタでトリガー待ち」「ヒットアドレス読み出し」という機能をもたせる。バイナリ読み出しは、粒子の透過情報をヒットの有無のデジタル値に判定する読み出し形式である。これにより、ヒット情報を保持する大型のアナログキャパシタが不要になり処理回路面積が小さくなる他、以降の信号処理が非常に簡単になる。また、データ取得のタイミングを指定するトリガー信号を待つため、カウンタを使ってヒット情報を格納する。カウンタはダウンカウンタを使用し、ヒット時刻からカウントダウンを行い、トリガー信号到達時にカウンタの値が1かどうかを比較、ヒット判定を行う。そして、ヒット情報はヒットアドレスに変換されて読みだされる。アナログ回路部分は既存のものを流用したが、これらの処理回路を実現するデジタル回路部分を最初から構成した。

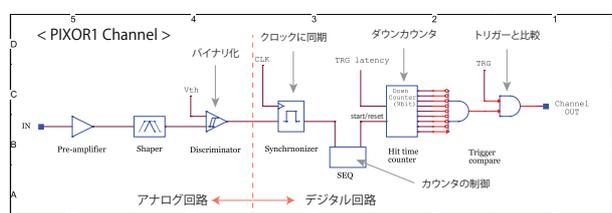


図 7: 各チャンネルでの処理回路

PIXOR 開発の具体的な目標を、Belle II の崩壊点検出器である SVD(Silicon Vertex Detector) 最内層のアップグレードへのインストールとした。Belle II の最初のランでは、SVD として DSSD を使用する予定であるが、これを PIXOR にすることで占有率の低下、物質量の低下を狙う。表 1 の設計のもとでは、占有率は 6.7%→0.016%まで低下できると考えられる。一方で、センサーの低寄生容量性から S/N の上昇が考えられるため、センサー層の薄化から物質量の低下も考えている。現在、PIXOR 構造からのアナログ信号の確認・デジタル回路の動作確認を、主な目的とした PIXOR1 の試作までを行った。

今後、PIXOR1 の試験評価を通して、更なる研究開発を行う予定である。最後に現在の設計・目標を表 1 にまとめる。

表 1: PIXOR の設計・目標仕様

パラメータ		単位
ピクセルピッチ	ϕ :25, z:40	μm
位置分解能	ϕ :7.2, z:11.5	μm
Pixel OR 数	16	
サンプリング周波数	42.33	MHz
Trigger latency	5	μs
	(212)	(CLK)
センサー厚	100	μm
放射線耐性	>10	Mrad