

固定電位層を導入した次世代 X 線天文用 SOI ピクセル検出器の研究

京都大学大学院 理学研究科 物理学第二教室 宇宙線研究室

原田颯大

● 研究背景

近年の研究で、銀河中心に超巨大質量ブラックホールが普遍的に存在する事が判明したが、その進化の過程や起源は謎に包まれている。ブラックホールなど多くの天体は、広帯域で X 線を放射するため、詳細な性質の解明には広帯域 X 線観測 (0.5–80 keV) が必要となる。しかし、~ 10 keV 以上の帯域では、高エネルギー粒子起因の非 X 線バックグラウンド (NXB) が高いという問題がある。我々は広帯域かつ高感度の X 線観測実現に向け、次世代 X 線天文衛星計画

「FORCE」を推進している (図 1)。問題の NXB は、検出器の周りをアクティブシールドで囲み、反同時計数法を用いて除去することを検討している。アクティブシールドは、アンチカウンタと放射線シールドを兼ねたもので、材質は BGO シンチレータを想定している。衛星軌道上でアクティブシールドは ~ 10 kHz で反応すると考えられているので、反同時計数法を行う検出器には宇宙線の到来頻度よりも十分早い 10 μ s 程度もしくはそれ以上の時間分解能が求められる。しかし、現行の主力 X 線検出器 CCD は時間分解能が数秒と遅いため、反同時計数法を用いることが出来ない。



図 1. FORCE 衛星。

● 次世代 X 線撮像分光器「XRPIX」の開発

我々は広帯域かつ高感度の X 線観測に向け、優れた時間分解能を有する次世代 X 線撮像分光器「XRPIX」を開発している。XRPIX は、Silicon On Insulator (SOI) 技術を用いた検出部・読み出し回路一体型の半導体ピクセル検出器である (図 2)。SOI 技術とは 2 枚のシリコンウェハを絶縁層を挟んで一体化させる技術である。比抵抗の異なる 2 枚のシリコンウェハを一体化できるので、我々の場合、センサー部はより空乏層を広げるために高比抵抗のシリコンを、回路部は高速動作のために低比抵抗のシリコンを用いている。

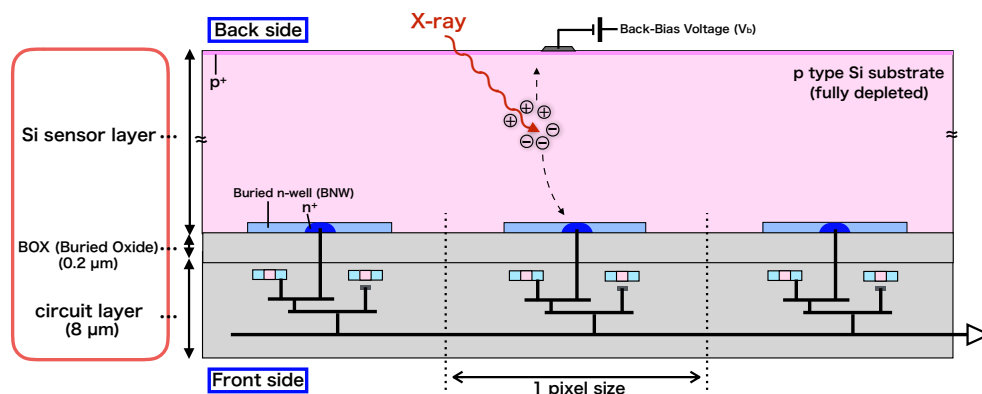


図 2. XRPIX の模式図。

XRPIX 最大の特徴は、読み出し方法にある。XRPIX は、ピクセル毎に読み出し回路・トリガー回路を搭載している。そのため「フレーム読み出し」と「イベント駆動読み出し」という 2 種類の読み出し方法を行うことが出来る。フレーム読み出しでは、入射イベントの有無に関わらず、露光・読み出し・リセットのサイクルを繰り返して、特定の領域を一定間隔で読み出す。これは CCD 検出器の読み出し方と類似している。一方、イベント駆動読み出しでは、X 線が入射し、トリガー閾値を超えたピクセルの読み出しを行う。イベントを検出したタイミングでヒットしたピクセルのみを読み出すことが出来るため $< 10 \mu\text{s}$ の高時間分解能を実現できる。この $10 \mu\text{s}$ という時間分解能は、現在主流の CCD に対して 5 桁、欧米で開発中の高速 Active Pixel Sensor に対しても 3 桁高く、世界で、京大を中心とする日本グループのみが実現に成功している。

先行研究においてイベント駆動読み出しでのスペクトル性能が、フレーム読み出しに比べ著しく悪化することが分かった (図 3)。これは回路と読み出しノード間に寄生容量が存在し、トリガー信号が寄生容量を介してアナログ信号に干渉する事が原因であった (図 4)。これは、XRPIX を開発していく上で大きな問題である。

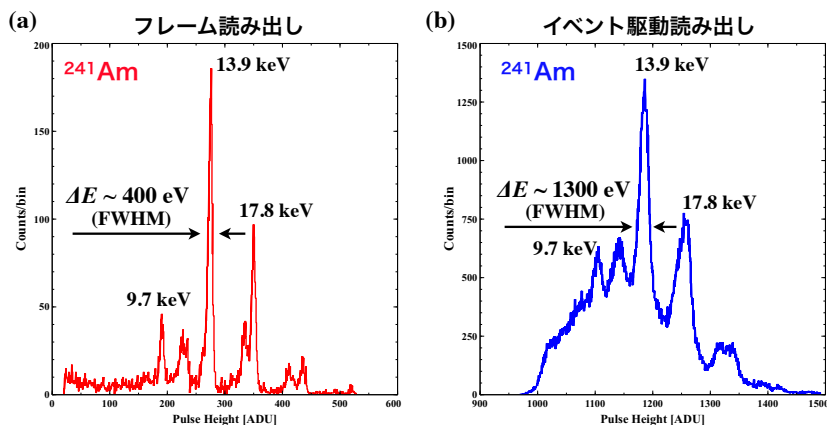


図 3. 従来の素子 (XRPIX3b) で取得した X 線スペクトル。

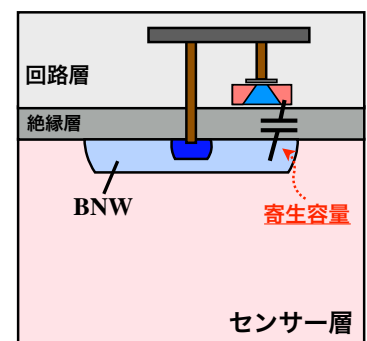


図 4. 回路と読み出しノード間に存在する寄生容量のイメージ。

● Double SOI 構造を持つ素子 XRPIX6bD

寄生容量を抑制する方法に、センサー層と回路層の間にシールド層を導入することが考えられる。そこで我々は、絶縁層中に新たに固定電位層を導入した、Double SOI 構造を持つ素子 XRPIX6bD の開発を行った (図 5)。私は、本論文において XRPIX6bD の基礎性能評価をすべて主導して行った。XRPIX6bD でスペクトルを取得し、評価した結果、フレーム読み出しとイベント駆動読み出しで同等の性能を得ることに成功した (図 6)。今回イベント駆動読み出しで達成した、エネルギー分解能 360 eV (FWHM at 6 keV) は過去最高性能である。

その一方で、スペクトルの低エネルギー側に大きなテール成分が見られることを発見した。この問題を、実験及びシミュレーション

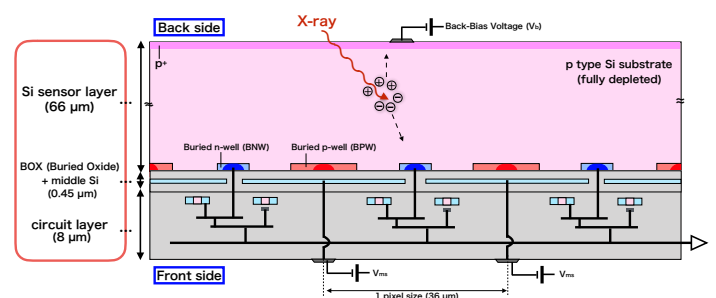


図 5. XRPIX6bD の模式図。

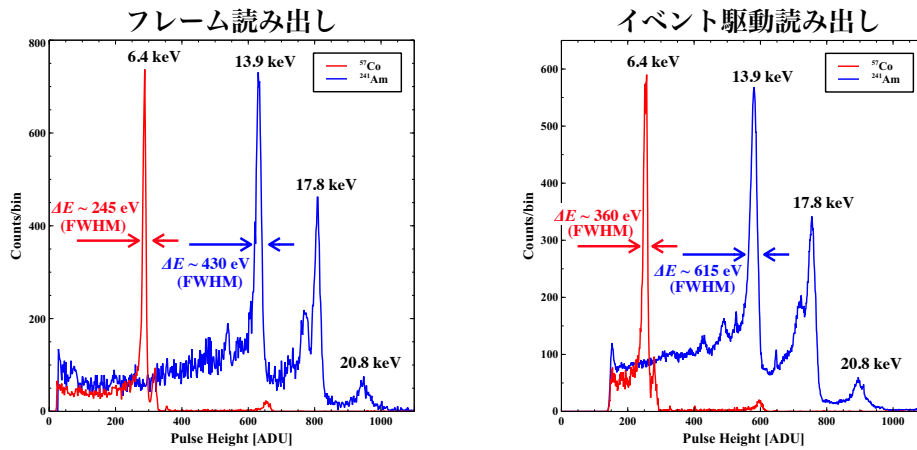


図 6. XRPIX6bD で取得した X 線スペクトル。左図: フレーム読み出しで取得。右図: イベント駆動読み出しで取得。

を用いて検証を行い、センサー層と絶縁層の界面付近で電荷が失われている可能性を示した。

● Pinned Depleted Diode 構造を持つ素子 XRPIX6E

前節の XRPIX6bD の研究成果に基づき、私達は、共同研究者と協力し、固定電位層を絶縁層の中ではなく、センサー層と絶縁層の界面に設けた Pinned Depleted Diode (PDD 構造) を持つ素子 XRPIX6E を新たに開発した (図 7)。センサー層と絶縁層の界面を覆うように固定電位層を導入することで、静電シールドの役割を持たせながら、界面から生じる暗電流を抑制できるなど様々な利点が期待できる。私は、本論文における XRPIX6E の評価、解析の全てにおいて、主導的役割を果たしている。

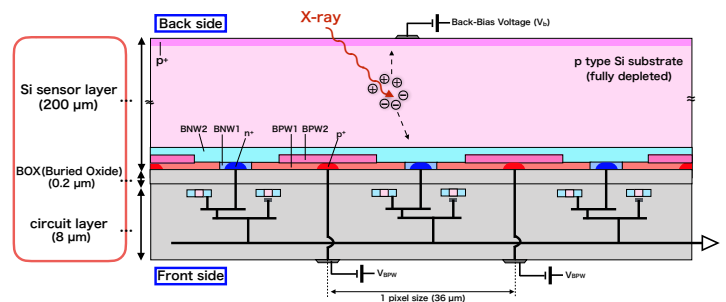


図 7. XRPIX6E の模式図。

XRPIX6E を評価した結果、イベント駆動読み出しで XRPIX6bD の性能を大幅に上回るエネルギー分解能 225 eV (FWHM at 6 keV) を実現し、FORCE 衛星搭載の要求を「初めて」満たすことに成功した。また、XRPIX6bD で見られていた大きなテール成分の抑制にも狙い通り成功した。

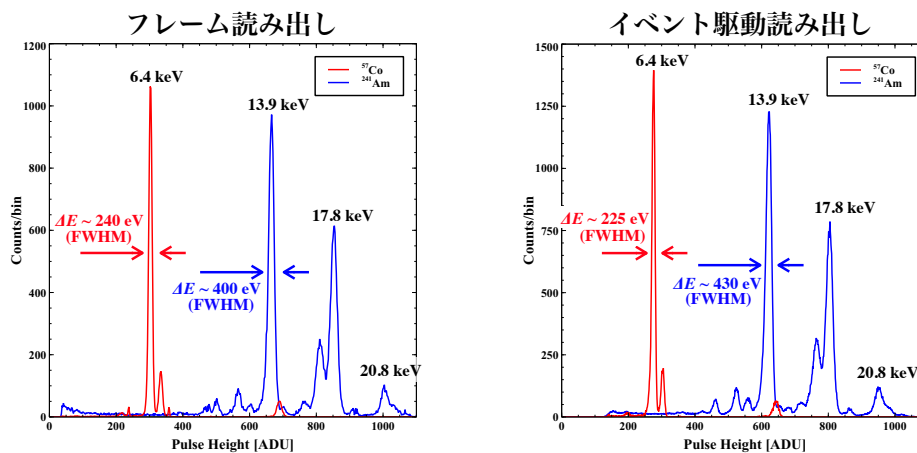


図 8. XRPIX6E で取得した X 線スペクトル。左図: フレーム読み出しで取得。右図: イベント駆動読み出しで取得。

● XRPIX6E で見つかった新たな問題

非常に優れた性能を実現した XRPIX6E であるが、ある特定の条件下でしか X 線を検出することが出来ないという問題を、私は新たに発見した。PDD 構造には Double SOI 構造にない利点が多く存在することが、本論文で明らかになった。本論文の結果から、今後の SOI 検出器は PDD 構造に移行していくと考えられる。その時、特定の条件下でしか動作しないというのは、非常に問題である。そこで、私はこの問題の原因追求を行った。

様々な実験・シミュレーションを行い、検討した結果、ピクセル周辺部に形成していた構造が、ピクセル部の電位分布に影響を与えることで、問題が発生していたことを突き止めた。この問題は XRPIX6E と同様の構造を持つ素子を開発する限り、今後も起こりうる。

● PDD 構造の改良と今後に向けて

そこで我々は共同研究者と共に、従来の PDD 構造のメリットは残しつつ正常に動作可能な新たな PDD 構造の提案を行った (図 9)。シミュレーション等を用い、検証を行った結果、正常に動作することが期待できることを示した。提案した構造の有用性が認められ、この構造は SOIPIX グループ全体に取り入れられることとなった。現在、この構造をもとにした素子製作が各所で進められている。当然我々も、新たな PDD 構造を持つ素子「XRPIX8」のプロセスを現在進めている。

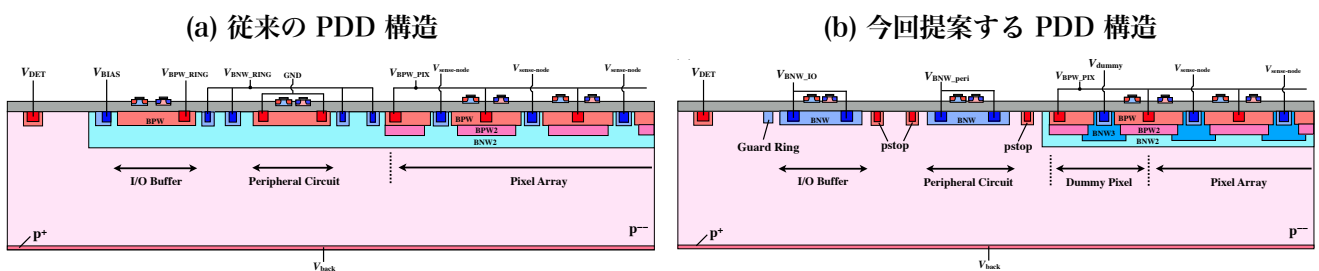


図 9. (a) 従来の PDD 構造の模式図。 (b) 今回提案する、新たな PDD 構造の模式図。

本研究における申請者の主な寄与

XRPIX の基本構造、実験環境、解析プログラムの土台は、今までの先輩方の研究成果の上に成り立っている。Double SOI 構造の素子 XRPIX6bD は先行研究をもとに開発されたものである。その XRPIX6bD 素子の性能評価、解析プログラムの改良、発見した問題の検証のほぼ全てを私が行った。PDD 構造を持つ素子 XRPIX6E に関しては、動作条件の確立、性能評価、問題の発見、シミュレーションを用いた検証に至るまで、私一人で成し遂げた成果である。PDD 構造の改良に関しては、私が行った検証実験をもとに、指導教員の鶴先生、静岡大学の川人先生をはじめとした川人研究室の皆様、KEK の新井先生、倉知先生らと議論を重ねることで実現した。新しい PDD 構造の検証シミュレーションは、私がひとりで行った。新しい PDD 構造は今後、我々だけでなく、幅広い分野で応用が期待できる。XRPIX6E が正常に動かない問題に関しては、今までに類似した問題が見つかっていないため、全てが未知の現象であった。そのため、自分自身で考え、問題解決の道筋を見つける必要があり、それに必要な大量の検証実験は全て私が行ったものである。この事は、特に苦心した点として挙げたい。