

対象：FPGA設計をこれから始める人

期待される効果：

- XILINXツールISE使用方法の習得
- 論理シミュレーション実行方法の習得

期待されない効果

- HDL記述の上達（基本は説明します）

予備知識：デジタル回路の構成要素AND, OR, NOTロジック・ゲート,Dフリップ・フロップの動作を理解している事。HDLの知識は必要ありませんが、どのような物なのか漠然でも知っている方が望ましいです。

内容：具体的に"FPGAを使う事"を中心に説明します。デジタル回路の教科書に書いてあるような説明はしません。今回はXILINXのSpartan3シリーズに焦点を合わせ簡単な課題をVerilog HDLを用いて設計します。このことによりFPGA設計フローを一通り経験できます。特に最新ツールについては多くの機能が含まれていますが最低限知っていれば良い事を説明します。

動機：FPGA設計を始める時に経験する大きな障害の一つがツールの使用方法です。市販の参考書ではHDL記述や合成に特化したものが多くFPGAの設計フロー全体を記述しているものは少なく感じます。解説した文献もありますが、非常に簡単な事か高度な使用方法の解説に偏っているので必要な情報を収集する為に多くの時間を費やしてしまいます。そこで、私の経験から必要最低限の使用方法を解説し、講習受講後はHDL記述の参考書で自習できるようになる事を目標にセミナーを企画しました。

申し込み先：メールにて下記まで

uchida@post.kek.jp（内田智久 KEK素粒子原子核研究所）

各自用意していただく物：

- PCを1台
（ISE, Logic simulatorをインストールして良いもの。インストール済みでも良い）
- XILINX社 Spartan3スターキット、またはSpartan3Eスターキットを1台

注）PCは各自用意して頂く必要がありますが、スターキットは数人で共有して頂いても問題ありません。

こちらで準備するもの

- フリーのLogicシミュレーター