測定器開発室セミナー

先端CMOSプロセスを用いた データコンバータ回路技術とその応用 2017/04/18

高エネルギー加速器研究機構 素粒子原子核研究所 宮原 正也



- ・自己紹介
 - 学歴•職歴
 - –研究歴
- ・過去の主だった研究紹介
- ・現在の研究紹介と展望



宮原 正也 准教授(卓越研究員) 1980年5月12日生まれ(満36歳)

- 2001/3 木更津工業高等専門学校 電気工学科 卒業
- 2002/3 ソニーコンポーネント千葉(株) 退社
- 2004/3 木更津工業高等専門学校 専攻科 修了
- 2006/3 東京工業大学大学院理工学研究科 修士号取得
- 2007/9 Intel@Communication Circuit Lab., Oregon, USA
- 2009/3 東京工業大学大学院理工学研究科 博士号取得
- 2009/4 東京工業大学大学院理工学研究科 助教
- 2012/6 高エネルギー加速器研究機構 客員助教
- 2016/4 東京工業大学工学院電気電子系 助教
- 2017/4~ KEK 素核研 准教授

研究歴 概略

専門分野:アナログ・デジタル混載集積回路設計 特に微細CMOSを用いたデータコンバータ

電波資源有効利用に関する研究(ミリ波帯無線システム)

 (1) 近距離通信(距離1m, 6.3Gbps)用超高速ADC/DAC (40nm)
 (2) FWA(距離数km, 2Gbps)用高精度・高速 ADC/DAC (65nm)

 低電圧動作アナログ回路の研究 (90nm)
 ヘルスケアシステム用アナログ回路技術の研究 (180nm)
 粒子検出器 ピクセル読み出し集積回路(QPIX)(180nm)
 環境適応型エネルギーハーベスティング回路技術の研究
 IoT社会実現に向けた超低消費電力センサーノードの研究

回路系主要国際学会(実測を伴うもの) ISSCC 6件, VLSIC 2件,CICC 3件, ESSCIRC 3件, A-SSCC 10件 等 論文誌26件、国際会議50件、国内会議71件、特許出願7件

教育実績、学外活動

研究指導人数

研究構想から始まり論文指導まで実際に担当したもののみ

2009年度 学部 2名 修士 10名 博士 5名 計 17名 2010年度 学部 3名 修士 5名 博士 8名 計 16名 2011年度 学部 2名 修士 7名 博士 9名 計 18名 2012年度 学部 3名 修士 8名 博士 8名 計 19名 2013年度 学部 3名 修士 7名 博士 6名 計 16名 2014年度 学部 3名 修士 8名 博士 4名 計 15名 2015年度 学部 2名 修士 8名 博士 5名 計 15名

学外活動

電子情報通信学会 システムとLSIワークショップ実行委員(2013.10~2015.5) 電子情報通信学会 アナログRF研究専門委員会 実行委員(20013.4~現在) 電子情報通信学会 英文論文誌C編集委員(2016.4~現在) 電子情報通信学会 アナログ特集号編集委員(2016.4~現在) IEEE Asian Solid-State Circuits Conference, Program Committee (2012.4~現在) アナログ集積回路設計 セミナー講師(2010~現在、不定期開催) IEEE会員,電子情報通信学会正会員

ADCとは?



ADC 主要な変換アーキテクチャ



これまでに試作したADCと用途



ミリ波帯無線機の研究開発

スマフォの普及により無線トラフィックが混雑 屋内(~10m)及び屋外(~4km)のミリ波無線通信システム及び SoCの開発によりミリ波(60,40GHz帯)利用を促進

第一期(FS) 2007-2011, 第二期(実用化) 2012-2015

60GHz, Indoor 世界最速 6.1 Gbps



40GHz, Outdoor 世界初 DDD, 2.0 Gbps



アナログベースバンド回路SoCの開発を担当 2017/04/18 世界最高性能のADCを搭載しシステム性能大幅アップ

ミリ波帯ワイヤレスアクセスネットワーク構築のための周波数高度利用技術の研究開発 Q

5G世代開発活動の活発化が指し示す様に、移動通信網の爆発的トラヒック増が迫っており、 その無線アクセス網周辺に適応する 周波数リソースのひっ迫は喫緊の課題 となってきている。 そこで新たなリソース開拓を目指し、比較的潤沢な帯域を持つミリ波帯適応の可能性を実証する ために、総務省殿の意向を受け本プロジェクトは遂行された。 特に本プロジェクトでは、「ミリ波帯通信デバイス開発」からこれを「ネットワーク」として構築し、 その「運用技術の開発」までを目標とした。

研究開発課題の構成

- ・60GHz 帯近距離ユーザ伝送速度6Gbps・低消費電力携帯端末システム
- ・60GHz 帯近距離大容量伝送用無線アクセスゲートシステム
- ・40GHz 帯周波数利用効率倍増型中距離無線システム
- ・40GHz 帯無線メッシュネットワークのプロアクティブ経路制御技術
- ・ミリ波帯ワイヤレスアクセスネットワークにおけるゲート運用技術



2017/04/18

※MWE 2016 総務省成果報告会より抜粋

ネットワークイメージ図



60GHz 帯近距離ユーザ伝送速度6Gbps・低消費電力携帯端末システム 11

・ユーザーの持つ端末に60GHz帯超高速インターフェースを搭載する

・1対1接続に限定し通信リソースを集中させることにより、大容量データの移送を瞬時に終わらせる



60GHz 帯近距離ユーザ伝送速度6Gbps・低消費電力携帯端末システム 12

・ユーザーの持つ端末に60GHz帯超高速インターフェースを搭載する

・その為には、実証用システムといえども低消費電力を目指す必要があり、
 インターフェースを除く全ての通信回路を実際にCMOS上に実現させる必要があった。



60GHz帯近距離システム用RF-LSI

60GHz 帯近距離ユーザ伝送速度6Gbps・低消費電力携帯端末システム

60GHz帯近距離システム用ベースバンド処理用LSIの開発

IEEE802.15.3c に採用されている符号化率 14/15 の LDPC 符号をベースに、符号化率11/15、13/15、 14/15に対応する

Overlaid-rate-compatible (ORC) LDPC Codesを新規に開発

高能率7Bit級ADCをLSI内蔵用として実現

(Time-based)フォールディングフラッシュ型ADC



	ISSCC 2008 [3]	VLSI 2012 [8]	VLSI 2013 [9]	This work
Technology	90nm	40nm	32nm SOI	40nm LP
Resolution [bit]	5	6	6	7
Power Supply [V]	1	1.1	0.85	1.1
Sampling Frequency [GS/s]	1.75	3	5	2.2
Power Consumption [mW]	2.2	11	8.5	27.4
SNDR @Nyquist [dB]	27.6	33.1	30.9	37.4
FoMw [fJ/convstep]	64.5	99.3	59.4	210
FoMs [dB]	143.5	144.4	145.6	143.3
Core area [mm ²]	0.0165	0.021	0.02	0.052
Calibration	Off chip	Foreground	Off chip	No need
017/04/18				



13

高能率8Bit級DACをLSI内蔵用として開発

電流出力型DAC

Technology	40nm CMOS		
Sampling rate	$3.52 \overline{\text{GS/s}}$		
Resolution	8bit		
SFDR	$39.2 \mathrm{dBc}@1\mathrm{GHz}$		
DNL	$<\pm 1.0 \text{LSB}$		
INL	< ±2.0LSB		
Core Area	$0.033 \; { m mm^2}$		
Power Consumption	28.9mW		

Flash ADCs (2-6 bits)

- Highest conversion rate and lowest latency
- Power and area are proportional to the number of comparators

Folding-Flash ADCs (6-10 bits)

- Less number of comparators
- Power consuming of amplifiers in the folding circuit[1, 2]

New efficient folding architecture is required

Conventional Folding-Flash ADC



Conventional Folding Circuit

- Large current is needed for high speed
- Voltage gain is reduced by technology scaling



Time-based-folding architecture

- Voltage-based ⇒ Time-based Folding
 ☺ More suitable for finer process
- Simple logic circuits can realize folding signal of the timing edge
 - O static current

Voltage-to-time amplifier

- Dynamic amplifier with resistive averaging
 - No static current
 - No need of calibration

Voltage to Time Conversion





19

VT-Amplifier



VT-Amplifier



VT-Amplifier

2017/04/18

Block Diagram





Block Diagram





Voltage-to-Time Amplifier

PFB can increase the gain by about 4 times.⇒No need calibration in coarse and fine Latches.



Resistively Averaged VT Amps



Resistively Averaged VT Amps



Resistively Averaged VT Amps

Resistive averaging reduces the mismatch voltage. DNL(σ) **0 LSB Ideal case** Mismatch 0.5 LSB $V_{\rm INP3}$ D_{P3} **Averaged** 0.16 LSB V-T V_{INN3} O-D_{N3} Outputs [V] $V_{\rm INP2}$ D_{P2} V-T V_{INN2} D_{N2} V_{INP1} D_{P1} V-T D_{P2} D_{P3} $V_{\rm INN1}$ D_{P1} D_{N1} Time [s] 2017/04/18

Each VT Amp generates pulse signal which has delay time depending on input signal.



Block Diagram



How is the folding signal generated in time domain?





31







34

Symmetrical input logic cells are used for realizing same transition time.



TF output for interpolation

Time-based folder outputs four signals to interpolate in the fine SR latches.


Block Diagram





Dynamic

Time-based folder outputs four signals to interpolate in the fine SR latches.



Time-based folder outputs four signals to interpolate in the fine SR latches.



Gate weighted inverter realizes interpolated signal [6] ⇒No need of reference signal in fine SR latches.



Chip photo

- 40nm LP 8M1P CMOS technology
- Chip area of 0.052mm²





2017/04/18

Sampling rate vs. SNDR



Input Frequency vs. SNDR



43





Performance Summary

The highest SNDR in Flash ADCs exceeding 2 GS/s

No need of calibration

	ISSCC 2008 [3]	VLSI 2012 [8]	VLSI 2013 [9]	This work
Technology	90nm	40 nm	32nm SOI	40nm LP
Resolution [bit]	5	6	6	7
Power Supply [V]	1	1.1	0.85	1.1
Sampling Frequency [GS/s]	1.75	3	5	2.2
Power Consumption [mW]	2.2	11	8.5	27.4
SNDR @Nyquist [dB]	27.6	33.1	30.9	37.4 *
FoMw [fJ/convstep]	64.5	99.3	59.4	210
FoMs [dB]	143.5	144.4	145.6	143.3
Core area [mm ²]	0.0165	0.021	0.02	0.052
Calibration	Off chip	Foreground	Off chip	No need

*3.3mW for reference ladder, 19.4mW for analog and 4.7mW for digital

12bit 800MS/s ADC開発

・ 外分補間技術の適用によりオペアンプ設計要件を1/2以下に緩和

46

- オフセット補正、インターリーブチャネル間補正技術を適用
- 入力、参照電圧バッファを内蔵しチップ外設計要件を緩和



12bit 800MS/s ADC評価結果

47

- 補正動作によりSNDR 15~20dB改善
- 回路面積0.7mm², 134mW@810MS/s



40GHz 帯周波数利用効率倍増型中距離無線システム



支持市場き込み線が準備されていれば、P-P無線システムとして30分以内に立ち上げを完了

ES2からES3で特性改善

2016/2/17(水) NEC玉川事業所-石川台6号館の回線で通信実験を実施

64QAM(DDD Mode) 1Gbps Full Duplex 貫通

Motivation

 A fractional-N digital PLL with the phase noise comparable to an analog counter part

- Low phase noise
- Large size
- Low bandwidth

- Higher phase noise
- Smaller size
- High bandwidth

TDC contributes in-band phase noise

$$PN_{tdc,in-band} = \frac{(2\pi)^2}{12} \cdot t_{res}^2 \cdot \frac{f_{dco}^2}{f_{ref}}$$

DCO contributes out-band phase noise

Thermal noise
$$PN_{vco} = 10\log_{10}\{\frac{f_o^2}{\Delta f^2}\frac{(1+\gamma)kT}{V_{sig}^2}\cdot\frac{2\pi f_o L}{Q_{tot}}\}$$

Quantization $PN_{vco} = 10\log_{10}\{\frac{1}{\Delta f_{res}}\right)^2 - 1\left(\frac{1}{2}\left(\frac{\Delta f_o}{V_{sig}}\right)^2\right)$

$$PN = 10\log_{10} \left[\frac{1}{12} \left(\frac{\Delta f_{res}}{\Delta f} \right) \frac{1}{f_{ref}} \left(\operatorname{sinc} \frac{\Delta f}{f_{ref}} \right) \right]$$

2017/04/18

noise

- A digital fractional-N PLL also demands the TDC with
 - Enough <u>range</u>, low <u>power</u>, small <u>area</u>, and sufficient <u>bandwidth</u>

	JSSC`05	JSSC`08	JSSC`09	Target
Inband PN [dBc/Hz]	-93	-108	-117	-120
TDC type	Delay	Time Amp.	GRO	?
Res. [ps]	20	6	0.75	< 1ps
Range [bits]	5	11	9	10
Power [mW]	1.68	3.45	70	< 3
Area [mm ²]	0.01	0.04	0.6	< 0.02
Noise-shaping	No	No	Yes (1MHz)	No

TDCs applied in digital fractional-N PLLs

High Resolution TDCs

- Pipeline
- Large power and area 🛞

- Noise-shaping
- Low bandwidth 🛞

- Stochastic
- Short linear range 😕

- Integrator (Charge domain)
- Large power and area \otimes

Time-to-Charge Conversion

- Time-to-charge conversion suggests extremely high resolution
- The thermal noise is suppressed by trading off the power (I) and area (C)

С	1pF
I	1mA
V _{lsb}	1mV
t _{res}	1ps

Proposed Low Power Solution

55

- Charge pump + SAR-ADC, t_{res} = 0.84ps
- Low power: 2.47mW
- Area: 0.06mm², still large
- Range: 8-bit due to non-linearity, not enough

Chip Measurement

Architecture of This Work

- Counter-based ADPLL
- An interface between TDC and DCO is required

51

Phase noise in integer-N mode

Phase noise in fractional-N mode

	This work	[2] Hsu JSSC`08	[3] Tasca ISSCC`10	Yao JSSC`13	[5] Elkholy VLSI`14
CMOS (nm)	65	55	65	180	65
Reference freq. (MHz)	50	50	40	52	49.1
Carrier freq. (GHz)	1.8	3.6	3.3	3.2	4.5
Max bandwidth (MHz)	0.5 ~ 5	0.5	3.2	0.95	3
In-band PN (dBc/Hz) ¹	-100	-108	-101	-107	-106
Worst. frac. spur (dBc)	N/A	-50	-42	-55	N/A
Ref. spur (dBc)	-41	-65	-72	-75	-69
RMS jitter (ps)	2.3	0.3	0.56	0.23	0.49
FoM (dB) ²	-224	-234.5	-238.3	-240.4	-240.5
Power (mW)	7	41.6	4.5	17	3.7
Core area (mm ²)	0.38	0.7	0.22	0.62	0.22
Type of TDC	SAR ADC	GRO	BB	GRO + ADC	4-bit coarse- fine

¹ Normalized to 3.6 GHz ² FoM = $10*\log 10(jitter^{2*}Pdc/1mW)$

今後の構想:研究背景

科学/工学の発展:あらゆる物理現象を可視化したい IoT/IoEの実現:1兆個以上のセンサノードによる環境モニタリング 計測システムにおいてADCは必須のキーテクノロジー

61

今後需要が高まる一方で日本国内では、、、

- 半導体産業の低迷により回路技術者が減少
- 経験不足による技術力、国際競争力の低下

現実問題として、日本で最先端の回路開発はできなくなりつつある

今後の構想:研究目的

データコンバータをはじめとするアナログフロン
 トエンド回路の日本の技術力を高め、自然科学
 ・産業界の国際競争力を飛躍的に高める。骨子
 は以下の3点である。

62

- 1. 回路技術力の更なる向上
- 2. 個の技術力に頼らない回路開発環境の構築
- 3. 計測システム開発プラットフォームの構築

これらの成果を素粒子・原子核研究の各プロ ジェクトのエレクトロニクス関連の開発に最大限 に反映させていく。

研究内容と期待する効果

1.世界最高電力効率を持つ性能/プロセススケー ラビリティを有したADCの開発 – 1つのADCであらゆるセンサアプリケーションに対応

63

2.センサ読み出し回路を中心としたアナログ回路 合成技術の開発
– トップダウン設計、プロセスポータビリティを提供
・設計仕様の入力→回路図、マスクデータを自動生成
– 設計期間、コスト削減 (6~12ヶ月 → 1週間)
– 初心者でも最高性能のシステム構築が可能

3.上記を組み合わせたセンサ読み出し回路プラットフォームの創出 - 2次元、3次元プラットフォーム

完全スケーラブルADC

逐次比較ADC:最小電力動作 ΔΣADC:最高精度動作

更にすべての回路をダイナミック動作とすることで消費電力 スケーラブル化を達成し全てのトレードオフ関係を満たす

性能カバー範囲

65

精度:30dB-90dB (10,000倍)

速度:1kS/s-50MS/s (50,000倍)

電力:各性能で世界最高レベルの電力効率を実現

Column型ADCへの適用→ピクセル型マルチチャネル読み出しも可能

アナログ回路の自動合成プラットフォーム 68

素核研プロジェクトへの技術寄与

加速器の高輝度、高強度化トレンドへの集積回路の対応 (ATLAS, Belle-IIアップグレードなど)

69

- 1. 高耐放射線性能
 - アナログ回路自動合成によるプロセス選定の高速化
 - ・飛跡検出器の高ダイナミックレンジ化(ADC DR可変化)
- 2. 検出素子の小型化による多チャンネル化への対応
 - ・ピクセル単位のADCによる読み出し、機能性、耐ノイズ性能向上
 - ・時間分解能の向上(100psオーダー→サブps)
 - ・読み出し回路電力効率最大化によるチャネル数向上
- 3. 信号処理速度の向上
 - ·微細CMOSプロセスの適用

350nm~28nm, CMOSのみならずSOIプロセスでの設計経験を活かし、システムとして最適なプロセスを選定

・無線技術による高速信号伝送

提案する環境が整えば開発時間、費用の大幅削減が可能

まとめ

集積回路技術を生かし素核研プロジェクトへ貢献します

他機関の追随を許さない圧倒的な性能

・ご清聴ありがとうございました。